

1)

SISTEMAS DIGITAIS
CORREÇÃO TESTE 19.06.99

\overline{EN}	C	B	A	0	1	2	3	4	5	6	7
0	0	0	0	0	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	1	1	1	1
1	0	1	0	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1

$$\overline{0} = \overline{\overline{EN}} \overline{C} \overline{B} \overline{A}$$

$$\overline{1} = \overline{\overline{EN}} \overline{C} \overline{B} A$$

$$\overline{2} = \overline{\overline{EN}} \overline{C} B \overline{A}$$

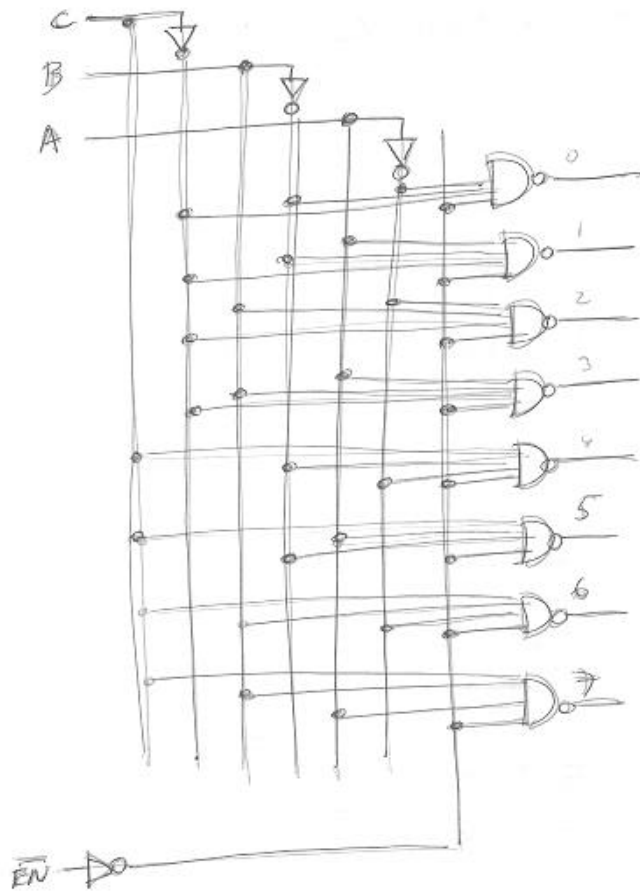
$$\overline{3} = \overline{\overline{EN}} \overline{C} B A$$

$$\overline{4} = \overline{\overline{EN}} C \overline{B} \overline{A}$$

$$\overline{5} = \overline{\overline{EN}} C \overline{B} A$$

$$\overline{6} = \overline{\overline{\overline{EN}}} C B \overline{A}$$

$$\overline{7} = \overline{\overline{\overline{EN}}} C B A$$



SD T 18.6.99

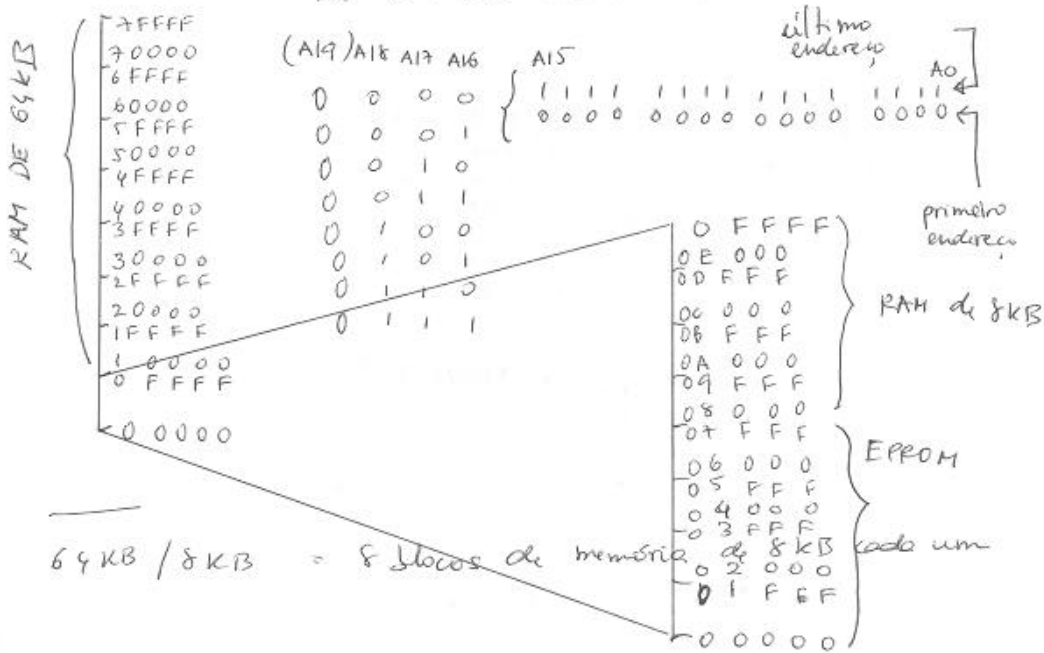
2)

512 KB = $2^9 \times 2^{10} = 2^{19}$ — (A18 ... A0) linhas de endereço:

8 KB = $2^3 \times 2^{10} = 2^{13}$ — (A12 ... A0)

64 KB = $2^6 \times 2^{10} = 2^{16}$ — (A15 ... A0)

512KB / 64KB = 8 blocos de memória ("memory banks")
de 64 KB cada um

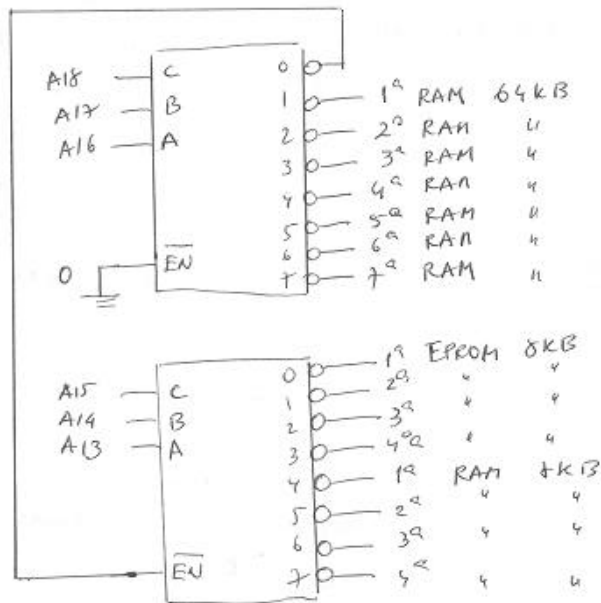


A15	A14	A13	A12	1	1	1	1	1	1	1	A0
0	0	0	0	0	0	0	0	0	0	0	0
0	0	1									
0	1	0									
0	1	1									
1	0	0									
1	0	1									
1	1	0									
1	1	1									

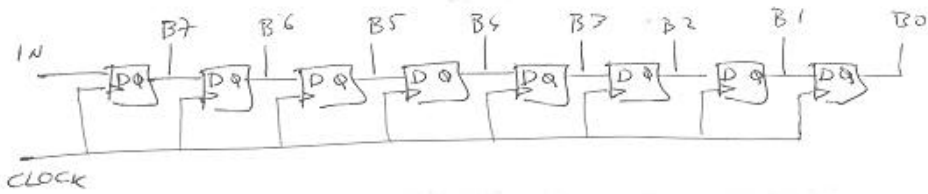
1^a RAM 8KB } 09FFF ← último endereço
 08000 ← 1^o endereço

1^o EPROM 8KB } 01FFF
 00000

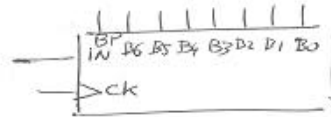
1^o RAM 64KB } 1FFFF
 10000



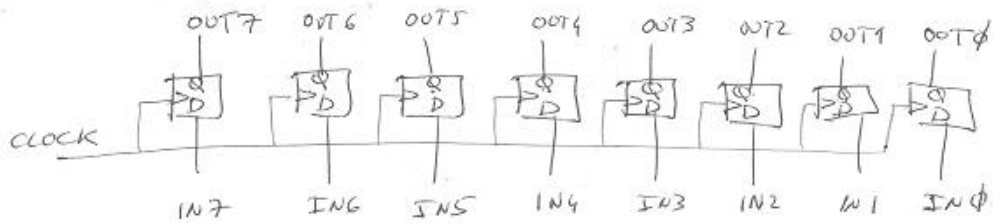
3.1a) Registro de deslocamento
(Shift Register)



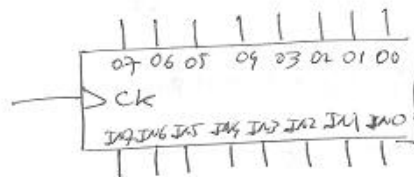
SÍMBOLO:



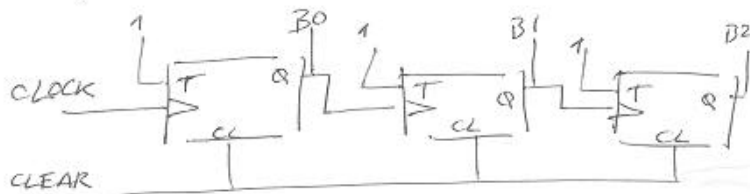
3.1b) Registro Paralelo (Parallel Register)



SÍMBOLO

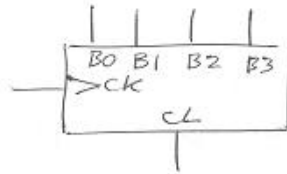


3.1c) Contador ASÍNCRONO módulo 8 com CLEAR



3.1c) Continuação

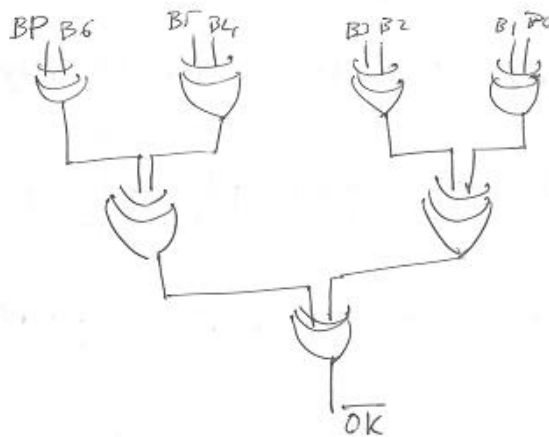
SÍMBOLO:



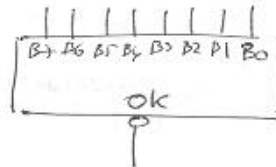
3.1d)

de bit paridade PAR

saída — ϕ quando paridade correcta
 — 1 " " incorrecta



SÍMBOLO:



3.2

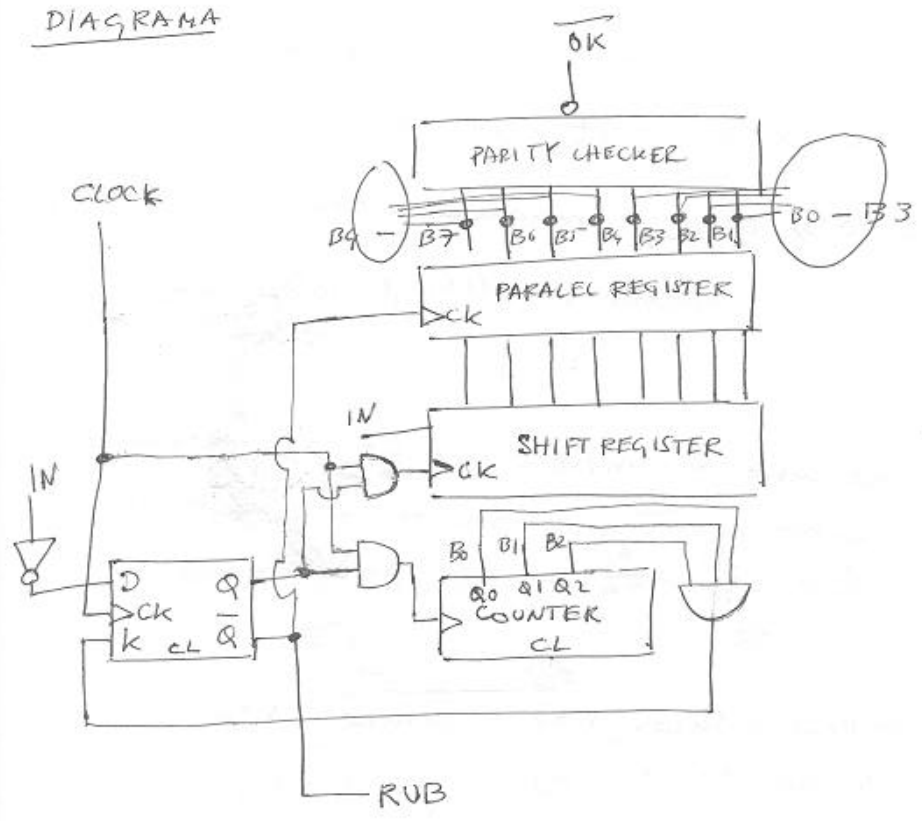
- 3 estados: (a) começar recepção de novo byte
(b) parar contador
(c) copiar conteúdo de registro de deslocamento para registro paralelo

MAS

(b) e (c) podem acontecer simultaneamente, Logo máquina de estados reduzir-se a 2 estados →

Solução ad hoc usando apenas um FF JK síncrono

DIAGRAMA



SD T19.6.99

3.2) Continuação

Explicação

- o bit de partida (start bit) faz o set ao FF e abre a porta do relógio para o contador e para o registo de deslocamento
- os próximos 8 impulsos do relógio fazem deslocar os bits para dentro do shift register
- Ao 8º impulso do relógio, o contador faz o reset ao FF, que por sua vez faz clear (inicializa a zero) ao contador, actualiza o registo paralelo e coloca BUS (recebi um byte) a 1.
- a máquina de controlo (o FF de K) permanece no mesmo estado — com os bits no registo paralelo válidos — até ao próximo bit de partida

NOTA — Esta solução não é única nem é garantido que seja a mais simples!
(soluções ad hoc...)