

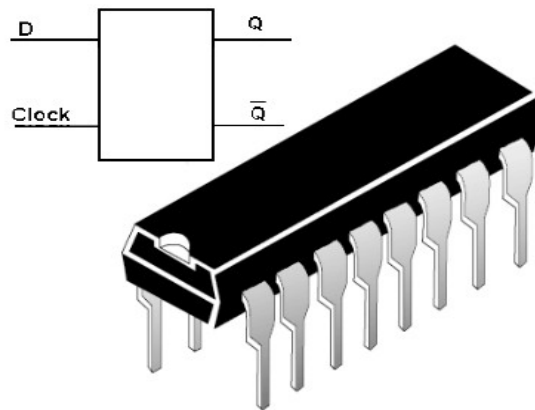


Electrónica III
2011/2012
FCT
Prof. Dr. José Bastos



Projecto 2

Simulação e Layout de um gerador de sequência usando lógica C2MOS



André Cardoso nº40648 MIEET

Índice de conteúdos

Síntese Teórica.....	4
Desenvolvimento.....	5
Diagrama de estados.....	5
Tabela de Estados.....	5
Mapas de Karnaugh e Expressões Minimizadas.....	6
Da.....	6
Db.....	6
Dc.....	6
Dd.....	7
Resumo das expressões minimizadas do Flip-Flop D.....	7
Obtenção das expressões a conceber em lógica universal.....	8
Circuitos feitos em PSPICE.....	9
NAND 2 PDN.....	9
NAND 2 PUN.....	10
NAND 3 PDN.....	11
NAND 3 PUN.....	12
Inversor com $W_{pmos} = 18u$ e $W_{nmos} = 54u$	12
Flip Flop Tipo D.....	13
Oscilador.....	13
Buffer de 2 andares.....	13
Concretização das funções em lógica universal.....	14
Cálculos Teóricos.....	15
Tabela de constantes.....	15
Capacidade do Bondpad.....	15
Determinar número de Andares para o Buffer para o Bondpad.....	15
Determinar o número de andares para o buffer oscilador em anel.....	16
CK.....	16
CK/.....	17
Determinação do Tempo de propagação do Primeiro Andar do Pipeline.....	17
Determinação do tempo de propagação do segundo andar do pipeline.....	19
Determinar o tempo de propagação entre 2 inversores em série no oscilador.....	20
Determinar o Número de inversores no Oscilador.....	21
Determinar o Período do Oscilador.....	21
Determinar a frequência de operação do Circuito.....	21
Tabela resumo dos tempos de propagação teóricos.....	22
Simulações no PSPICE.....	23
Tempos para o 1º Andar do pipeline.....	24
Tempos para o 2º Andar do pipeline.....	28
Tabela com o resumo das simulações do PSPICE(com todos os Tempos de propagação).....	32
Layout em LASI.....	33
Inversor.....	33
NAND3 PDN.....	33
NAND3 PUN.....	34
NAND2 PDN.....	34
NAND2 PUN.....	35
Oscilador.....	35

Buffer de 2 andares.....	35
Oscilador com buffer.....	36
FLIP FLOP tipo D.....	36
FLIP FLOP tipo D com as portas.....	36
Padframe.....	37
Conclusão.....	38

Índice de Figuras

Figura 1: Esquema dos andares em pipeline.....	4
Figura 2: Esquema da porta NAND 2 PDN.....	9
Figura 3: Esquema da porta NAND 2 PUN.....	10
Figura 4: Esquema da porta NAND 3 PDN.....	11
Figura 5: Esquema da porta NAND 3 PUN.....	12
Figura 6: Inversor com $W_{pmos} = 18u$	12
Figura 7: Inversor com $W_{pmos} = 54u$ (3x maior que o da Figura 5).....	12
Figura 8: Esquema do Flip Flop tipo D.....	13
Figura 9: Esquema do oscilador em que o número de inversores foi calculado na parte teórica.....	13
Figura 10: Esquema do Buffer de 2 andares.....	13
Figura 11: Esquema do circuito final com todas as portas e o Flip Flop.....	14
Figura 12: Gráficos da sequência gerada pelo PSPICE.....	23
Figura 13: Gráfico do tp_{LH} do Flip Flop Da.....	24
Figura 14: Gráfico do tp_{HL} do Flip Flop Da.....	24
Figura 15: Gráfico do tp_{LH} do Flip Flop Db.....	25
Figura 16: Gráfico do tp_{HL} do Flip Flop Db.....	25
Figura 17: Gráfico do tp_{LH} do Flip Flop Dc.....	26
Figura 18: Gráfico do tp_{HL} do Flip Flop Dc.....	26
Figura 19: Gráfico do tp_{LH} do Flip Flop Dd.....	27
Figura 20: Gráfico do tp_{HL} do Flip Flop Dd.....	27
Figura 21: Gráfico do tp_{LH} do Flip Flop Da.....	28
Figura 22: Gráfico do tp_{HL} do Flip Flop Da.....	28
Figura 23: Gráfico do tp_{LH} do Flip Flop Db.....	29
Figura 24: Gráfico do tp_{HL} do Flip Flop Db.....	29
Figura 25: Gráfico do tp_{LH} do Flip Flop Dc.....	30
Figura 26: Gráfico do tp_{HL} do Flip Flop Dc.....	30
Figura 27: Gráfico do tp_{LH} do Flip Flop Dd.....	31
Figura 28: Gráfico do tp_{HL} do Flip Flop Dd.....	31
Figura 29: Inversor.....	33
Figura 30: NAND3 PDN.....	33
Figura 31: NAND3 PUN.....	34
Figura 32: NAND2 PDN.....	34
Figura 33: NAND2 PUN.....	35
Figura 34: Oscilador.....	35
Figura 35: Buffer.....	35
Figura 36: Oscilador com buffer.....	36
Figura 37: Flip Flop tipo D.....	36
Figura 38: Flip Flop com as portas.....	36
Figura 39: Padframe Final.....	37

Síntese Teórica

Neste trabalho irei usar a lógica C2MOS para a construção dos circuitos. Para facilitar serão utilizadas portas standards NANDs e/ou NORs, Flip Flop tipo D como elemento de memória, buffers para se ajustar a capacitância entre os andares do circuito e ainda a presença de um oscilador em anel para gerar os sinais de relógio e de relógio negado.

O circuito será composto por dois andares de pipeline, o primeiro andar do pipeline vai ser composto por lógica e memória (Master do Flip Flop D) enquanto que o segundo andar do pipeline vai ser composto somente por memória (Slave do Flip Flop D). Assim o meu circuito vai ser constituído apenas por dois andares.

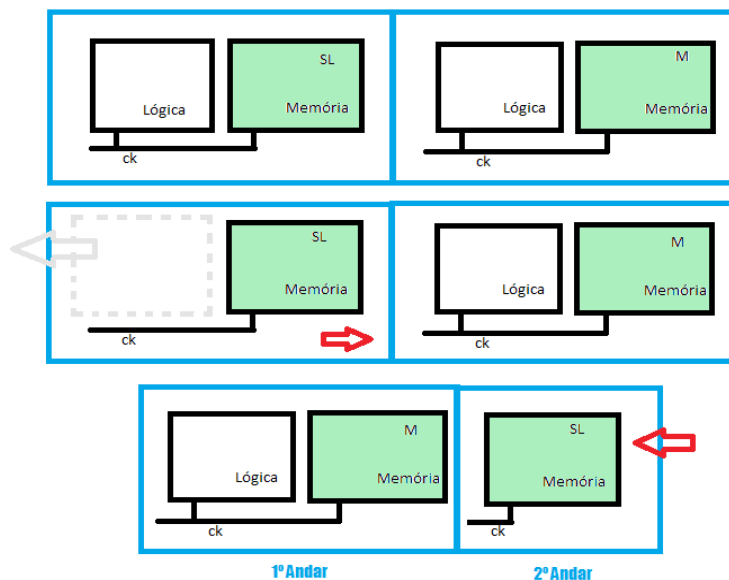


Figura 1: Esquema dos andares em pipeline

O objectivo deste trabalho passa por simular um gerador de sequência em SPICE (que funcione à maior frequência de operação possível) e fazer o layout em LASI na tecnologia Orbit CN20 (tentando minimizar a área de layout e utilizando obrigatoriamente portas *standard*). A construção de todo o circuito deve obedecer a uma sequência predefinida pelo Professor, o sinal de relógio deve ser gerado internamente por um oscilador em anel com pelo menos cinco andares, a tensão de alimentação deve ser 5V e cada sinal deve ser ligado a um bondpad (com dimensões 100x100µm²).

Desenvolvimento

Diagrama de estados

A sequência a gerar para o projecto é a seguinte, e traduz o diagrama de estados do gerador:

$$7 \rightarrow 6 \rightarrow 11 \rightarrow 1 \rightarrow 14 \rightarrow 12 \rightarrow 9 \rightarrow 5 \rightarrow 7 \rightarrow 6 \rightarrow \dots$$

Tabela de Estados

	Estado Actual (Q_n)				Estado Seguinte (Q_{n+1})				Entradas do Flip-Flop			
	Qa	Qb	Qc	Qd	Qa	Qb	Qc	Qd	Da	Db	Dc	Dd
0	0	0	0	0	X	X	X	X	X	X	X	X
1	0	0	0	1	1	1	1	0	1	1	1	0
2	0	0	1	0	X	X	X	X	X	X	X	X
3	0	0	1	1	X	X	X	X	X	X	X	X
4	0	1	0	0	X	X	X	X	X	X	X	X
5	0	1	0	1	0	1	1	1	0	1	1	1
6	0	1	1	0	1	0	1	1	1	0	1	1
7	0	1	1	1	0	1	1	0	0	1	1	0
8	1	0	0	0	X	X	X	X	X	X	X	X
9	1	0	0	1	0	1	0	1	0	1	0	1
10	1	0	1	0	X	X	X	X	X	X	X	X
11	1	0	1	1	0	0	0	1	0	0	0	1
12	1	1	0	0	1	0	0	1	1	0	0	1
13	1	1	0	1	X	X	X	X	X	X	X	X
14	1	1	1	0	1	1	0	0	1	1	0	0
15	1	1	1	1	X	X	X	X	X	X	X	X

Tabela 1 – Tabela de estados do Flip-Flop tipo D com a sequência pretendida.

Mapas de Karnaugh e Expressões Minimizadas

Da

		Qc	
		Qd	
		0	1
Qa	Qb	X	1
		X	0
		1	X
		X	0

$$Da = \overline{Qd} + \overline{Qa} \cdot \overline{Qb}$$

Expressão mínima que sai do Mapa de Karnaugh para Da.

Tabela 2 – Mapa de Karnaugh para a entrada Da.

Db

		Qc	
		Qd	
		0	1
Qa	Qb	X	1
		X	1
		0	X
		X	1

$$Db = \overline{Qa} \cdot Qd + Qa \cdot Qb \cdot Qc + \overline{Qc} \cdot Qd$$

Expressão mínima que sai do Mapa de Karnaugh para Db.

Tabela 3 - Mapa de Karnaugh para a entrada Db.

Dc

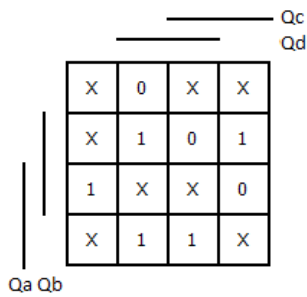
		Qc	
		Qd	
		0	1
Qa	Qb	X	1
		X	1
		0	X
		X	0

$$Dc = \overline{Qa}$$

Expressão mínima que sai do Mapa de Karnaugh para Dc.

Tabela 4 - Mapa de Karnaugh para a entrada Dc.

Dd



$$Dd = Qb \cdot \overline{Qc} + Qa \cdot \overline{Qb} + \overline{Qa} \cdot \overline{Qd}$$

Expressão mínima que sai do Mapa de Karnaugh para Dd.

Tabela 5 - Mapa de Karnaugh para a entrada Dd.

Resumo das expressões minimizadas do Flip Flop D

Entrada	Expressão lógica
Da	$\overline{Qd} + \overline{Qa} \cdot \overline{Qb}$
Db	$\overline{Qa} \cdot Qd + Qa \cdot Qb \cdot Qc + \overline{Qc} \cdot Qd$
Dc	\overline{Qa}
Dd	$Qb \cdot \overline{Qc} + Qa \cdot \overline{Qb} + \overline{Qa} \cdot \overline{Qd}$

Tabela 6 – Tabela com o resumo das expressões minimizadas.

Não foi preciso fazer outra tabela a indicar quais os *dont cares* usados, pois como se verá mais a frente o circuito realizou com destreza a sua função lógica correspondente, e não entrou em loops. Logo a associação de *dont cares* com “1s” que fiz estava correcta.

Obtenção das expressões a conceber em lógica universal

Antes de se implantar as funções lógicas no circuito e obter a sequência desejada, há que transformar as expressões de modo a que usem lógica universal(ou seja de modo a serem descritas como portas NAND ou NOR).Logo utilizou-se para isso a lei de Morgan.Em que se utilizava a re-negação das expressões até a um certo ponto, quer isto dizer que houve ocasiões em que não era necessário simplificar mais de modo a ainda ter portas Universais.

Entrada	Expressão lógica
Da	$\overline{Qd \cdot [\overline{Qa} \cdot \overline{Qb}]}$
Db	$\overline{[\overline{Qa} \cdot Qd] \cdot [\overline{Qa} \cdot Qb \cdot Qc] \cdot [\overline{Qc} \cdot Qd]}$
Dc	\overline{Qa}
Dd	$\overline{[\overline{Qb} \cdot \overline{Qc}] \cdot [\overline{Qa} \cdot \overline{Qb}] \cdot [\overline{Qa} \cdot \overline{Qd}]}$

Tabela 7 - Resumo das expressões para as entradas A, B, C e D Flip-Flop tipo D , usando lógica universal implementada com portas NAND.

Circuitos feitos em PSPICE

Todos estes circuitos estão simbolizados no circuito final, nesta secção apresento o que está dentro desses símbolos.

Em todos os circuitos os transistores não estão dimensionados (apresentam o tamanho $L_{nmos,pmos} = 2\mu$, $W_{nmos,pmos} = 6\mu$) pois em lógica C2MOS o que define a velocidade são os clocks e não o dimensionamento dos transistores.

Apenas o inversor estático está dimensionado.

NAND 2 PDN

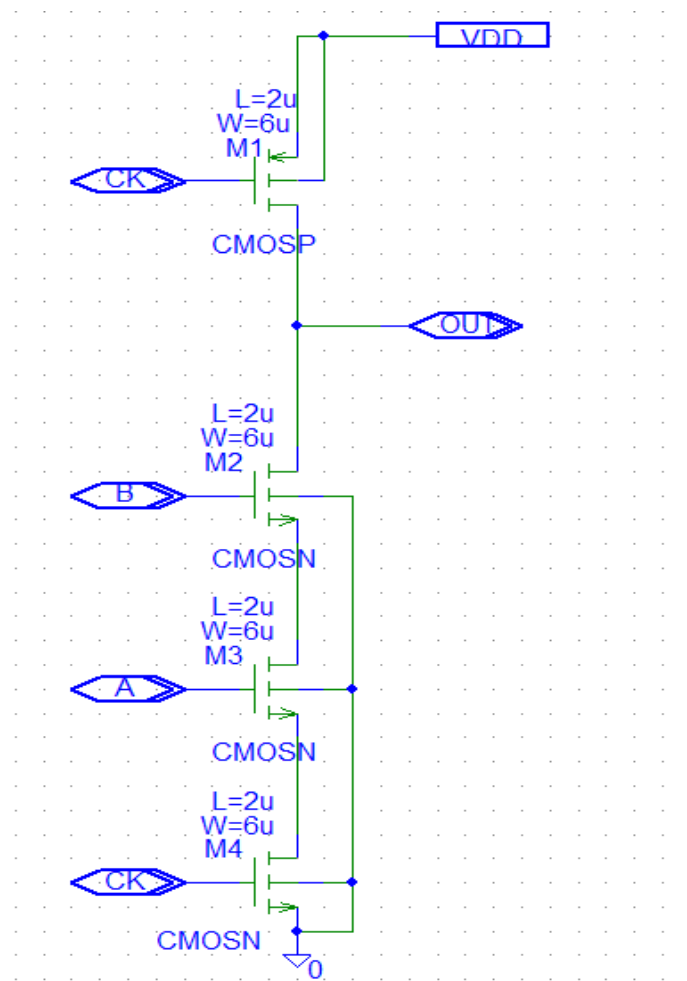


Figura 2: Esquema da porta NAND 2 PDM

NAND 2 PUN

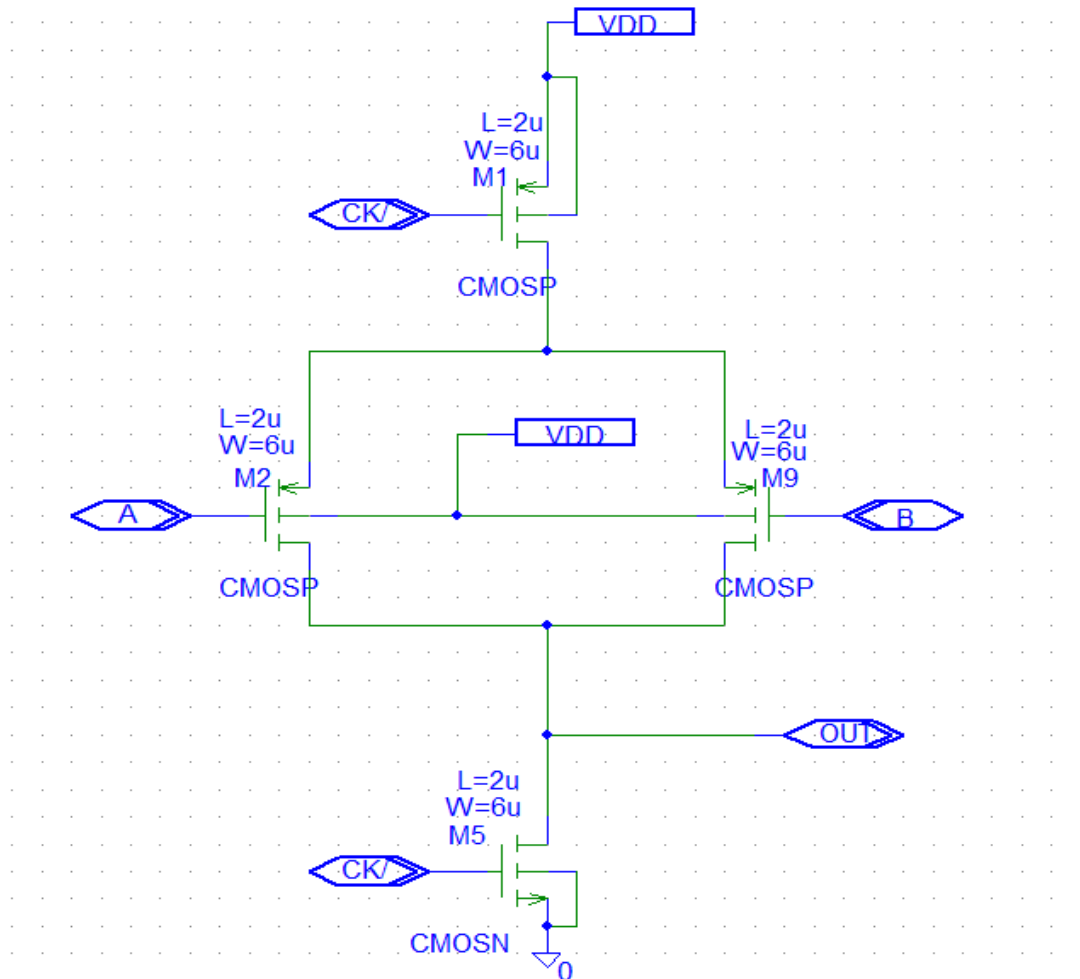


Figura 3: Esquema da porta NAND 2 PUN

NAND 3 PDN

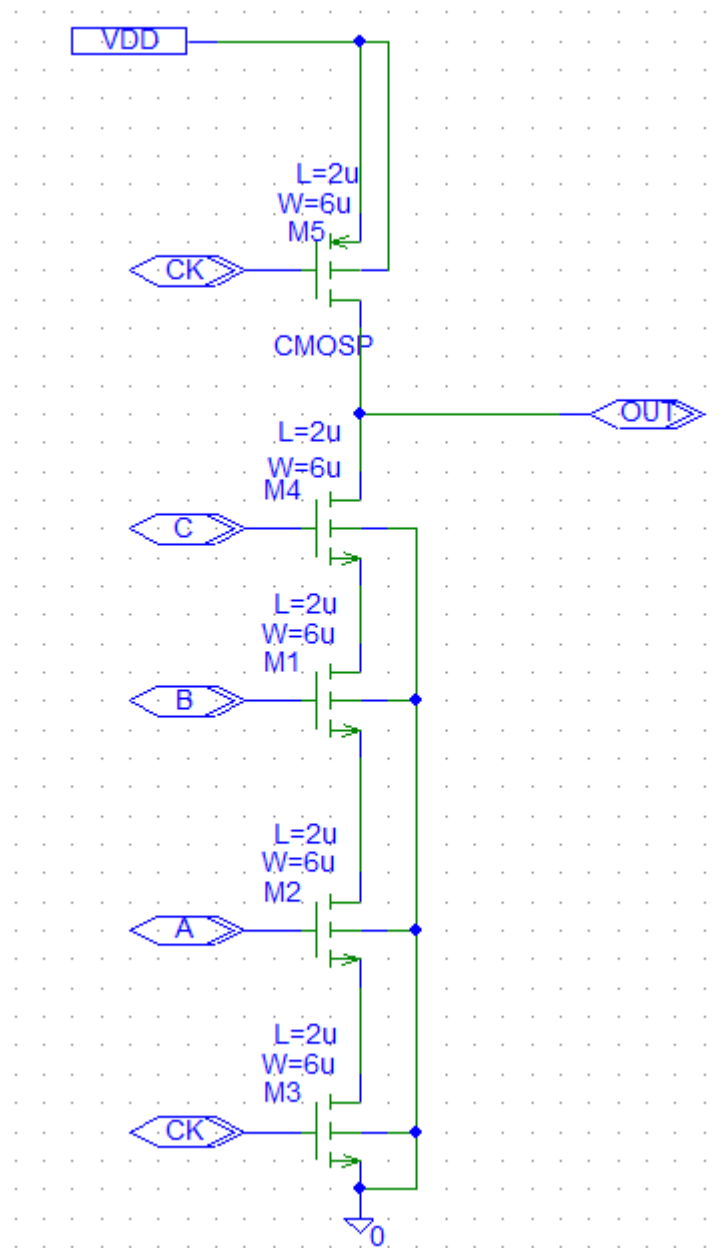


Figura 4: Esquema da porta NAND 3 PDN

NAND 3 PUN

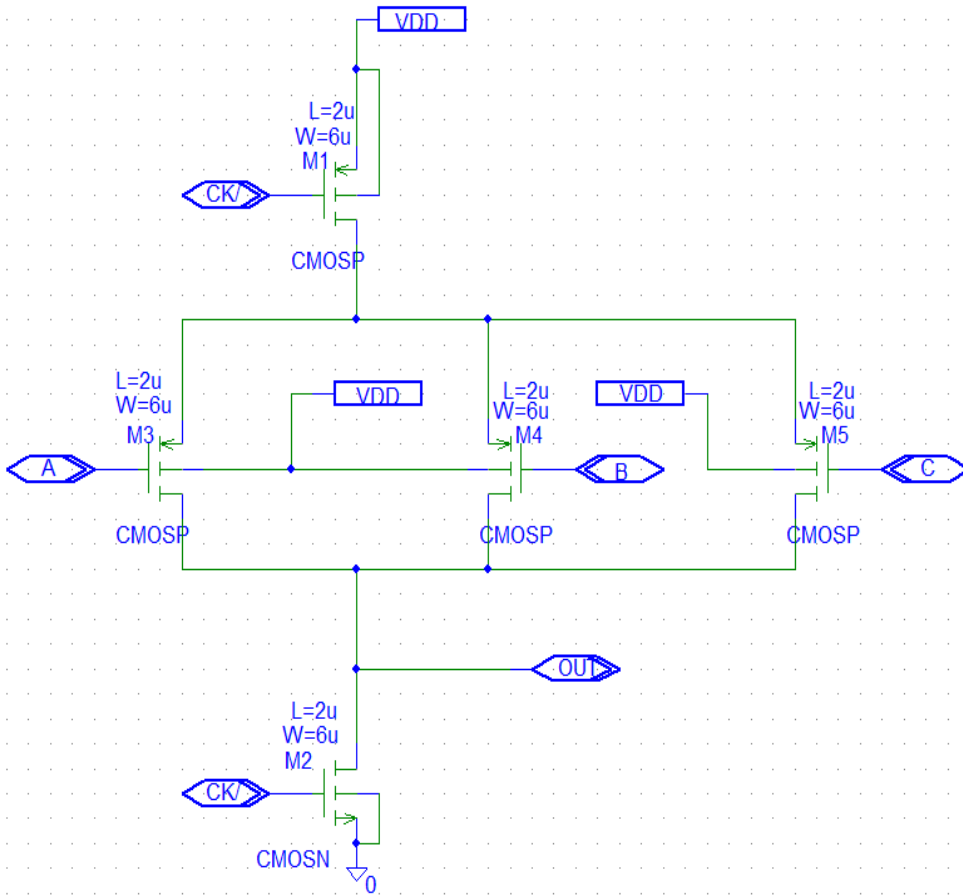


Figura 5: Esquema da porta NAND 3 PUN

Inversor com $W_{pmos} = 18u$ e $W_{nmos} = 54u$

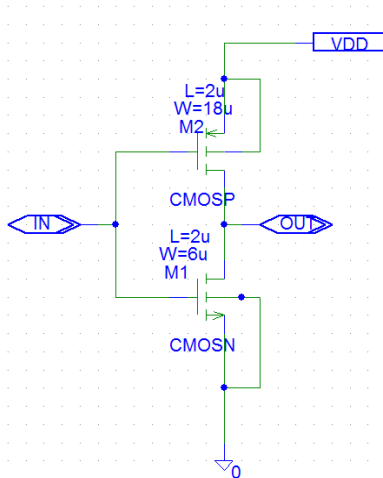


Figura 6: Inversor com $W_{pmos} = 18u$

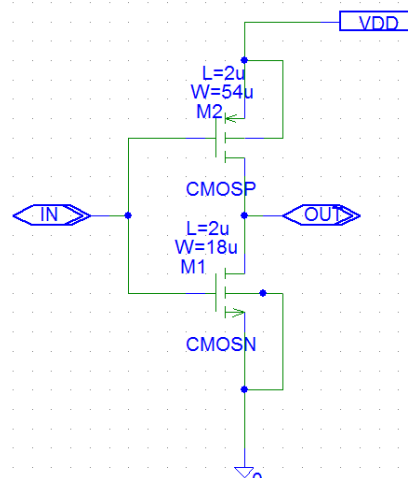


Figura 7: Inversor com $W_{pmos} = 54u$ (3x maior que o da Figura 5)

Flip Flop Tipo D

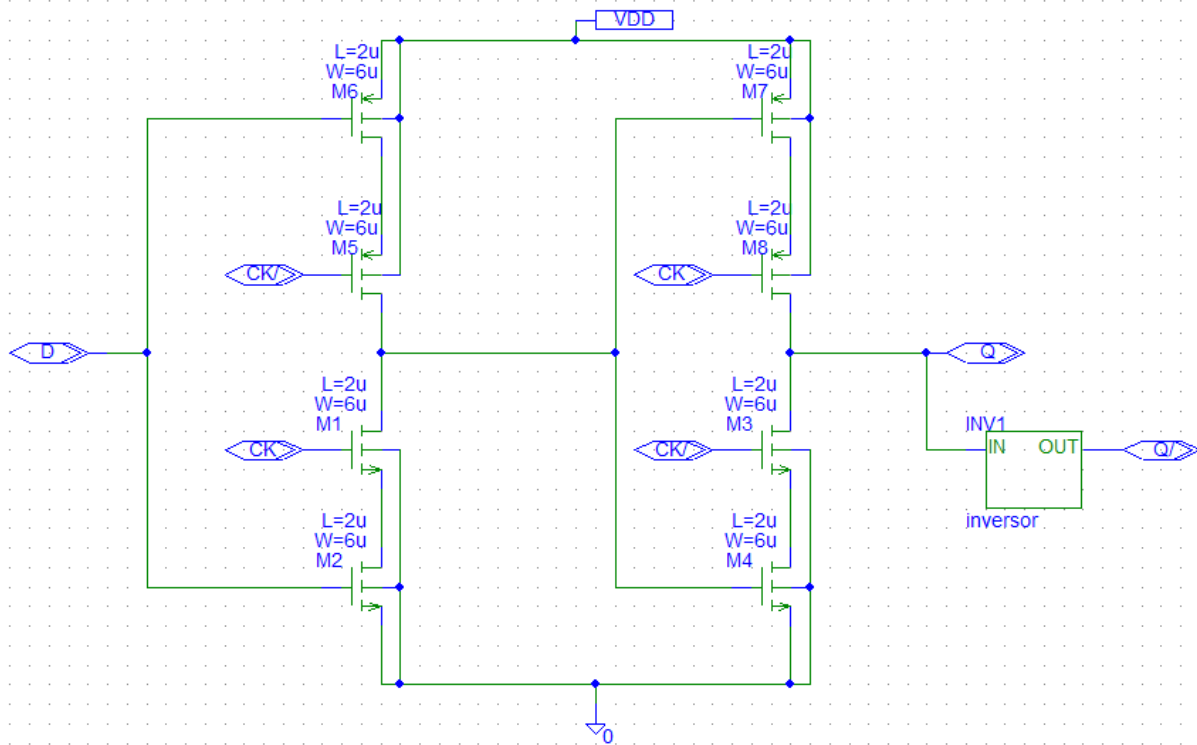


Figura 8: Esquema do Flip Flop tipo D

Oscilador

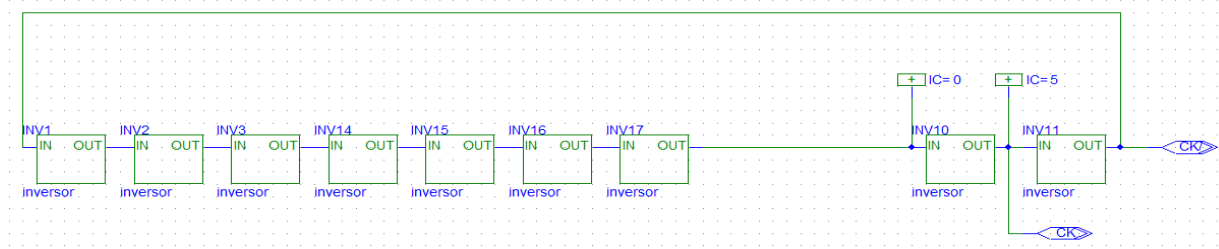


Figura 9: Esquema do oscilador em que o número de inversores foi calculado na parte teórica

Buffer de 2 andares

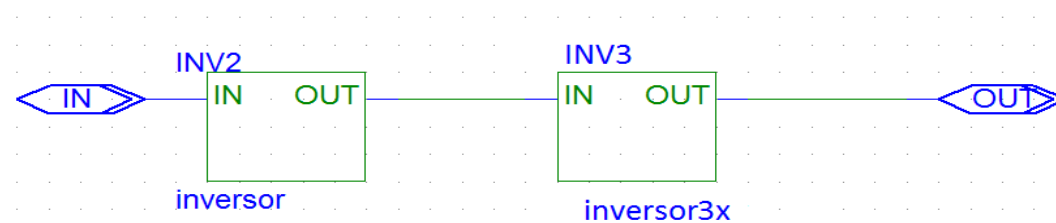


Figura 10: Esquema do Buffer de 2 andares

Concretização das funções em lógica universal

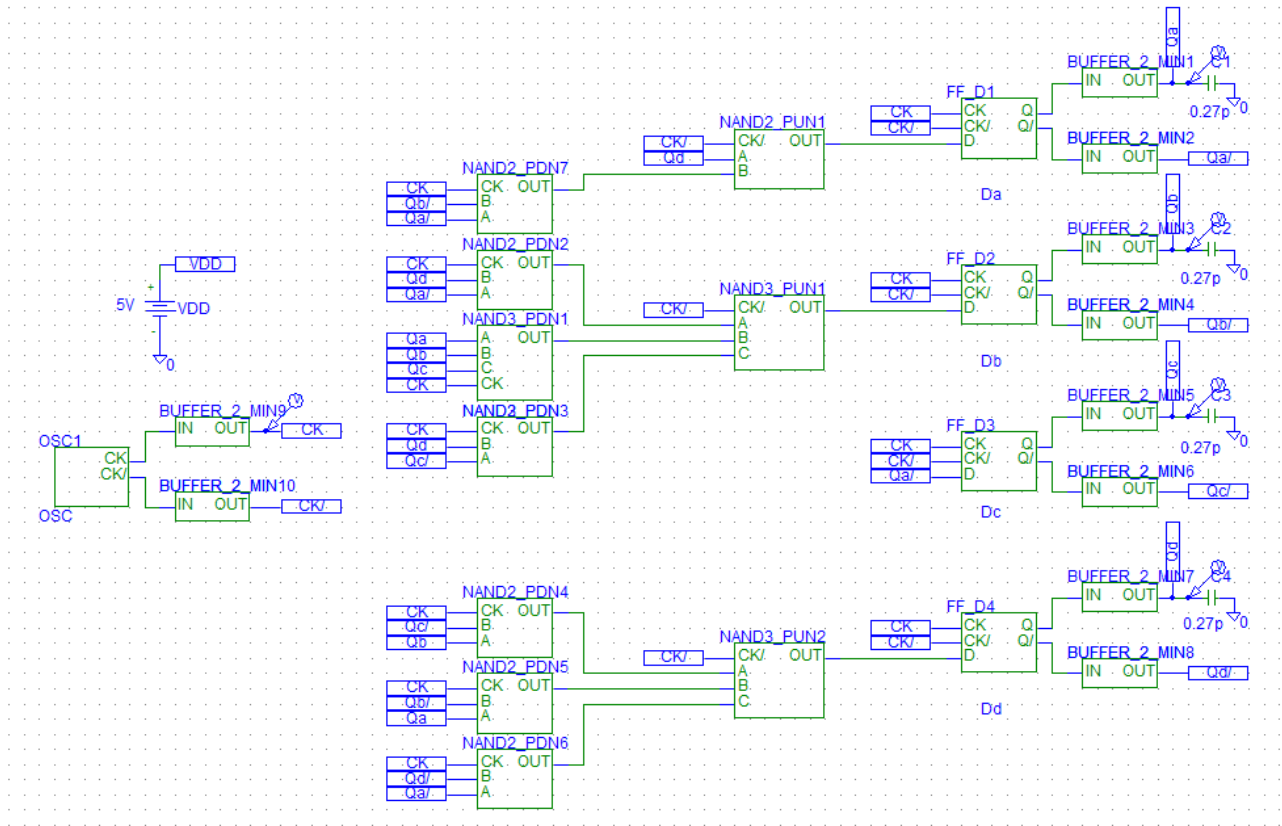


Figura 11: Esquema do circuito final com todas as portas e o Flip Flop

Nota: O condensador de 0.27pF representa a capacidade do Bondpad.

Cálculos Teóricos

Nesta secção vou calcular os tempos de propagação dos andares do pipeline, bem como o dimensionamento dos buffers, quando estão no bondpad e quando estão no relógio.

Tabela de constantes

KP_{PMOS}	$1,5 \times 10^{-5} A/V^2$
KP_{NMOS}	$4,5 \times 10^{-5} A/V^2$
VT_{PMOS}	$-0,9 V$
VT_{NMOS}	$0,8756 V$
V_{DD}	$5 V$
L_{DE}	$7 \mu m$
W	$6 \mu m$
L	$2 \mu m$
Cj_{PMOS}	$3,2456 \times 10^{-4} F$
Cj_{NMOS}	$1,0374 \times 10^{-4} F$
C_{OX}	$8 \times 10^{-4} F/\mu m^2$
$C_{M1 \text{ difusão}}$	$38 \times 10^{-18} F/\mu m^2$
$C_{NWell-sub}$	$100 \times 10^{-18} F/\mu m^2$
$L_{Bondpad}$	$100 \mu m$
$W_{PMOS-estático}$	$3W$

Tabela 8 – Constantes a utilizar nos cálculos.

Capacidade do Bondpad

$$C_{bondpad} = L_{bondpad} \times L_{bondpad} \times \frac{(C_{M1 \text{ difusão}} \times C_{nwell \text{ substrato}})}{(C_{M1 \text{ difusão}} + C_{nwell \text{ substrato}})} = 100 \mu m \times 100 \mu m \frac{(38 \times 10^{-18} \times 100 \times 10^{-18})}{(38 \times 10^{-18} + 100 \times 10^{-18})}$$

$$C_{bondpad} \approx 0,27 \times 10^{-12} F$$

Determinar número de Andares para o Buffer da saída do Flip Flop

Tenho que determinar o valor da capacidade de entrada que o buffer irá ver. Para isso vai considerar-se o *Worst Case Scenario* em que C_{in} é o menor, por forma a maximizar o número de andares do buffer.

– **Determinar o C_{in}**

(os transistores estão dimensionados)

$$C_{intrinsic} = C_{OX} \times L \times (W + 3W) \quad C_{intrinsic} = 8 \times 10^{-4} \times 2 \times 10^{-6} \times (6 \times 10^{-6} + 3 \times 6 \times 10^{-6})$$

$$C_{intrinsic} = 38.4 \times 10^{-15} F$$

- **Determinar o C_{LOAD}**

Para calcular este C_{LOAD} , escolhi a saída Qd, devido a ser a saída que aparece mais vezes (três vezes) nas portas, pois isto reflecte o que tem mais capacidade. Não considere as saídas \bar{Q} , pois estas não vão ligar ao *bondpad*.

$$C_{LOAD} = C_{bondpad} + (N^{\circ} Transistors) \times C_{OX} \times L \times W$$

$$C_{LOAD} = 0.27 \times 10^{-12} + 3 \times 8 \times 10^{-4} \times 2 \times 10^{-6} \times 6 \times 10^{-6}$$

$$C_{LOAD} = 298.8 \times 10^{-15} F$$

– **Nº de Andares no Buffer para a saída do Flip Flop**

$$N_{\text{andares buffer a saída do FF}} = \ln\left(\frac{C_{LOAD}}{C_{intrinsic}}\right) \quad N_{\text{andares buffer a saída do FF}} = \ln\left(\frac{298.8 \times 10^{-15}}{38.4 \times 10^{-15}}\right)$$

$$N_{\text{andares buffer a saída do FF}} \approx 2.06 \approx 2$$

Determinar o número de andares para o buffer do oscilador em anel

Para calcular o nível do buffer necessário no oscilador, tem que se verificar quantos transistors ele vai ter que carregar. Para isso calcula-se o rácio entre o número de saídas que este tem de *atacar*, sobre os transistores intrínsecos que vão ser carregados, se consideramos um inversor estático à saída do oscilador, podemos contar com quatro transistores intrínsecos.

CK

– **Numero de andares no Buffer do CK (relógio)**

Multiplica-se por 2 porque o clock liga sempre 2 vezes por porta.

Utiliza-se este calculo simplificado pois o $(C_{ox} \times W \times L) / (C_{ox} \times W \times L)$ corta.

$$N_{\text{transistores saída}} = 2 * (N_{\text{portas PDN}} + N_{\text{flipflops}}) \quad N_{\text{transistores saída}} = 2 \times (7 + 4) \quad N_{\text{transistores saída}} = 22$$

$$N^{\circ}_{\text{andares}} = \ln\left(\frac{N_{\text{transistores saída}}}{N_{\text{transistors entrada}}}\right) = \ln\left(\frac{22}{4}\right) \quad N^{\circ}_{\text{andares}} \approx 1.7$$

Podemos assumir com este resultado que é possível usar 2 buffers a saída do clock.

CK/**– Numero de andares no Buffer do CK/ (relógio negado)**

$$N_{\text{transistores saída}} = 2 * (N_{\text{portas PUN}} + N_{\text{flipflops}}) \quad N_{\text{transistores saída}} = 2 * (3 + 4) \quad N_{\text{transistores saída}} = 14$$

$$N^{\circ}_{\text{andares}} = \ln\left(\frac{N_{\text{transistores saída}}}{N_{\text{transistors entrada}}}\right) = \ln\left(\frac{14}{4}\right) \quad N^{\circ}_{\text{andares}} \approx 1.2$$

Apesar do resultado ter dado 1.2 andares, por questões de sincronismo vou assumir 2 andares(devido ao buffer do clock já ter dois andares).

Determinação do Tempo de propagação do Primeiro Andar do Pipeline

Para a determinação dos cálculos do primeiro andar do pipeline, tive em conta um bloco de memória e outro bloco de lógica. Neste caso o primeiro andar do pipeline vai conter o Master do Flip Flop D e as portas NANDs correspondentes. Mas em vez de calcular todos os tempos de propagação, apenas fui calcular o maior tempo de propagação. Em CMOS o que determina a velocidade do circuito é o andar mais lento que conseqüentemente é o andar mais complicado. Assim nesta linha de raciocínio em vez de calcular todas as possibilidades sei a partida que tenho que me focar no andar mais complicado, que quase de certeza que é o mais lento. No meu caso escolhi o caminho que encontrava um NAND3 PDN e um NAND 3 PUN(Que correspondem as portas que estão ligadas ao Flip Flop Db).

– Cálculo do tempo de propagação do andar de NAND3 PDN

$$C_{\text{NAND3 PDN}} = C_{j_{\text{NMOS}}} \times LDE \times W + C_{j_{\text{PMOS}}} \times LDE \times W + C_{\text{OX}} \times L \times W$$

$$C_{\text{NAND3 PDN}} = 1.0374 \times 10^{-4} \times 7 \times 10^{-6} \times 6 \times 10^{-6} + 3.2 \times 10^{-4} \times 7 \times 10^{-6} \times 6 \times 10^{-6} + 8 \times 10^{-4} \times 2 \times 10^{-6} \times 6 \times 10^{-6}$$

$$C_{\text{NAND3 PDN}} \approx 27.4 \times 10^{-15} \text{ F}$$

Visto se tratar de um NAND3 PDN considerei 4 transistores em série e activos para o L efectivo

$$R_{\text{NAND3 PDN}} = \frac{1}{\left(KP_{\text{NMOS}} \times \left(\frac{W_{\text{NMOS}}}{L_{\text{eff}}}\right) \times (VDD - VT_{\text{NMOS}})\right)}$$

$$R_{\text{NAND3 PDN}} = \frac{1}{\left(4.5 \times 10^{-5} \times \left(\frac{6 \times 10^{-6}}{4 \times 2 \times 10^{-6}}\right) \times (5 - 0.8756)\right)}$$

$$R_{NAND3PDN} \approx 7.2K \Omega$$

$$tp_{NAND3PDN} \approx 0.7 \times R_{NAND3PDN} \times C_{NAND3PDN}$$

$$tp_{NAND3PDN} \approx 138 \times 10^{-12} s$$

– Cálculo do tempo de propagação do NAND3 PUN

$$C_{NAND3PUN} = C_{j_{NMOS}} \times LDE \times W + 3 \times C_{j_{PMOS}} \times LDE \times W + C_{OX} \times L \times (W + W)$$

$$C_{NAND3PUN} = 1.0374 \times 10^{-4} \times 7 \times 10^{-6} \times 6 \times 10^{-6} + 3 \times 3.2 \times 10^{-4} \times 7 \times 10^{-6} \times 6 \times 10^{-6} + 8 \times 10^{-4} \times 2 \times 10^{-6} \times (6 \times 10^{-6} + 6 \times 10^{-6})$$

$$C_{NAND3PUN} \approx 64 \times 10^{-15} F$$

Visto se tratar de um NAND3 PUN considereei 2 os transistores(PMOS) em série e activos para o L efectivo

$$R_{NAND3PUN} = \frac{1}{(K P_{PMOS} \times (\frac{W_{PMOS}}{L_{eff}}) \times (VDD - VT_{PMOS}))}$$

$$R_{NAND3PUN} = \frac{1}{(1.5 \times 10^{-5} \times (\frac{6 \times 10^{-6}}{2 \times 2 \times 10^{-6}}) \times (5 - 0.9))}$$

$$R_{NAND3PUN} \approx 10.8K \Omega$$

$$tp_{NAND3PUN} \approx 0.7 \times R_{NAND3PUN} \times C_{NAND3PUN}$$

$$tp_{NAND3PUN} \approx 484 \times 10^{-12} s$$

– Cálculo do tempo de propagação do andar Master do Flip Flop tipo D

$$C_{MASTERFLIPFLOPD} = C_{j_{NMOS}} \times LDE \times W + C_{j_{PMOS}} \times LDE \times W + C_{OX} \times L \times (W + W)$$

$$= 1.0374 \times 10^{-4} \times 7 \times 10^{-6} \times 6 \times 10^{-6} + 3.2 \times 10^{-4} \times 7 \times 10^{-6} \times 6 \times 10^{-6} + 8 \times 10^{-4} \times 2 \times 10^{-6} \times (6 \times 10^{-6} + 6 \times 10^{-6})$$

$$C_{MASTERFLIPFLOPD} \approx 37 \times 10^{-15} F$$

No calculo da resistência assumi que estao activos os dois transistores PMOS, para o L_{eff}

$$R_{MASTERFLIPFLOPD} = \frac{1}{(K P_{PMOS} \times (\frac{W_{PMOS}}{L_{eff}}) \times (VDD - VT_{PMOS}))}$$

$$R_{MASTERFLIPFLOPD} = \frac{1}{(1.5 \times 10^{-5} \times (\frac{6 \times 10^{-6}}{2 \times 2 \times 10^{-6}}) \times (5 - 0.9))}$$

$$R_{MASTERFLIPFLOPD} \approx 10.8K \Omega$$

$$tp_{MASTERFLIPFLOPD} = 0.7 \times R_{MASTERFLIPFLOPD} \times C_{MASTERFLIPFLOPD}$$

$$tp_{MASTERFLIPFLOPD} \approx 280 \times 10^{-12} s$$

$$tp_{TOTAL 1^\circ ANDAR} = tp_{MASTERFLIPFLOPD} + tp_{NAND3 PDN} + tp_{NAND3 PUN}$$

$$tp_{TOTAL 1^\circ ANDAR} = 280 \times 10^{-12} + 138 \times 10^{-12} + 484 \times 10^{-12}$$

$$tp_{TOTAL 1^\circ ANDAR} \approx 852 \times 10^{-12} s$$

Determinação do tempo de propagação do segundo andar do pipeline

Para o cálculo dos tempos do segundo andar do pipeline, temos em conta somente o slave do Flip Flop. Aqui o *Worst Case Scenario* é aquele em que a saída do Flip Flop tipo D entra em mais portas NAND, aumentando assim a capacidade de saída. No meu caso como já se tinha visto anteriormente essa saída era Qd (que é usada três vezes).

Determinar o tempo de propagação do andar Slave do Flip Flop tipo D

3xW é devido ao W_{pmos}, que está dentro do buffer, que tem um inversor estático lá dentro.

$$C_{SLAVEFLIPFLOPD} = C_{j_{NMOS}} \times LDE \times W + C_{j_{PMOS}} \times LDE \times W + C_{OX} \times L \times (W + 3xW) + C_{OX} \times L \times (W + 3xW)$$

$$= 1.0374 \times 10^{-4} \times 7 \times 10^{-6} \times 6 \times 10^{-6} + 3.2 \times 10^{-4} \times 7 \times 10^{-6} \times 6 \times 10^{-6} + 8 \times 10^{-4} \times 2 \times 10^{-6} \times (6 \times 10^{-6} + 3 \times 6 \times 10^{-6})$$

$$+ 8 \times 10^{-4} \times 2 \times 10^{-6} \times (6 \times 10^{-6} + 3 \times 6 \times 10^{-6})$$

$$C_{SLAVEFLIPFLOPD} \approx 94.6 \times 10^{-15} F$$

No cálculo da resistencia assumi que estão activos os dois transistores PMOS, para o L_{eff}

$$R_{MASTERFLIPFLOPD} = \frac{1}{(K P_{PMOS} \times (\frac{W_{PMOS}}{L_{eff}}) \times (VDD - VT_{PMOS}))}$$

$$R_{SLAVE FLIP FLOP D} = \frac{1}{(1.5 \times 10^{-5} \times (\frac{6 \times 10^{-6}}{2 \times 2 \times 10^{-6}}) \times (5 - 0.9))}$$

$$R_{SLAVE FLIP FLOP D} \approx 10.8 \text{K } \Omega$$

$$tp_{SLAVE FLIP FLOP D} \approx 0.7 \times R_{SLAVE FLIP FLOP D} \times C_{SLAVE FLIP FLOP D}$$

$$tp_{SLAVE FLIP FLOP D} \approx 0.7 \times 10.8 \times 10^3 \times 94.6 \times 10^{-15}$$

$$tp_{SLAVE FLIP FLOP D} \approx 715 \times 10^{-12} \text{ s}$$

Cálculo do tempo de propagação do buffer

$$tp_{buffer} = N_{andares} \times t_{p0} \times 2.7 = 2 \times 105 \times 10^{-12} \times 2.7 \approx 567 \times 10^{-12} \text{ s}$$

t_{p0} é um tempo que foi calculado mais à frente, que é o tempo de propagação entre 2 inversores.

Tempo do propagação total do andar Slave

$$tp_{segundo andar} = tp_{slave FlipFlop} + tp_{buffer}$$

$$tp_{segundo andar} = 715 \times 10^{-12} + 567 \times 10^{-12} \approx 1.28 \times 10^{-9} \text{ s}$$

Determinar o tempo de propagação entre 2 inversores em série no oscilador

Considerando que o tempo de propagação mais lento calculado foi o do 2º andar do pipeline que é 1.28ns, e como o oscilador vai ser constituído por uma série de inversores, o tempo de propagação do mesmo terá que ser aproximado a 1.28ns de modo a manter o sincronismo. Agora irei calcular o tempo de propagação de 2 inversores ligados em série.

Não esquecer que W_{Pmos} é estático e assume $3W$

$$C_{entre2 inversores} = C_{j_{NMOS}} \times LDE \times W_{NMOS} + C_{j_{PMOS}} \times LDE \times W_{PMOS} + C_{OX} \times L \times (W_{NMOS} + W_{PMOS})$$

$$C_{entre2 inversores} = 1.0374 \times 10^{-4} \times 7 \times 10^{-6} \times 6 \times 10^{-6} + 3.2 \times 10^{-4} \times 7 \times 10^{-6} \times 18 \times 10^{-6} + 8 \times 10^{-4} \times 2 \times 10^{-6} \times (6 \times 10^{-6} + 18 \times 10^{-6})$$

$$C_{entre2 inversores} \approx 83 \times 10^{-15} \text{ F}$$

$$R_{entre2 inversores} = \frac{1}{(K P_{PMOS} \times (\frac{W_{PMOS ESTATICO}}{L_{eff}}) \times (VDD - VT_{PMOS}))}$$

$$R_{entre2 inversores} = \frac{1}{(1.5 \times 10^{-5} \times (\frac{18 \times 10^{-6}}{2 \times 10^{-6}}) \times (5 - 0.9))}$$

$$R_{\text{entre 2 inversores}} \approx 1.8\text{K } \Omega$$

$$tp_{\text{entre 2 inversores}} \approx 0.7 \times R_{\text{entre 2 inversores}} \times C_{\text{entre 2 inversores}}$$

$$tp_{\text{entre 2 inversores}} \approx 0.7 \times 1.8 \times 10^3 \times 83 \times 10^{-15}$$

$$tp_{\text{entre 2 inversores}} \approx 105 \times 10^{-12} \text{ s}$$

Determinar o Número de inversores no Oscilador

Agora sim já é possível prosseguir com o cálculo do número de inversores que entra no oscilador em anel, tendo em conta os maiores tempos de propagação, porque é o maior tempo de propagação que dita a velocidade do circuito. O maior tempo foi registado no segundo andar do pipeline.

$$N_{\text{inversores}} = \frac{tp_{\text{MAIOR}}}{tp_{\text{entre 2 inversores}}} = \frac{(1.28 \times 10^{-9})}{(105 \times 10^{-12})} \approx 12.2$$

Apesar de ter dado este valor não irei certamente utilizar este número de inversores, porque se introduzi-se este número de inversores perderia a minha sequência. Algo não faz muito sentido para ter dado este número. Dado que ao diminuir o meu número de inversores para **9** o circuito funcionou às mil maravilhas, foi este o número que ficou no final. Além disso por demasiados inversores só me vai baixar a frequência de funcionamento do circuito, e com 9 eu sei que ele funciona.

Se no próprio cálculos eu não considera-se o buffer no tempo do segundo andar, as coisas já seriam diferentes e eu já obtia nesta conta os 9 inversores com máxima certeza que eram mesmo 9.

Determinar o Período do Oscilador

$$T_{\text{comutação}} = 2 \times N_{\text{inversores}} \times tp_{\text{entre 2 inversores}} = 2 \times 9 \times 105 \times 10^{-12} = \sim 1.89 \times 10^{-9} \text{ s}$$

$$T_{\text{oscilador}} = 2 \times T_{\text{comutação}} = 2 \times 1.89 \times 10^{-9} = \sim 3.78 \times 10^{-9} \text{ s}$$

A multiplicação por 2 no Período do oscilador está a considerar o tempo de subida e descida.

Determinar a frequência de operação do Circuito

$$f = \frac{1}{T_{\text{Oscilador}}} = \frac{1}{3.78 \times 10^{-9}} = \sim 265 \text{ MHz (teórico)}$$

Tabela resumo dos tempos de propagação teóricos

	1º Andar
NAND3 PDN	138 ps
NAND3 PUN	484 ps
MASTER FLIP FLOP D	280 ps
TOTAL	852 ps

Tabela 9 – Tabela com o tempo de propagação do 1º andar do pipeline

	2º Andar
SLAVE FLIP FLOP D	715 ps
BUFFER	567 ps
TOTAL	1.28 ns

Tabela 10 - Tabela com o tempo de propagação do 2º andar do pipeline

Os tempos de propagação não estão bem dentro do esperado, pois era esperado que o 1º andar fosse mais lento, pois este andar lida com muitas portas, mas por outro lado também podia ser compreensível que o segundo andar fosse mais lento, pois ao considerarmos o buffer, este provoca uma súbita nos tempos radical(para pior), contrariamente se não considerassemos, os resultados seriam o inverso, ou seja 1º andar mais rápido.

Simulações no PSPICE

Obtenção dos gráfico resultante da simulação do circuito da Figura 9:

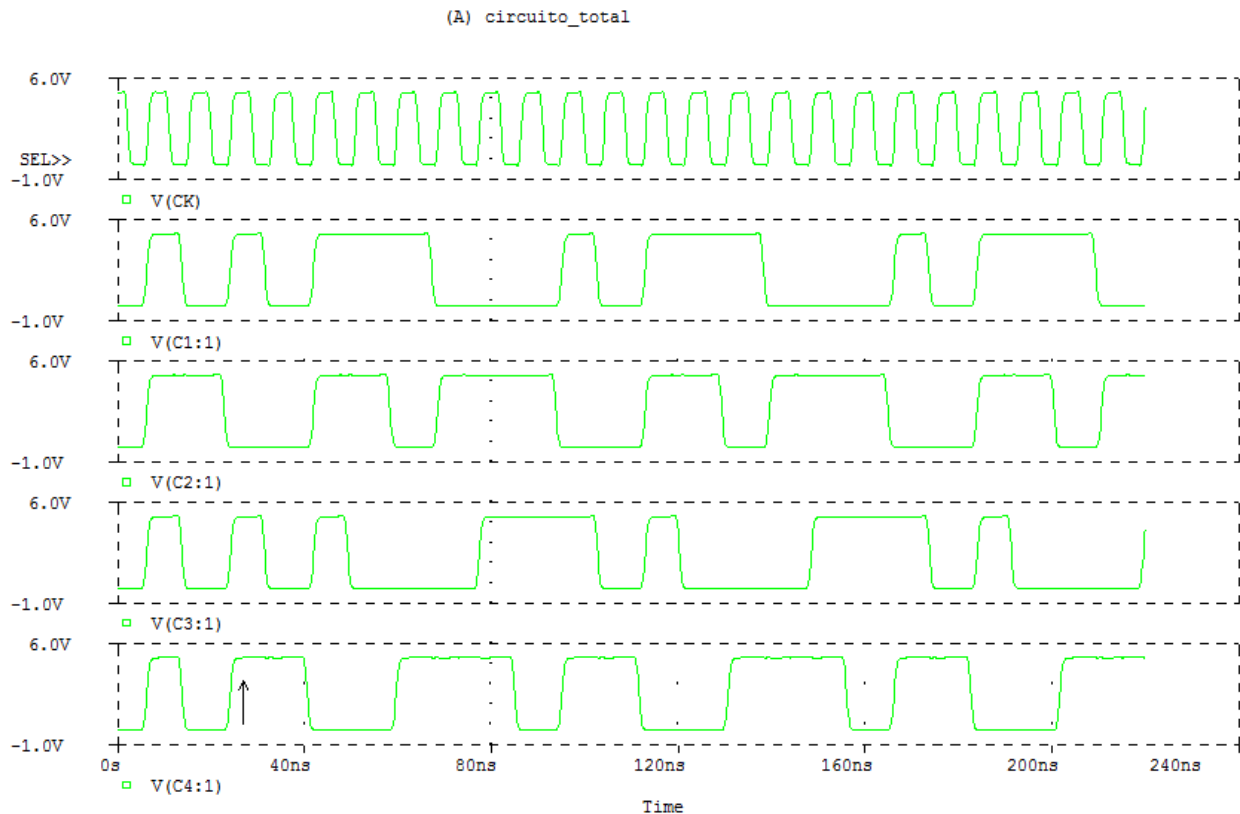


Figura 12: Gráficos da sequência gerada pelo PSPICE

Ao fazer a simulação do circuito final notei que nos primeiros nanosegundos o circuito ainda não apresentava a sequência certa, pois provavelmente o Flip Flop não tinha acertado. Mas uma vez que ele faça um número na sequência por nós programada, nunca mais sai dela. É possível observar este efeito na Figura 11 (acima onde está a seta)

Visto de cima (sem contar com o clock) tem-se 1011, depois 0001 e assim por diante, tal como queremos. Também tive o cuidado de simular o circuito durante mais tempo, para se ver que o fenómeno tem continuidade, ou seja quando o circuito acaba a sequência que tem que gerar, volta a repeti-la e isto pode ver-se por volta dos 100 ns.

Tempos para o 1º Andar do pipeline

Para a medição dos tempos do 1º andar do pipeline tive em conta sempre o flanco positivo do relógio (porque é aqui que ele inicia a avaliação), enquanto que a medição em si era observada dentro do Flip Flop, mais propriamente na saída do Master.

No Flip Flop Da:

tpLH

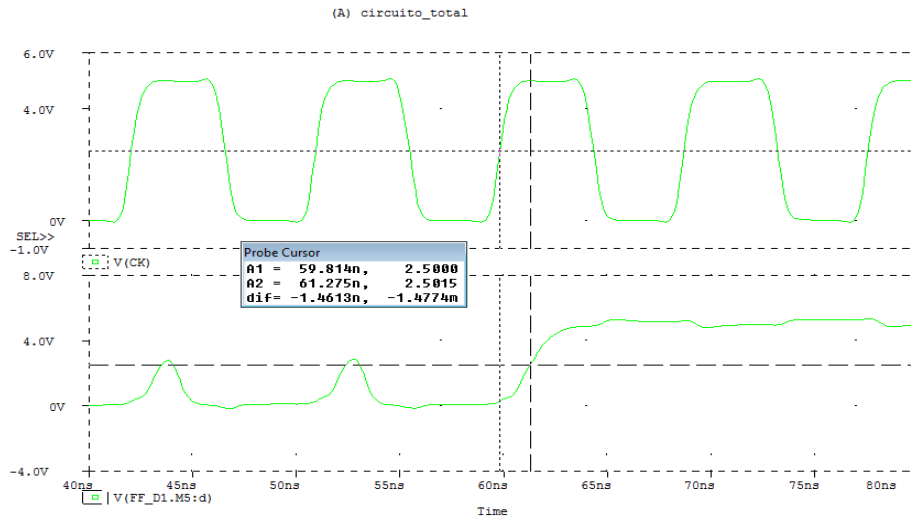


Figura 13: Gráfico do *tpLH* do Flip Flop Da

tpHL

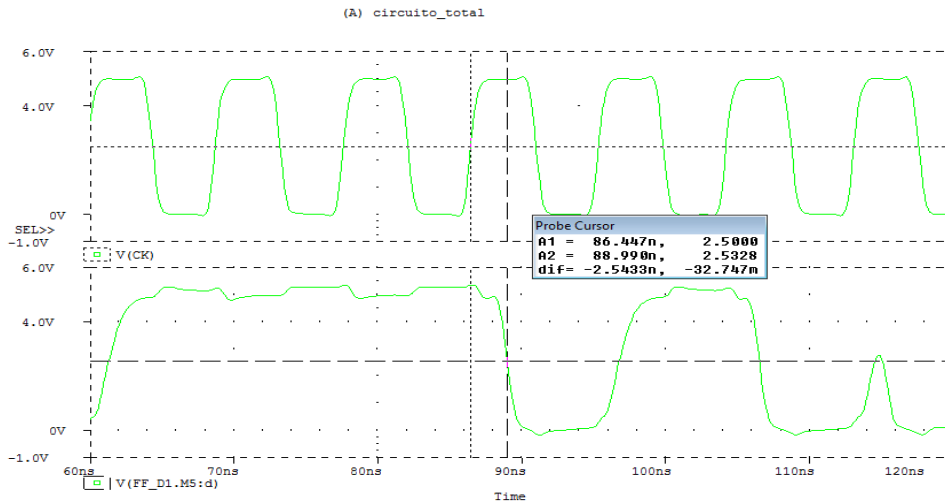


Figura 14: Gráfico do *tpHL* do Flip Flop Da

No Flip Flop Db:
tpLH

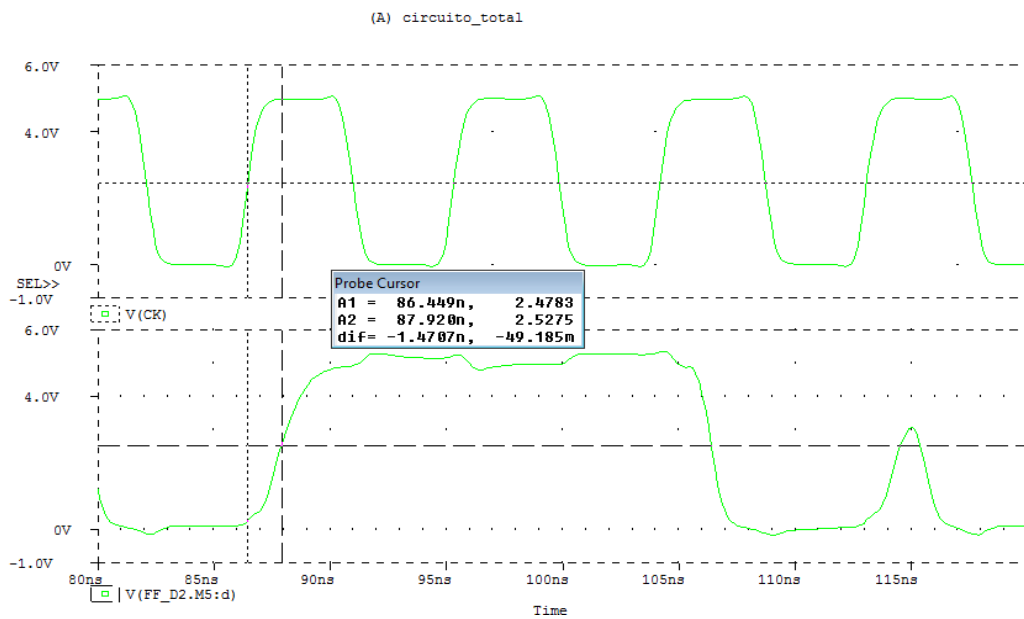


Figura 15: Gráfico do *tpLH* do Flip Flop Db

tpHL

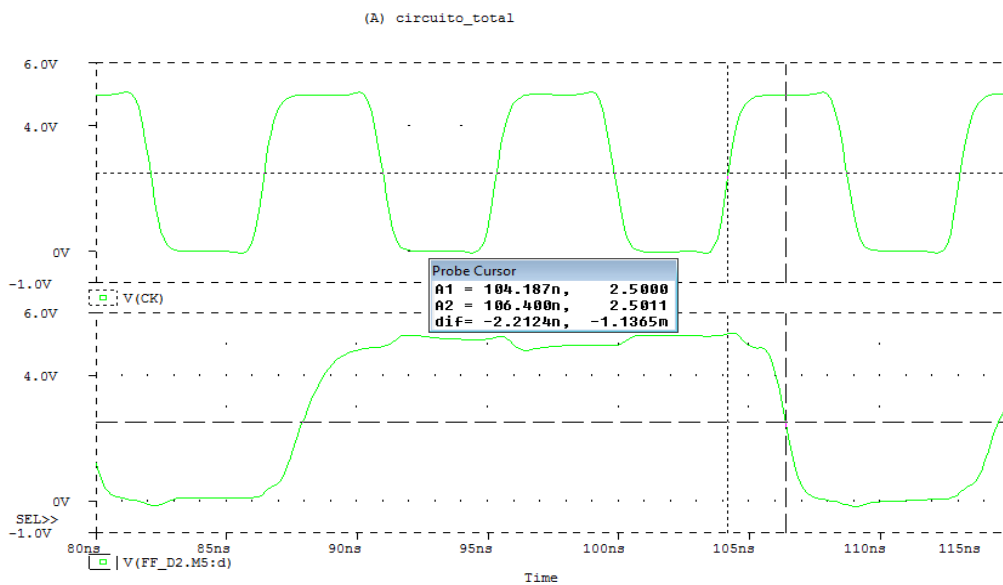


Figura 16: Gráfico do *tpHL* do Flip Flop Db

No Flip Flop Dc:

tpLH

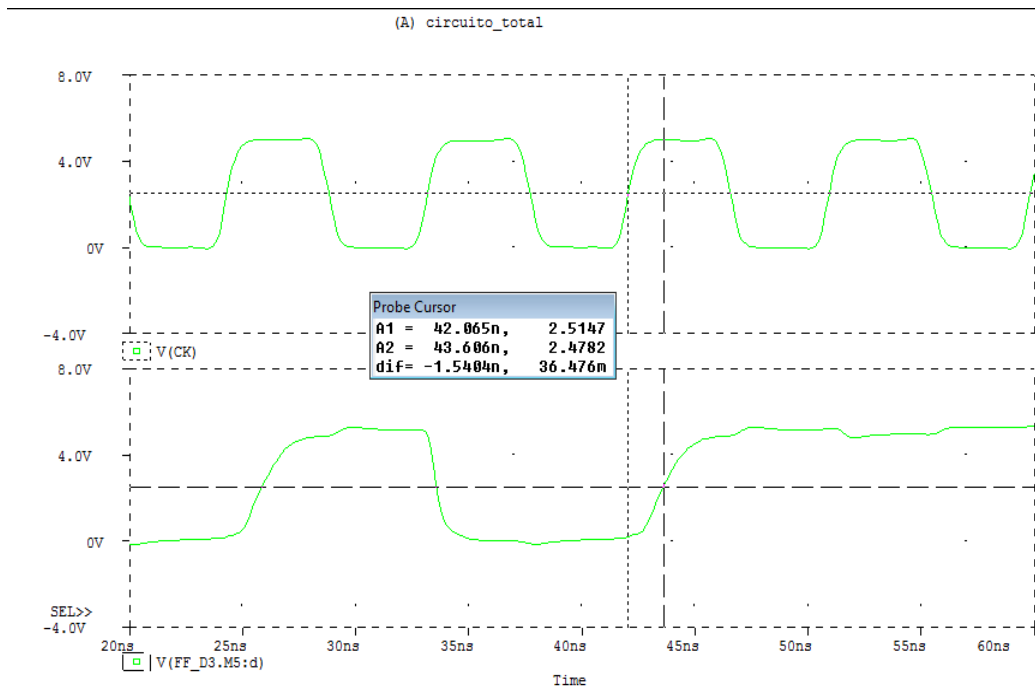


Figura 17: Gráfico do tpLH do Flip Flop Dc

tpHL

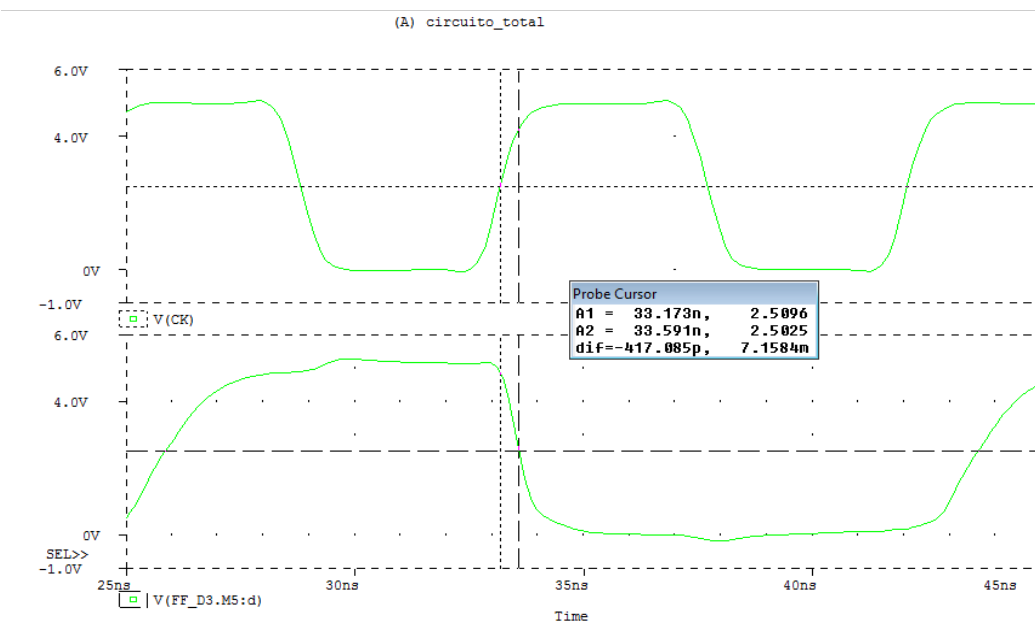


Figura 18: Gráfico do tpHL do Flip Flop Dc

No Flip Flop Dd:
tpLH

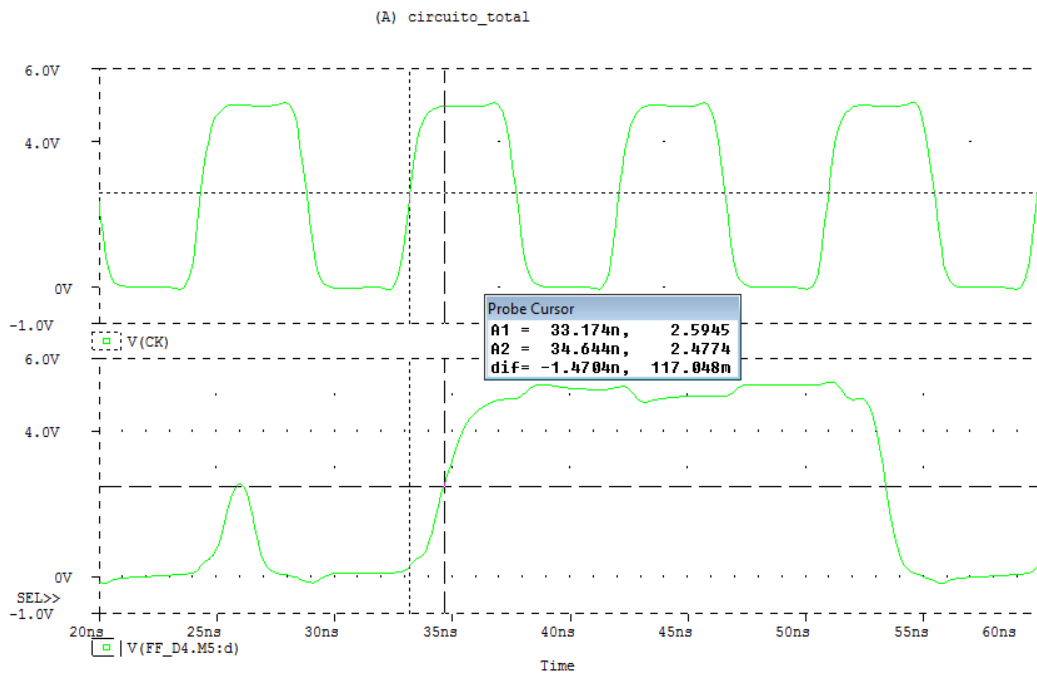


Figura 19: Gráfico do *tpLH* do Flip Flop Dd

tpHL

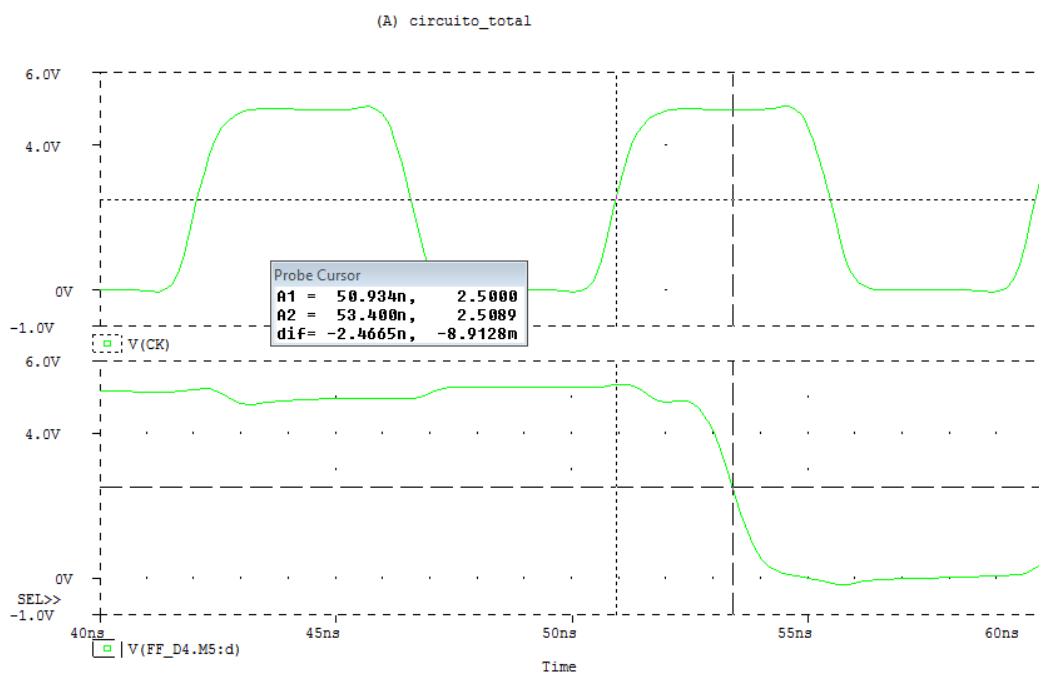


Figura 20: Gráfico do *tpHL* do Flip Flop Dd

Tempos para o 2º Andar do pipeline

Os tempos de propagação do 2º andar do pipeline medem-se de forma semelhante, mas agora tendo como referência o flanco negativo do sinal do relógio "CK". O sinal a medir é a saída do andar "SLAVE", que coincide com a saída do flip-flop .

No Flip Flop Da:

tpLH

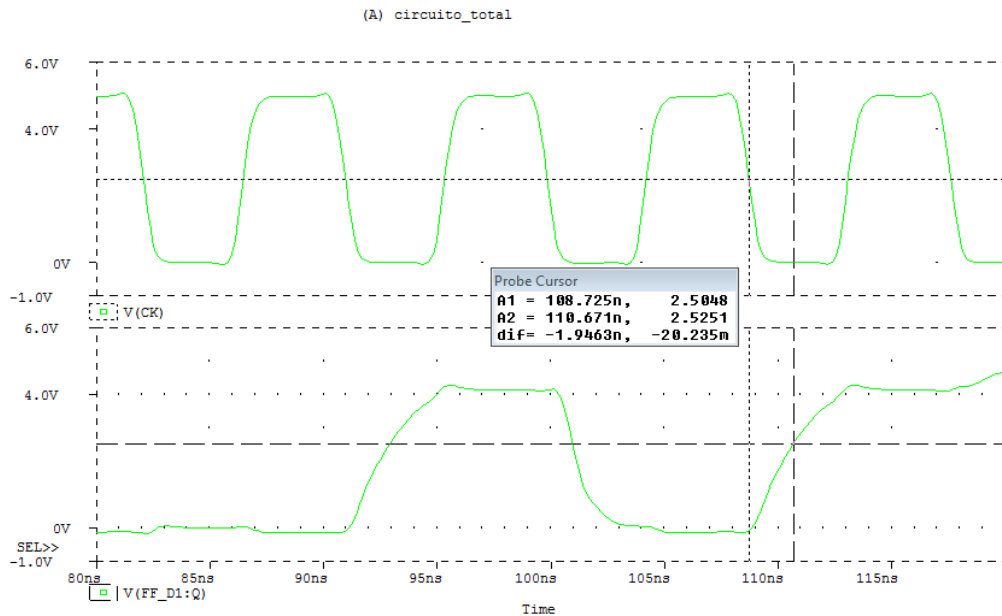


Figura 21: Gráfico do *tpLH* do Flip Flop Da

tpHL

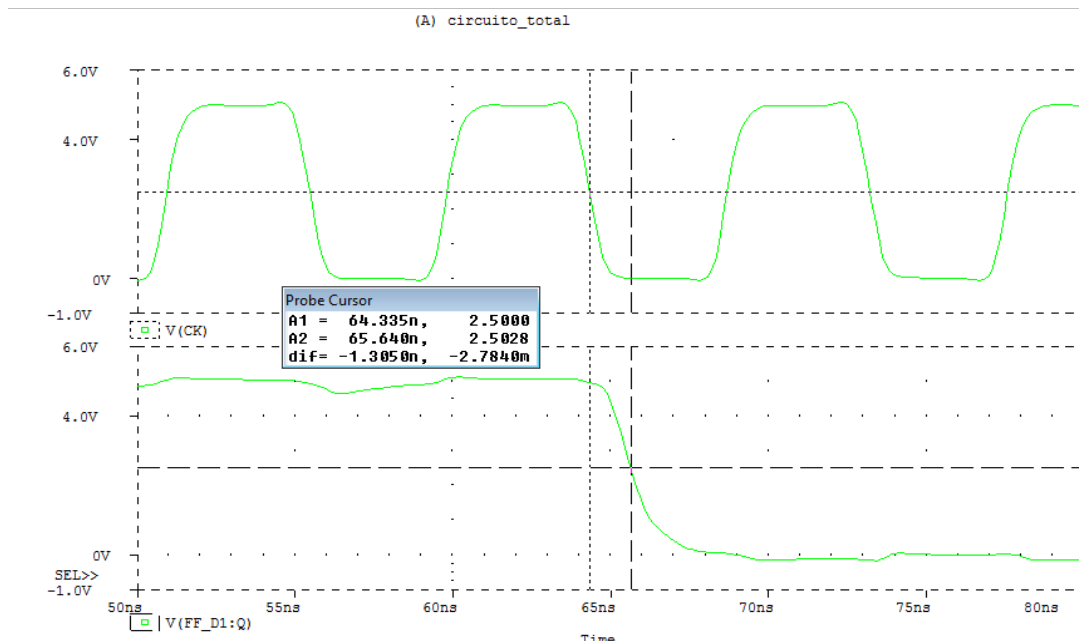


Figura 22: Gráfico do *tpHL* do Flip Flop Da

No Flip Flop Db:

tpLH

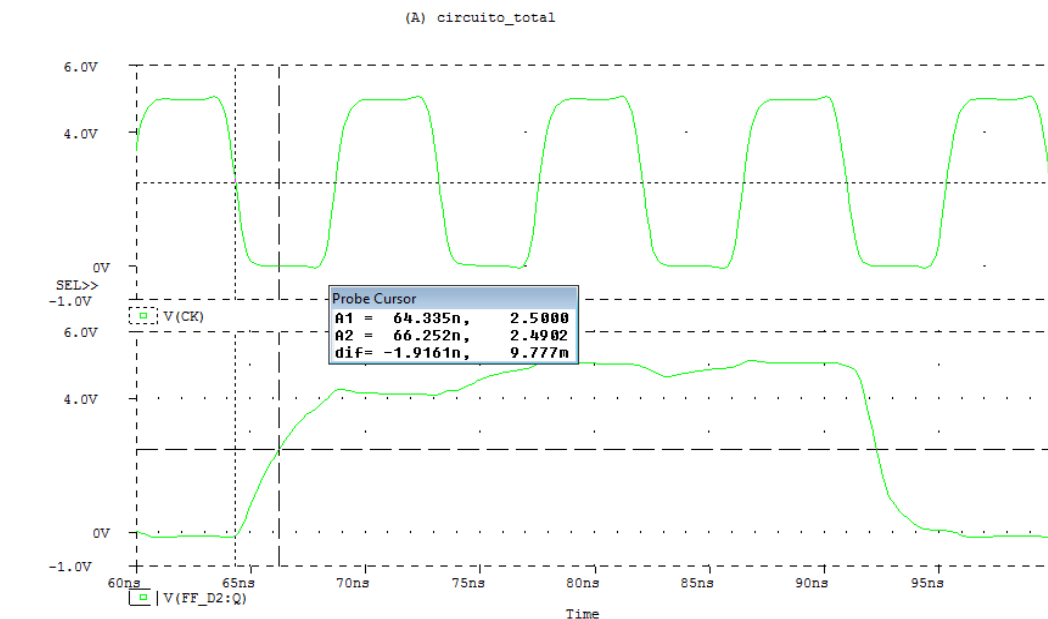


Figura 23: Gráfico do *tpLH* do Flip Flop Db

tpHL

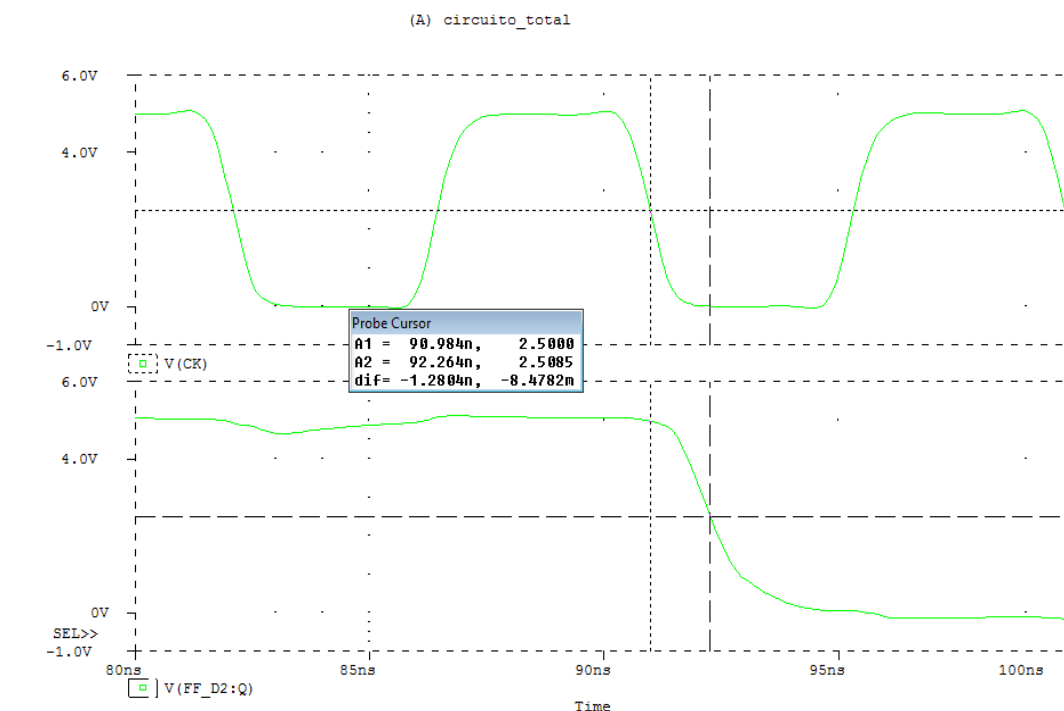


Figura 24: Gráfico do *tpHL* do Flip Flop Db

No Flip Flop Dc:
tpLH

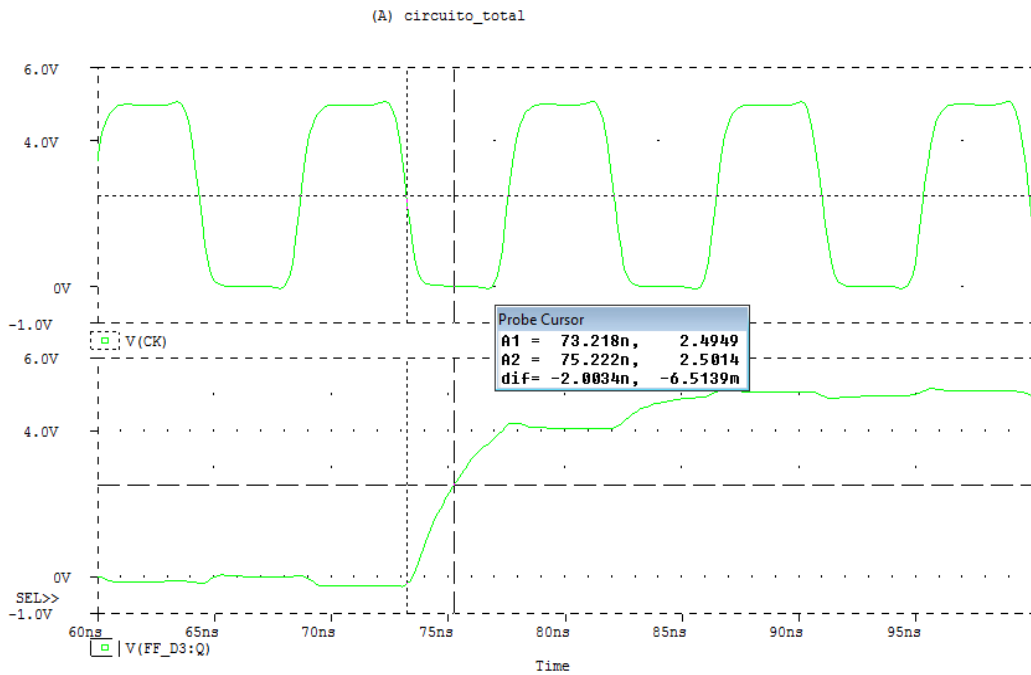


Figura 25: Gráfico do *tpLH* do Flip Flop Dc

tpHL

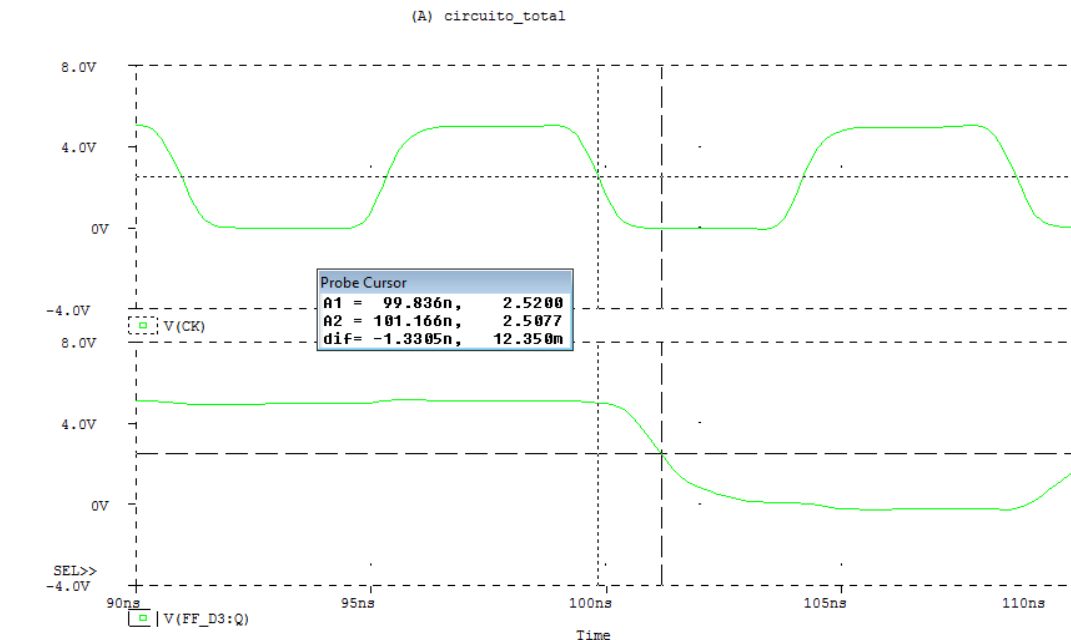


Figura 26: Gráfico do *tpHL* do Flip Flop Dc

No Flip Flop Dd:
tpLH

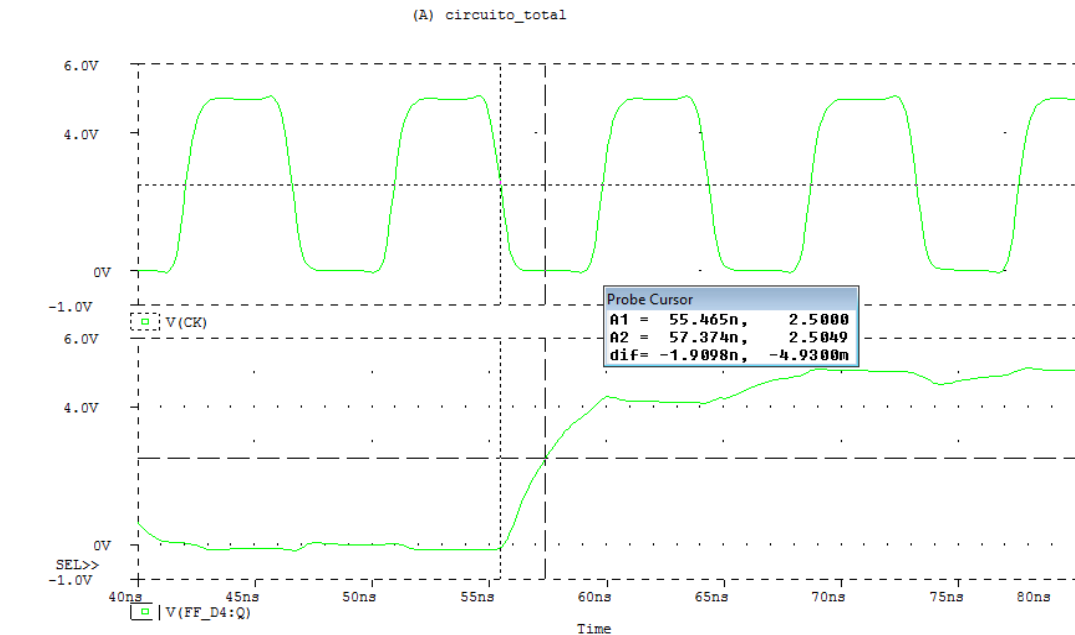


Figura 27: Gráfico do *tpLH* do Flip Flop Dd

tpHL

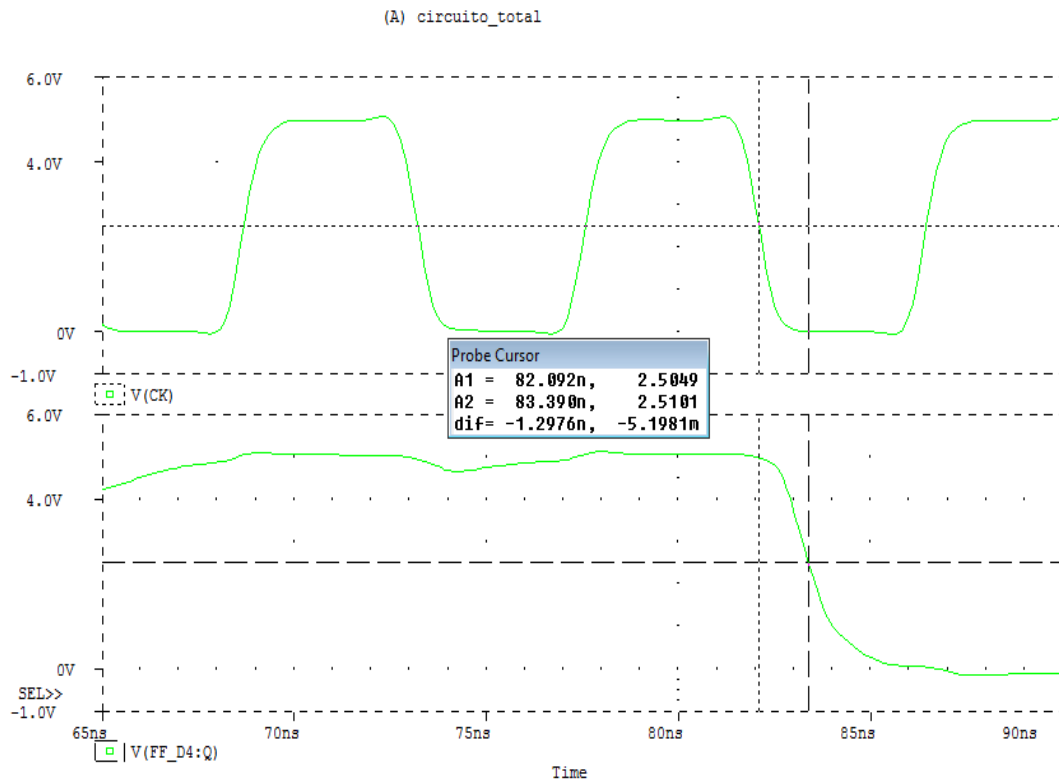


Figura 28: Gráfico do *tpHL* do Flip Flop Dd

Período do oscilador de 9 inversores

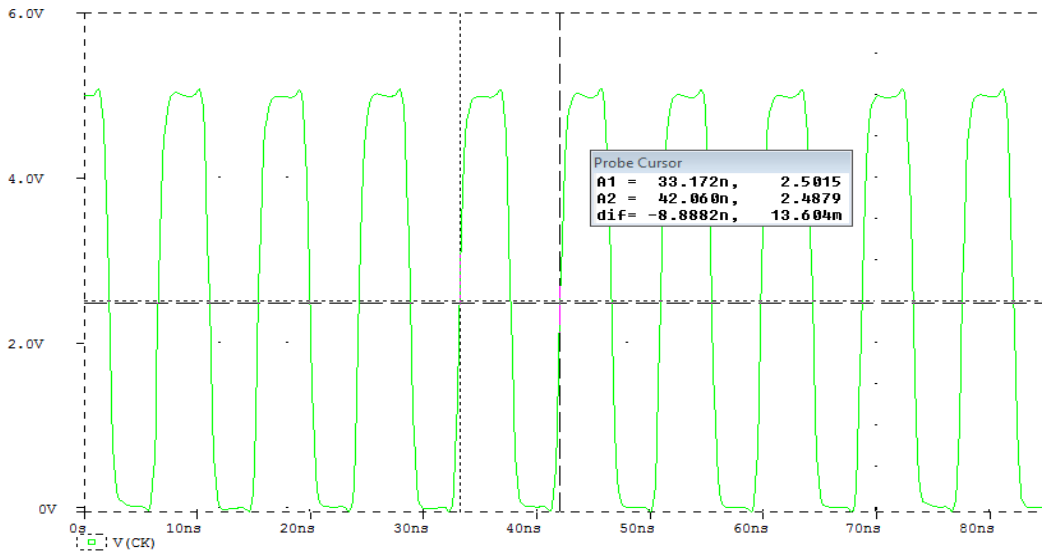


Figura 29: Gráfico do clock para descobrir o período

Para medir o período do oscilador prático, fiz zoom no clock e tentei medir entre 2,5 V e 2,5 V para fazer um período consecutivo. Ou seja quanto tempo demora o sinal a dar uma volta completa.

$$f = \frac{1}{T} = \frac{1}{8.9 \times 10^{-9}} \approx 112 \text{ MHz}$$

Esta é digamos que a frequência máxima e prática do circuito.

Tempo de propagação de um inversor para outro dentro de o buffer

tpLH

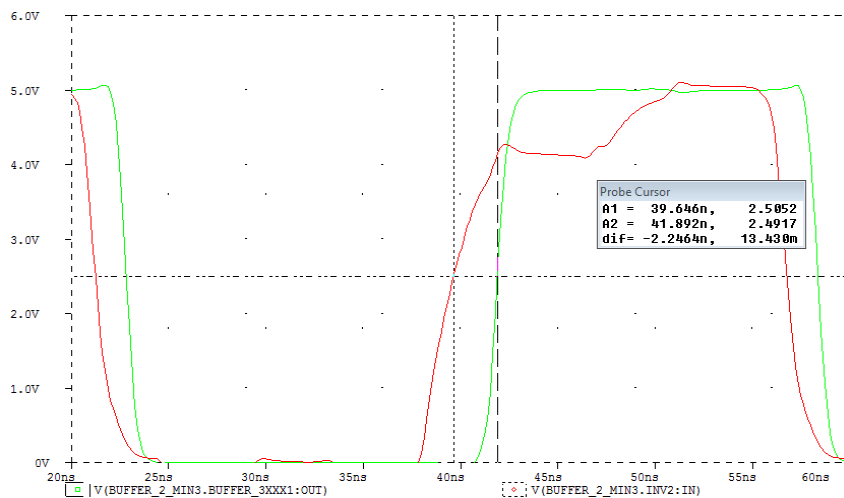


Figura 30: tpLH do da diferença entre os inversores do buffer

tpHL

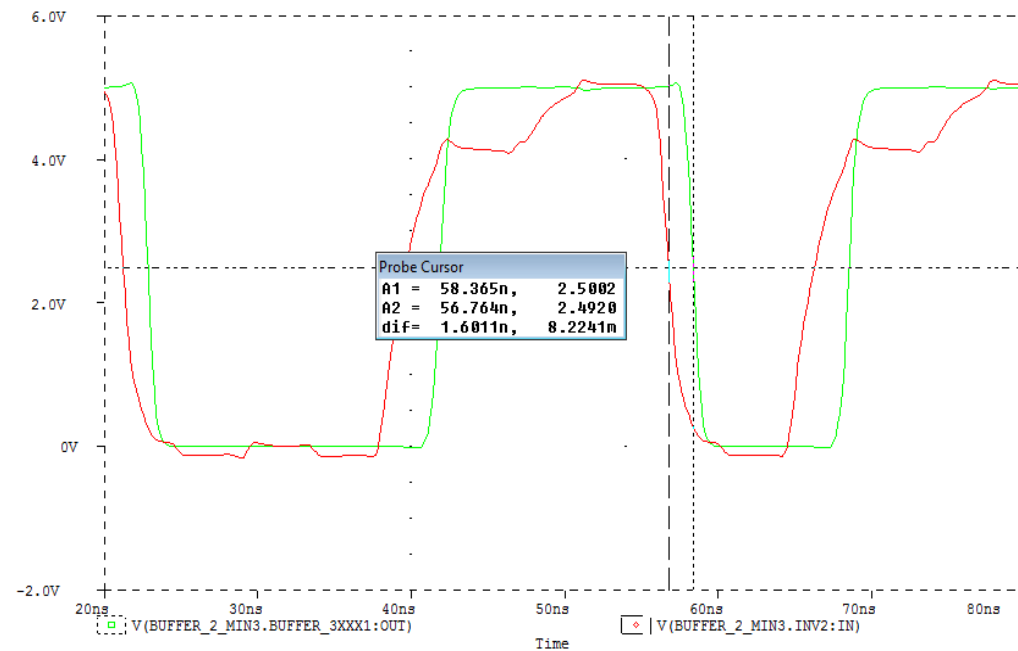


Figura 31: tpHL da diferença de inversores no buffer

A medição foi realizada tanto para tpLH e tpHL e foi feita em VDD/2.

Assim já condieremos o tempo que demora a atravessar o buffer e podemos adicionar aos valores práticos(já medidos sem o buffer) no 2º andar(que é o andar que apanha o buffer).

Tabela com o resumo das simulações do PSPICE(com todos os Tempos de propagação)

	tpLH	tpHL
1º Andar		
Da	1.46 ns	2.54 ns
Db	1.47 ns	2.21 ns
Dc	1.54 ns	417 ps
Dd	1.47 ns	2.47 ns
2º Andar		
Da	1.95 ns + 2.25 ns	1.31 ns + 1.60 ns
Db	1.92 ns + 2.25 ns	1.28 ns + 1.60 ns
Dc	2.00 ns + 2.25 ns	1.33 ns + 1.60 ns
Dd	1.91 ns + 2.25 ns	1.30 ns + 1.60 ns

Nota: Não simplifiquei a soma para ser ver o valor inicial antes de somar com os tps do buffer.

O tempo de propagação foi adicionado de 2.25ns e 1.60ns que foi o tempo de propagação(LH e HL) que demora para atravessar o buffer de uma ponta a outra, o que fiz foi meter uma ponta de prova no inicio o buffer e outra no fim do buffer.

O meu andar mais complicado visto teoricamente é claramente o andar que passa pelo NAND3 PDN, NAND3 PUN e o master do Flip Flop Db, mas as medições não o mostram. No 1º andar os valores dos tpHL são sistematicamente maiores que os respectivos valores tpLH, que pode ser devido ao atraso do sinal CK/(relativamente a CK) que origina a transição, ou pode ser até mesmo devido ao facto de os transistores não estarem dimensionados , logo o FF vê-se à “rasca” para subir.

Apenas um valor varia no tpHL do primeiro andar, que é o do Dc, isto é perceptível na medida que este Flip Flop não esta ligado a nenhuma porta lógica, está ligado directamente a \overline{Qa} . Ora isto deve torna-lo mais rápido.(Este valor foi verificado várias vezes noutras descidas).

O segundo andar do Flip Flop teve tempos de propagação de low para high maiores do que no primeiro andar, e contrariamente teve tempos mais baixos no tempo de propagação de high para low.

Em compensações os valores tpLH e HL deste segundo andar são mais próximos um do outro, contrariamente ao caso do primeiro andar.

Se somarmos os tpLH aos tpHL dos andares chegamos à conclusão que os tempos do 2º andar são mais lentos do que o 1º andar, o que bate certo com a teórica que dava o 2º andar como o mais lento também(após considerarmos o tal caso do buffer).

Apesar dos valores dos tempos parecerem variar um pouco não nos podemos esquecer que pelo menos estamos a acertar na ordem de grandeza(mais no caso do segundo andar do que no primeiro), mas ainda assim pode-se concordar que não estão maus.

Layout em *LASI*

Inversor

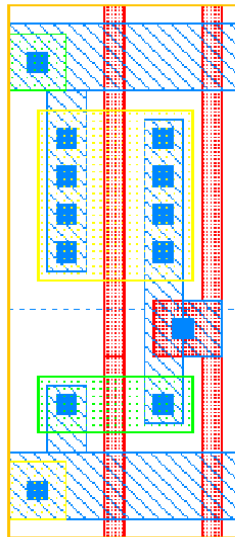


Figura 32: Inversor

NAND3 PDN

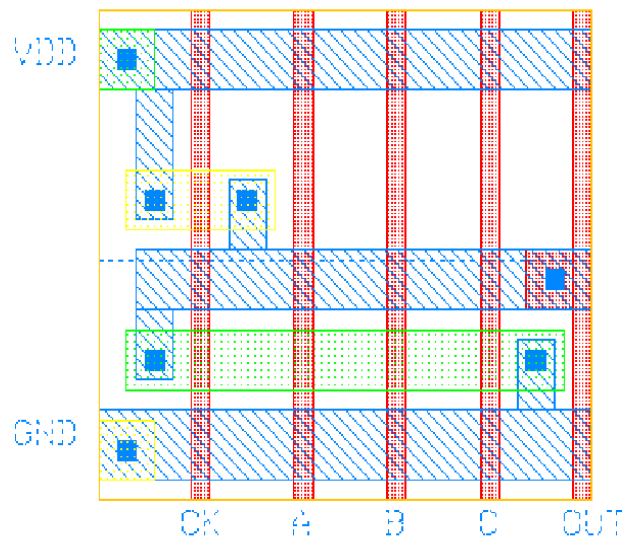


Figura 33: NAND3 PDN

NAND3 PUN

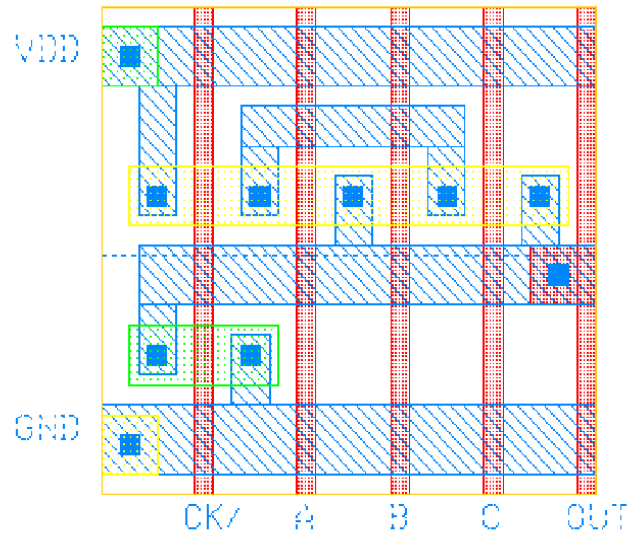


Figura 34: NAND3 PUN

NAND2 PDN

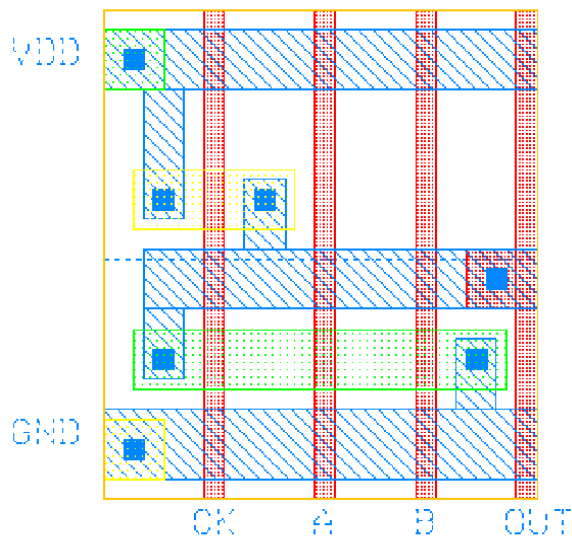


Figura 35: NAND2 PDN

NAND2 PUN

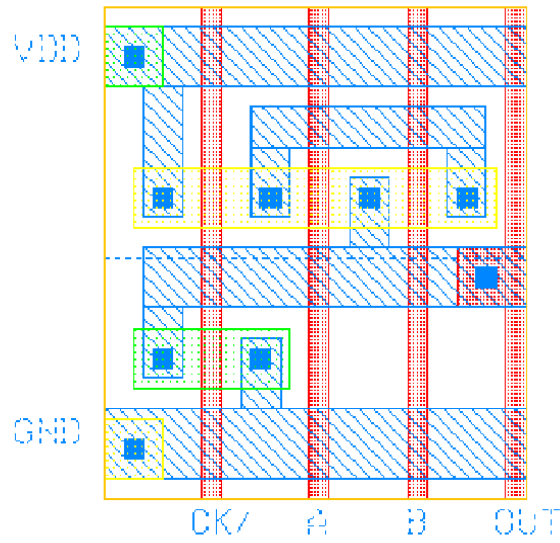


Figura 36: NAND2 PUN

Oscilador

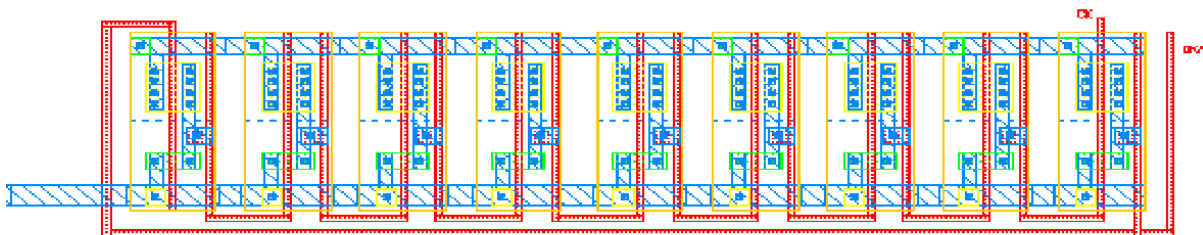


Figura 37: Oscilador – “comprado” ao aluno 37039 mas modificado

Buffer de 2 andares

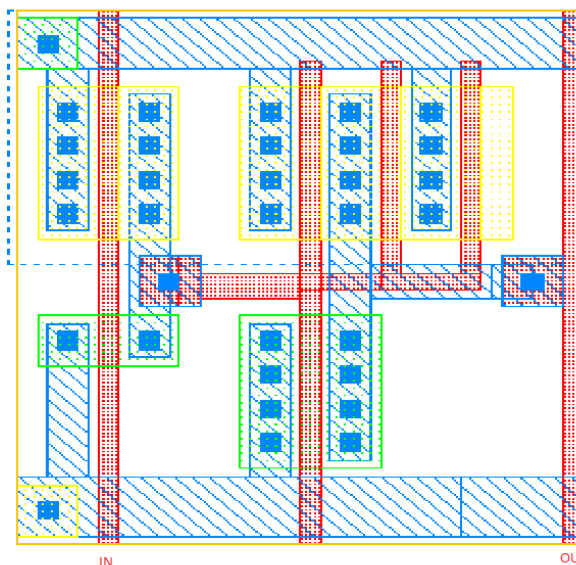


Figura 38: Buffer

Oscilador com buffer

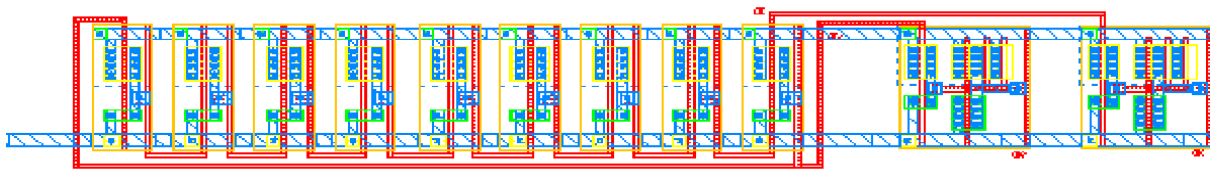


Figura 39: Oscilador com buffer

FLIP FLOP tipo D

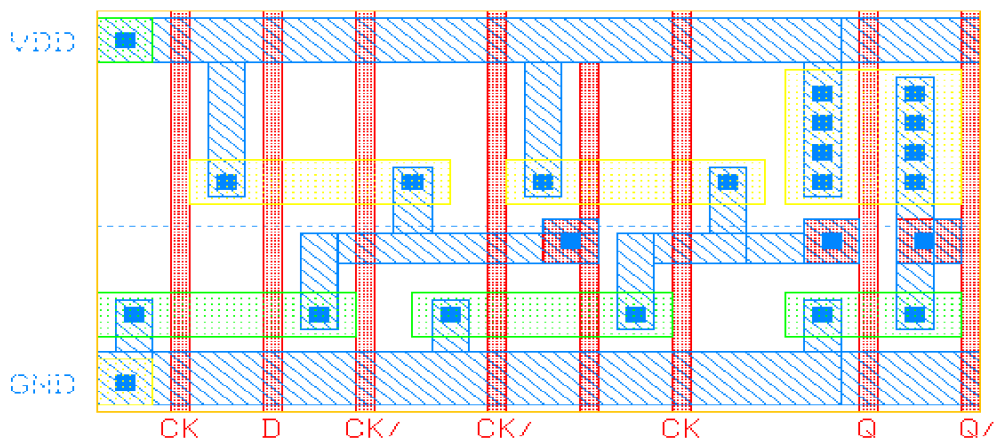


Figura 40: Flip Flop tipo D – “comprado” ao aluno 39073, mas modificado

FLIP FLOP tipo D com as portas

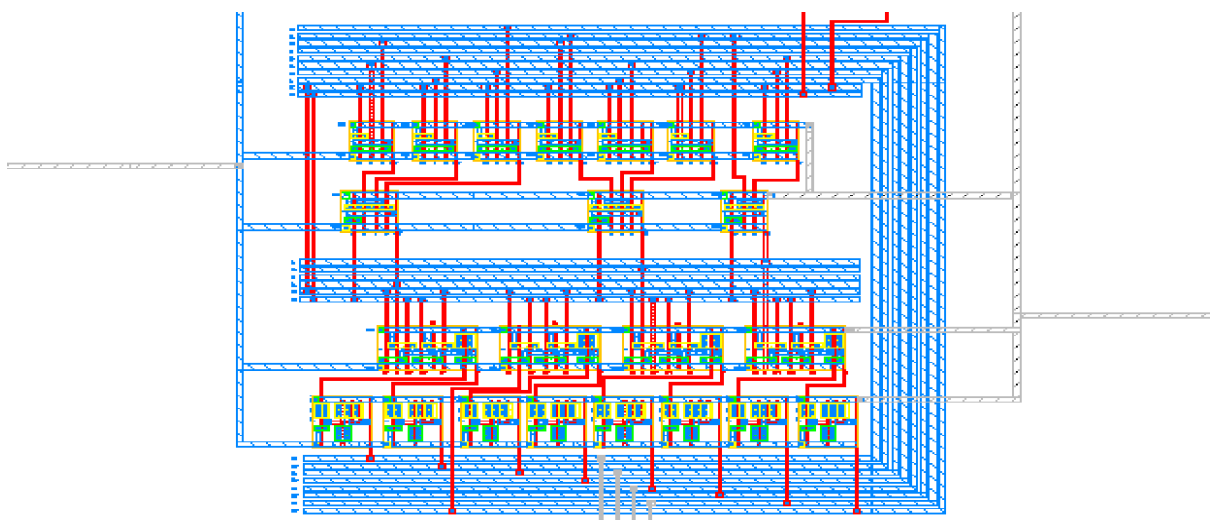


Figura 41: Flip Flop com as portas

Padframe

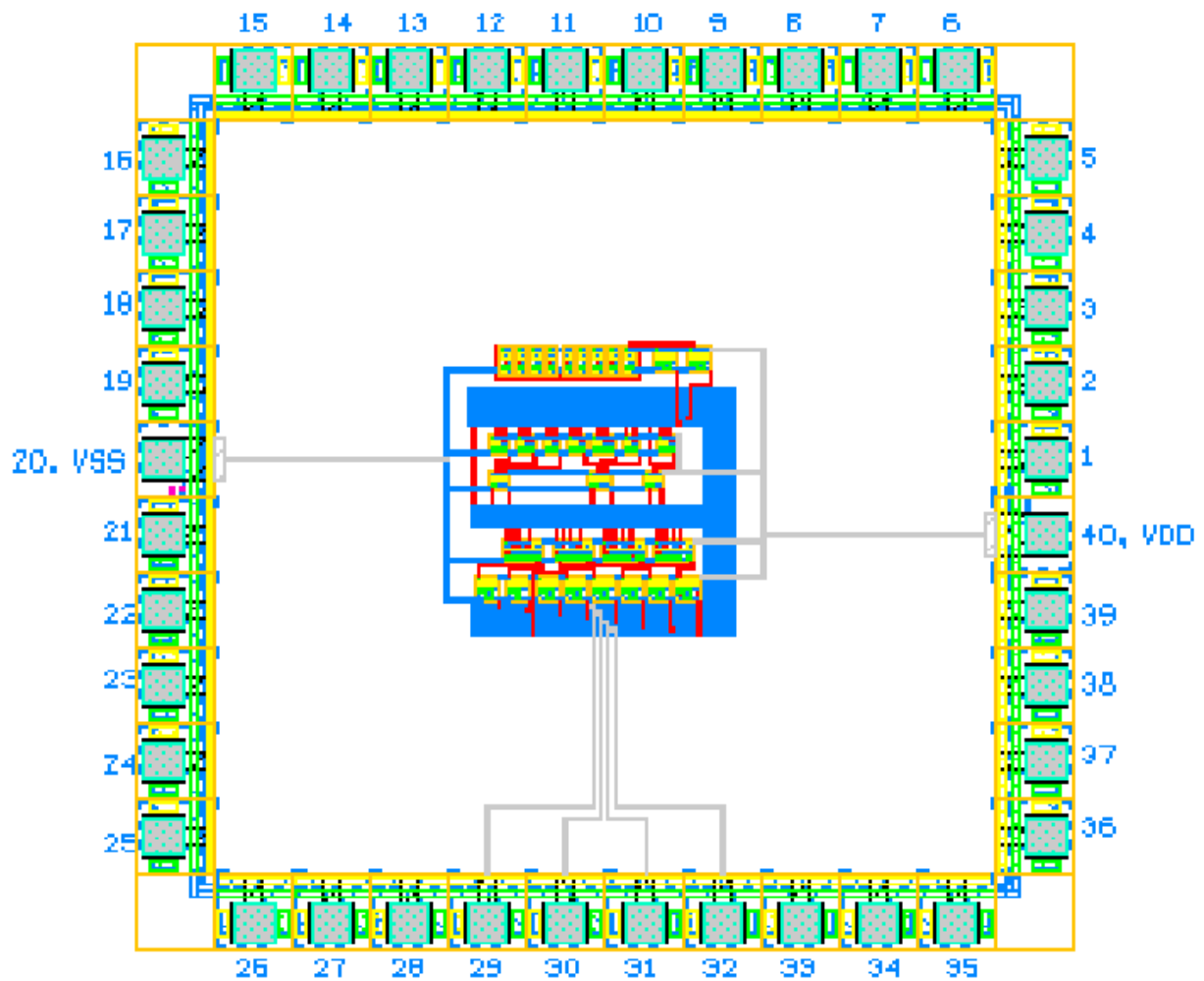


Figura 42: Padframe Final

Devido as dificuldades técnicas, como a de pôr esta imagem numa folha A4 e a de fazer print no LASI, se for necessário estou totalmente disponível para esta mostrar este imagem no computador.

Conclusão

Em suma podemos concluir que o projecto foi bem sucedido. Para começar podemos comparar os dados da nossa tabela de verdade (provenientes da sequencia pretendida) com os gráficos obtidos na Figura 12, e vemos que o circuito está bem montado e que está a realizar a sequencia pretendida e uma vez entrando nos bits certos nunca mais os perde e continua a fazer a sequêcia.

Após os a realiação dos cálculos teóricos viu-se que o 2º andar do pipeline é mais lento do que o primeiro. Nos cálculos para estes tempos consideramos o Worst Case Scenario em que olhámos nitidamente para a porta mais complicada e calculamos o seu tempo de propagação total. A contradição é que estes valores não coincidem exactamente com os valores medidos, pois o circuito mais complicado (mais lento) na teoria, nas medições não é o mais lento.

Mas apesar disto não podemos dizer que os valores estejam assim tão afastados, pois a ordem de grandeza acertamos, apenas variam alguns valores nos primeiros algarismos, nada de importante considerando que as medições nunca coincidem exactamente com a teoria.

Por fim podemos concluir com estes resultados o modelo simplista nos cálculos teóricos face ao modelo utilizado no SPICE, pois sabendo que o circuito ta a trabalhar bem e que os resultados não batem certo como se esperava só pode ser problemas inerentes aos modelos utilizados.