

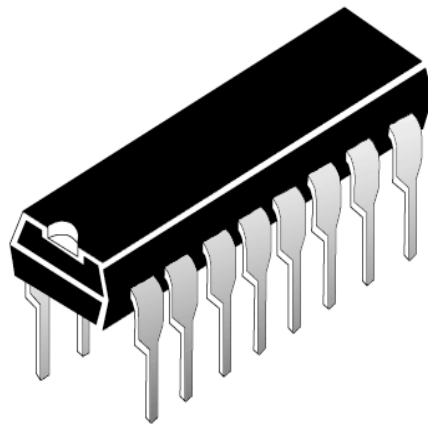


Electrónica III  
2011/2012  
FCT  
Prof. Dr. José Bastos



## *Projecto 1*

### **Simulação e Layout de um circuito lógico usando lógica complementar**



André Cardoso nº40648 MIEET

## Índice de Conteúdos

Síntese Teórica.....	3
CMOS.....	3
Tecnologia Orbit CN20.....	4
Objectivos.....	4
Desenvolvimento do Projecto.....	5
Tabela de Verdade.....	5
Mapas de Karnaugh.....	5
Tabela Geral.....	7
Circuitos associados a cada saída.....	8
Inversor.....	8
Circuito O4.....	10
Simulação do circuito O4.....	10
Circuito O3.....	11
Simulação do circuito O3.....	11
Circuito O2.....	12
Simulação do circuito O2.....	12
Circuito O1.....	13
Simulação do circuito O1.....	13
Circuito O0.....	14
Simulação do circuito O0.....	14
Medição dos tempos de propagação (tpLH e tpHL).....	16
tpLH e tpHL para a saída O4.....	16
tpLH e tpHL para a saída O3.....	17
tpLH e tpHL para a saída O2.....	18
tpLH e tpHL para a saída O1.....	20
tpLH e tpHL para a saída O0.....	21
Calculos dos tpLH e tpHL teóricos.....	22
O4 - tpLH e tpHL.....	22
O3 - tpLH e tpHL.....	23
O2 - tpLH e tpHL.....	23
O1 - tpLH e tpHL.....	24
O0 - tpLH e tpHL.....	24
Tabela geral de comparação dos tempos de propagação:.....	25
Layout das saídas em LASI.....	26
Conclusão.....	28

## Índice de Figuras

Illustration 1: NAND de duas entradas.....	3
Illustration 2: Circuito Inversor.....	8
Illustration 3: Circuito O4.....	10
Illustration 4: Simulação do circuito O4.....	10
Illustration 5: Circuito O3.....	11
Illustration 6: Simulação do circuito O3.....	11
Illustration 7: Simulação do circuito O2.....	12
Illustration 8: Circuito O1.....	13
Illustration 9: Simulação do circuito O1.....	13
Illustration 10: Circuito O0.....	14
Illustration 11: Simulação do circuito O0.....	14
Illustration 12: tpLH para a saída O4.....	16
Illustration 13: tpHL para a saída O4.....	16
Illustration 14: tpLH para a saída O3.....	17
Illustration 15: tpHL para a saída O3.....	17
Illustration 16: tpLH para a saída O2.....	18
Illustration 17: tpHL para a saída O2.....	19
Illustration 18: tpLH para a saída O1.....	20
Illustration 19: tpHL para a saída O1.....	20
Illustration 20: tpLH para a saída O0.....	21
Illustration 21: tpHL para a saída O0.....	21
Illustration 22: Layout em LASI da saída O3.....	26
Illustration 23: Layout em LASI da saída O1.....	26
Illustration 24: Layout em LASI da saída O0.....	27

## Síntese Teórica

### CMOS

CMOS é uma sigla para *complementary metal-oxide-semiconductor*. É um tipo de tecnologia empregue no fabrico de circuitos integrados. O *Complementary* vem do facto de que esta tecnologia utiliza dois tipos de transistores MOSFET, o NMOS e o PMOS. Estes transistores complementam-se um ao outro.

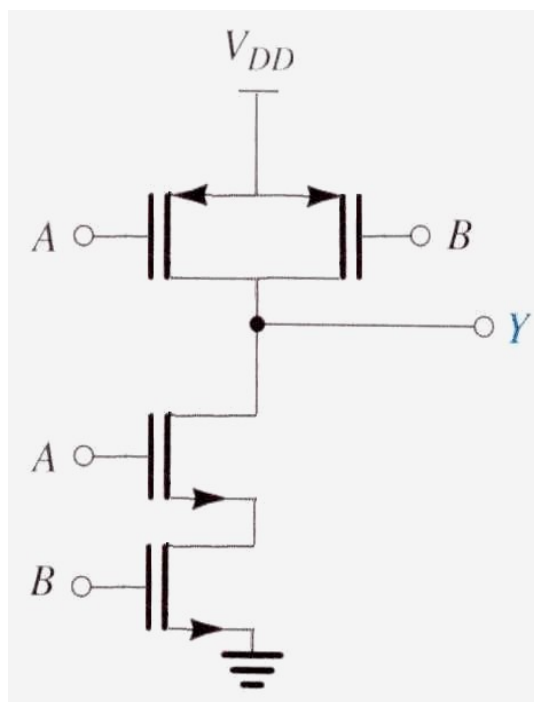


Illustration 1: NAND de duas entradas

Esta tecnologia é usada hoje em dia em larga escala na produção de circuitos integrados, as grandes vantagens desta tecnologia são os baixos consumos de energia (que conduz a uma baixa dissipação de calor) e a possibilidade de alta densidade de integração em circuitos, comparativamente com outras tecnologias como a TTL (que usa transistores bipolares).

**Tecnologia Orbit CN20**

A tecnologia que vamos utilizar para construir os circuitos é chamada Orbit CN20, e é constituída por um conjunto de regras muito específicas para o layout do circuito. Este conjunto de regras pode ser encontrado com mais detalhe na literatura, sendo que só vou evidenciar algumas das regras mais importantes, como por exemplo o facto de todas as medidas serem em microns(u). A partir daqui todas as outras regras estão relacionadas, por exemplo, a largura mínima da região N-Well são 3 microns e a separação mínima entre regiões N-Wells é de 9 microns. Os contactos devem ser feitos com uma largura mínima de 2 microns e as camadas de polisilício(que formam os gates) devem ter uma largura e espaçamento entre elas de também 2 microns - razão para qual este tecnologia também ser conhecida por *Orbit 2 micron process*.

**Objectivos**

O objectivo principal do projecto é desenhar um circuito em PSPICE que funcione à máxima frequência de operação possível, ou seja tentando minimizar os tempo de propagação das portas. Vai também ser muito importante dimensionar bem os transistores para que os tempos de propagação sejam os esperados. O objectivo secundário deste projecto é desenhar o layout das saídas em LASI com a menor área possível.

## Desenvolvimento do Projecto

### Tabela de Verdade

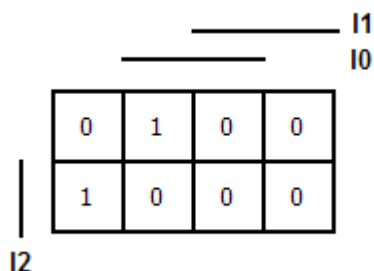
Esta tabela de verdade foi construída com base no *Output* fornecido pelo professor. Como é possível ver esta tabela é composta por 3 entradas {I2, I1, I0} e 5 saídas {O4, O3, O2, O1, O0}

I2	I1	I0	O4	O3	O2	O1	O0
0	0	0	0	0	0	1	0
0	0	1	1	0	1	1	1
0	1	0	0	0	0	0	1
0	1	1	0	1	1	0	0
1	0	0	1	0	0	0	1
1	0	1	0	0	1	1	1
1	1	0	0	0	1	0	1
1	1	1	0	1	0	0	0

Tabela 1 - Tabela de Verdade das saídas em relação às entradas

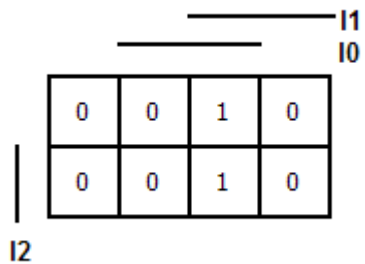
### Mapas de Karnaugh

Os mapas de karnaugh são a forma mais simples de simplificar expressões booleanas, e serão eles que vão ser usados para as nossas saídas.



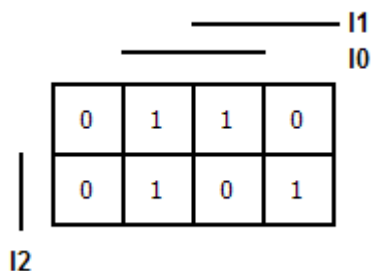
$$O4 = I0 \cdot \bar{I1} \cdot \bar{I2} + \bar{I0} \cdot \bar{I1} \cdot I2$$

Tabela 2 - Mapa de Karnaugh da saída O4



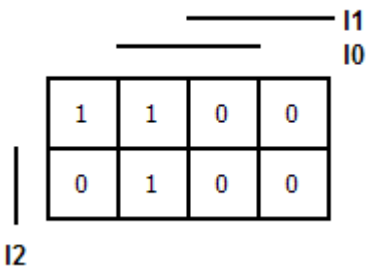
$$O3 = I0 \cdot I1$$

Tabela 3 - Mapa de Karnaugh da saída O3



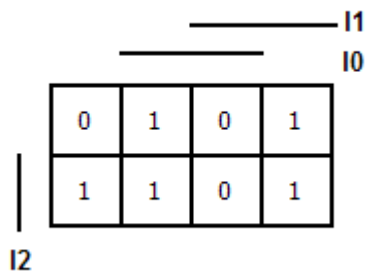
$$O2 = I0 \cdot \bar{I2} + I0 \cdot \bar{I1} + \bar{I0} \cdot I1 \cdot I2$$

Tabela 4 - Mapa de Karnaugh da saída O2



$$O1 = \bar{I1} \cdot \bar{I2} + I0 \cdot \bar{I1}$$

Tabela 5 - Mapa de Karnaugh da saída O1



$$O0 = I0.\bar{I1} + \bar{I0}.I1 + \bar{I1}.I2$$

Tabela 6 - Mapa de Karnaugh da saída O0

**Tabela Geral das expressões booleanas**

Saída	Expressão Mínima	PDN	PUN	Var. CMOS*
O4	$I0.\bar{I1}.\bar{I2} + \bar{I0}.I1.I2$	$(\bar{I0}+I1+I2).(I0+I1+\bar{I2})$	$\bar{I0}.I1.I2 + \bar{I0}.\bar{I1}.\bar{I2}$	$I0,\bar{I0},I1,I2,\bar{I2}$
O3	$I0.I1$	$(\bar{I0}+\bar{I1})$	$\bar{I0}.\bar{I1}$	$\bar{I0},\bar{I1}$
O2	$I0.\bar{I2} + I0.\bar{I1} + \bar{I0}.I1.I2$	$(\bar{I0}+I2).(I0+I1+\bar{I2})$	$\bar{I0}.I2 + \bar{I0}.\bar{I1} + \bar{I0}.\bar{I1}.\bar{I2}$	$I0,\bar{I0},I1,\bar{I1},I2,\bar{I2}$
O1	$\bar{I1}.I2 + I0.\bar{I1}$	$(I1+I2).(I0+I1)$	$\bar{I1}.I2 + \bar{I0}.\bar{I1}$	$\bar{I0},I1,I2$
O0	$I0.\bar{I1} + \bar{I0}.I1 + \bar{I1}.I2$	$(\bar{I0}+I1).(I0+I1).(I1+I2)$	$\bar{I0}.\bar{I1} + \bar{I0}.\bar{I1} + \bar{I1}.I2$	$I0,\bar{I0},I1,\bar{I1},I2$

Tabela 7 - Resumo das funções lógicas para implementar nos circuitos

\* Variáveis de entrada para o circuito CMOS



## Circuitos associados a cada saída

Nesta secção apresentarei o circuito e a respectiva simulação, para ser possível comparar a saída com o circuito montado.

Ao analisar o output gerado no ultimo subgráfico, é possível comparar com os dados da tabela de verdade e verificar que os circuitos se encontram bem montados e que estão a fazer a sua respectiva função lógica.

O Circuito abaixo é o inversor que foi usado nos circuitos seguintes {O4, O3, O2, O1; O1} quando necessário uma entrada negada.

### Inversor

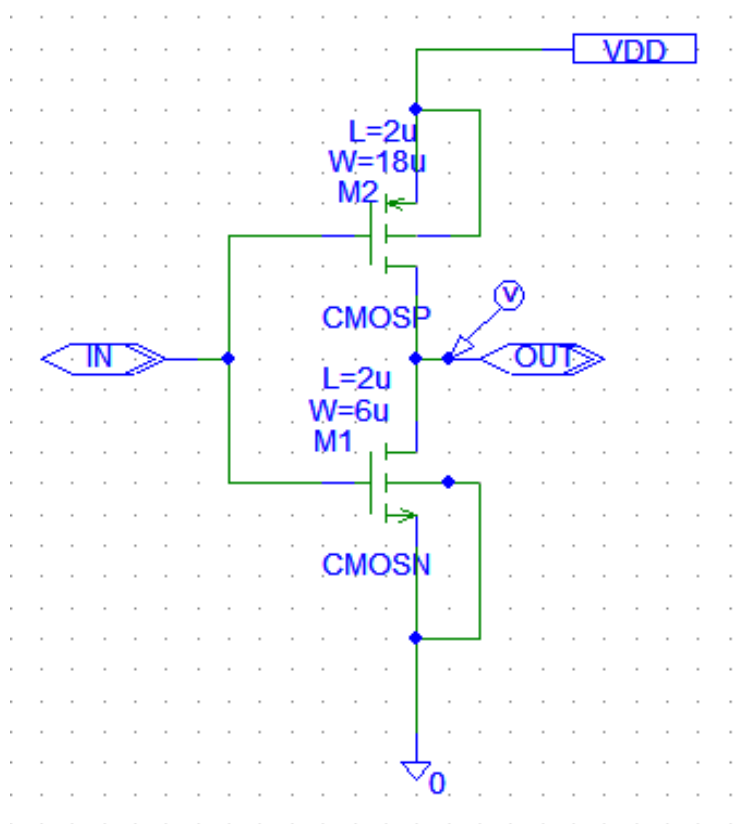


Illustration 2: Circuito Inversor

**Circuito O4**

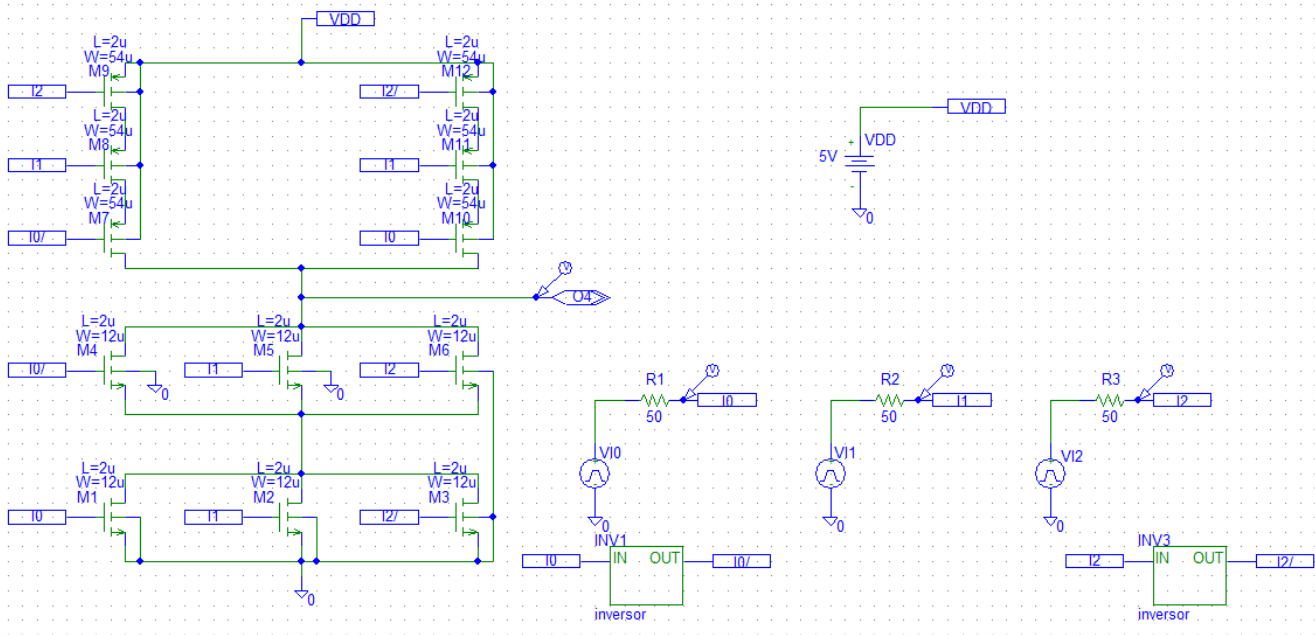


Illustration 3: Circuito O4

**Simulação do circuito O4**

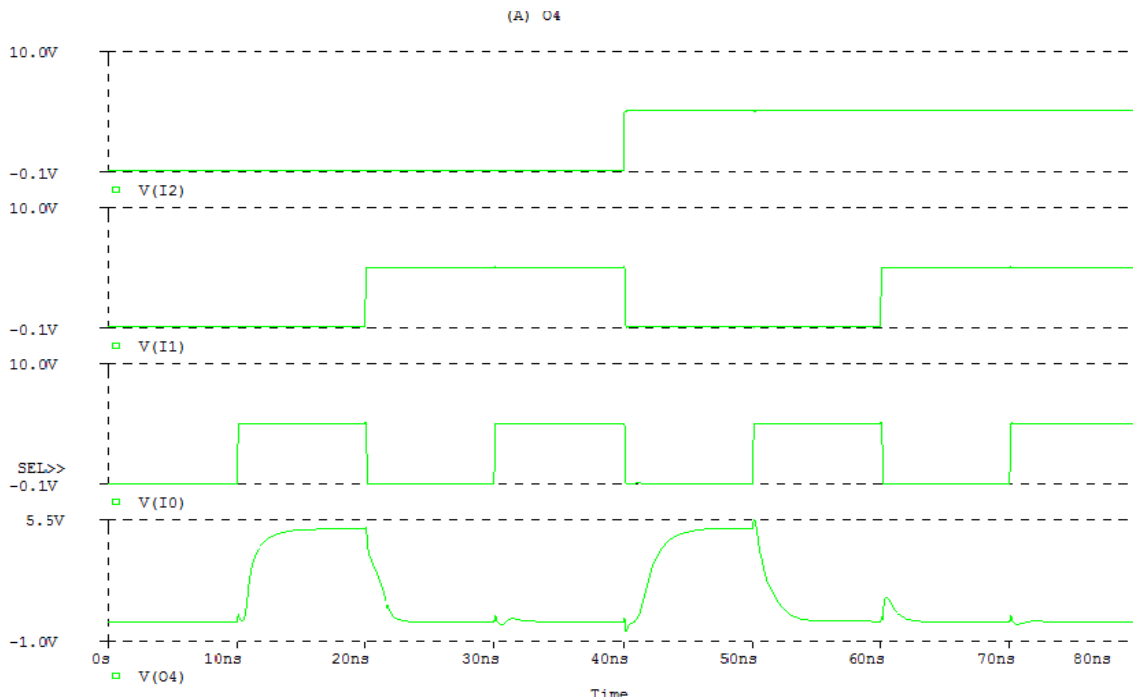


Illustration 4: Simulação do circuito O4

**Circuito O3**

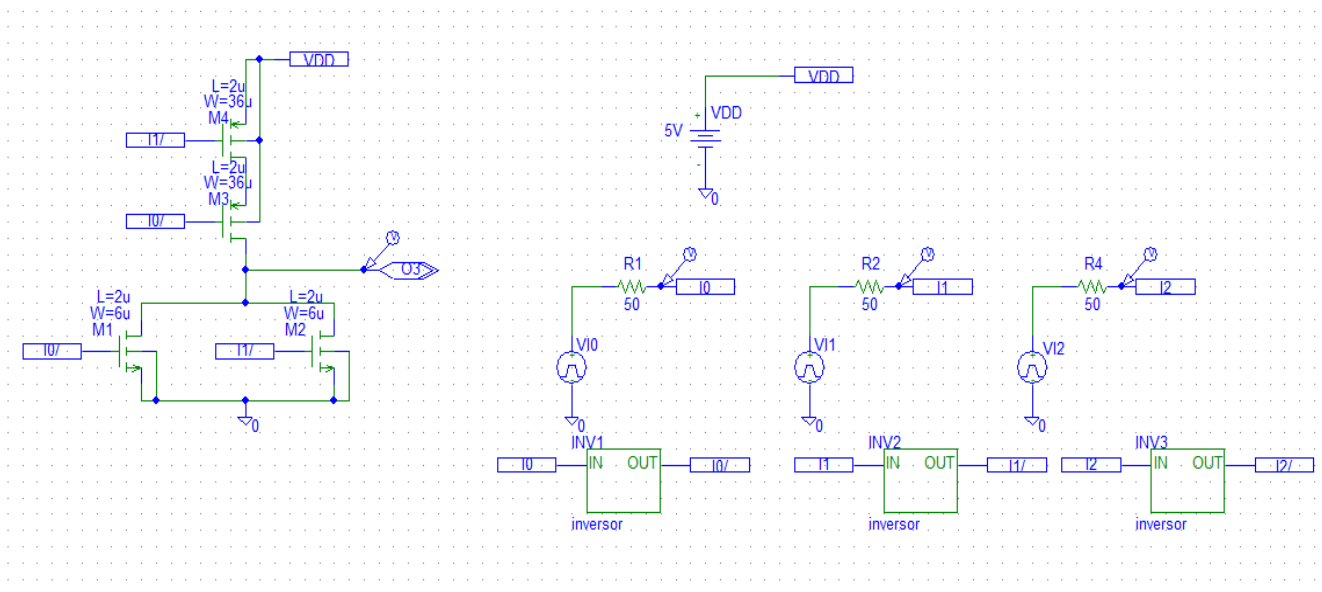


Illustration 5: Circuito O3

**Simulação do circuito O3**

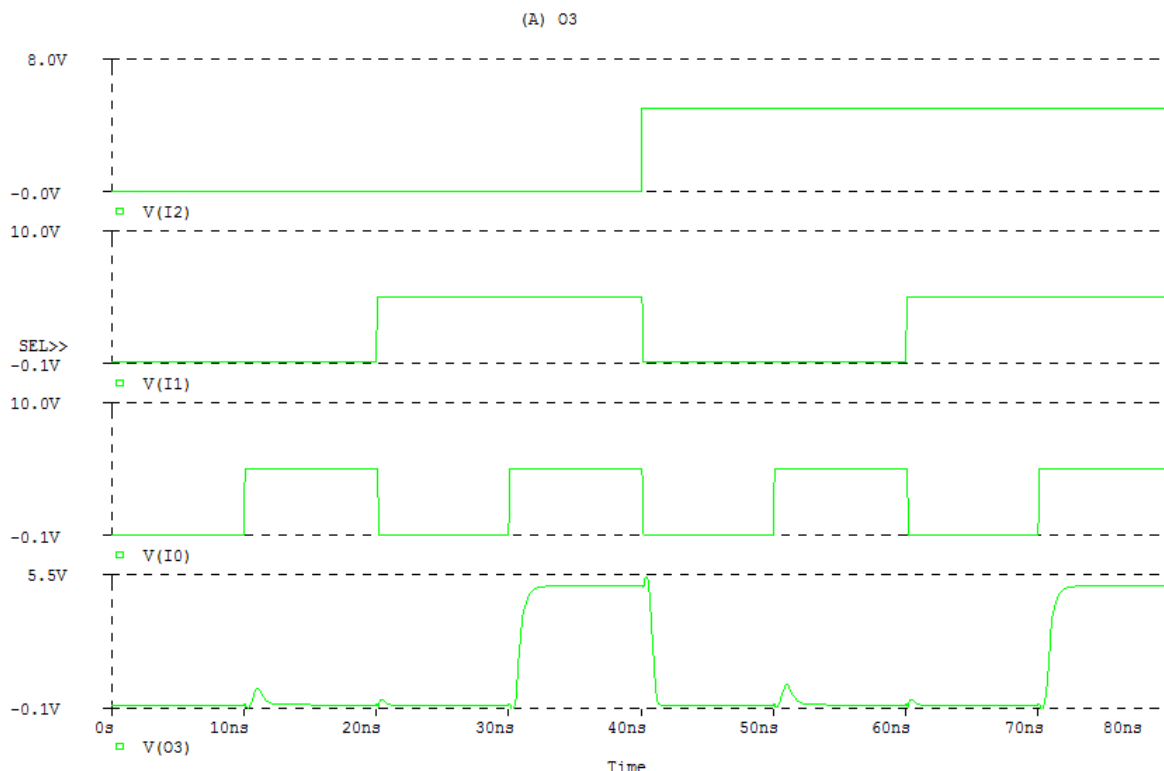
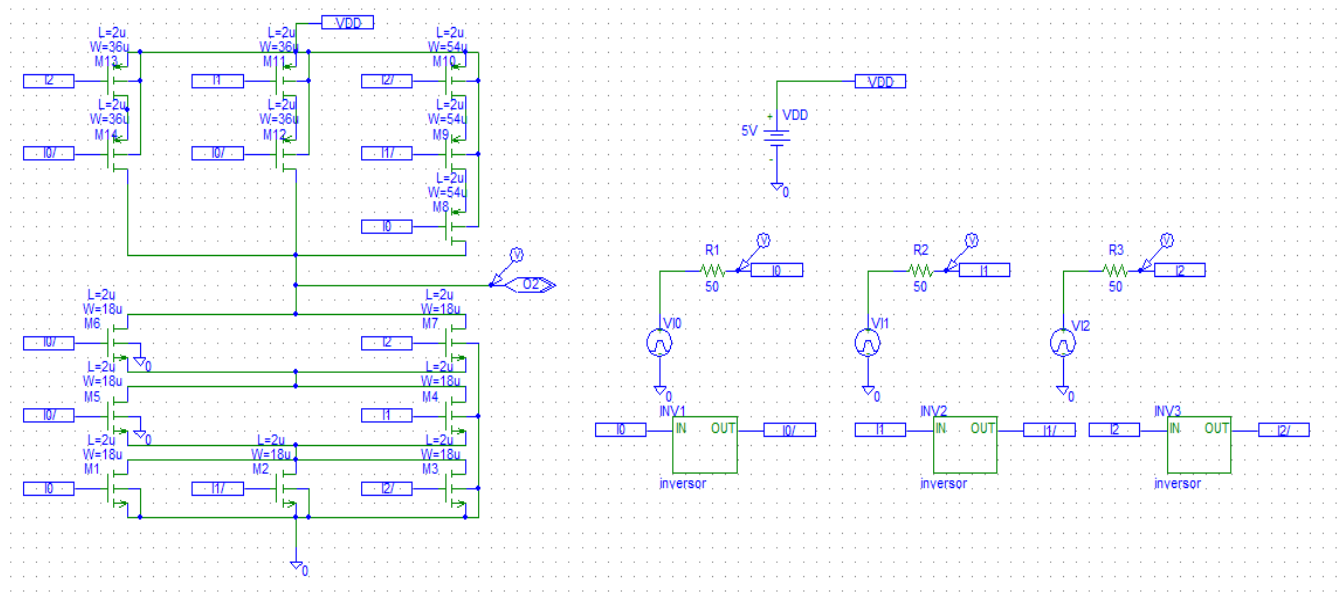


Illustration 6: Simulação do circuito O3

**Circuito O2**



**Simulação do circuito O2**

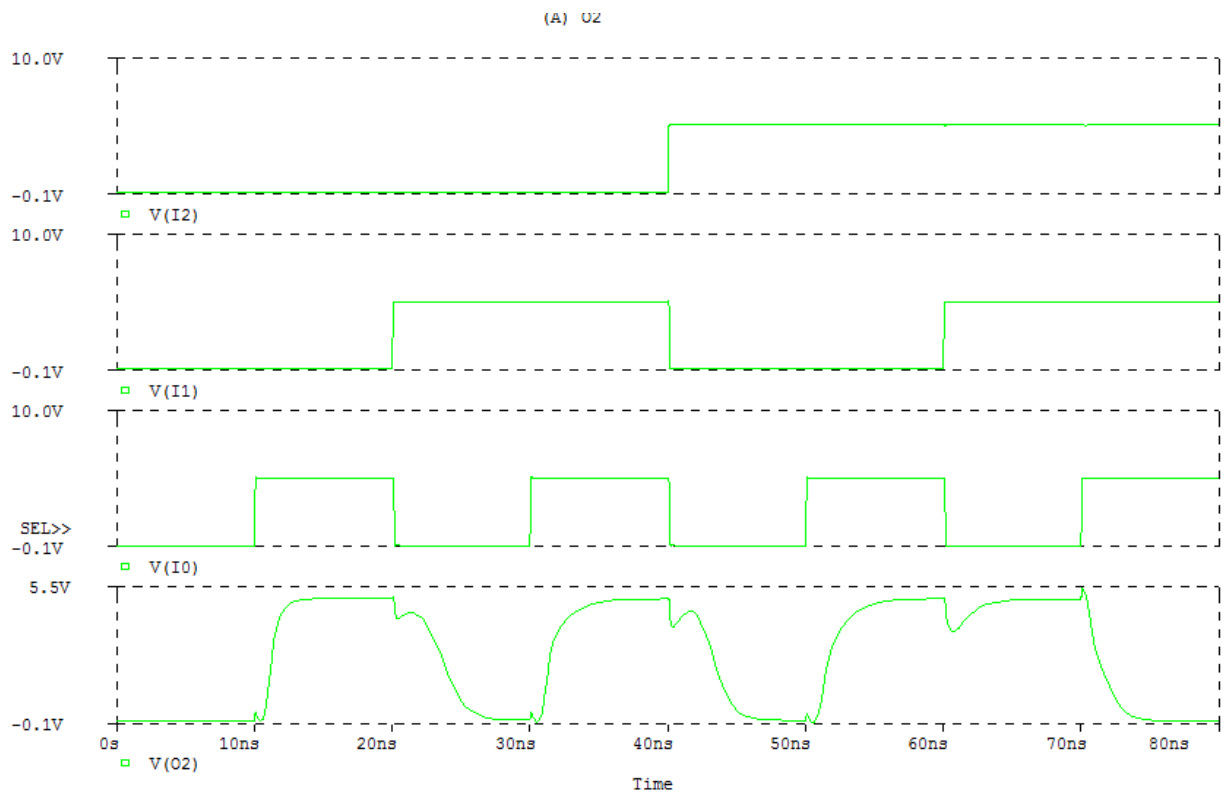


Illustration 7: Simulação do circuito O2

**Circuito O1**

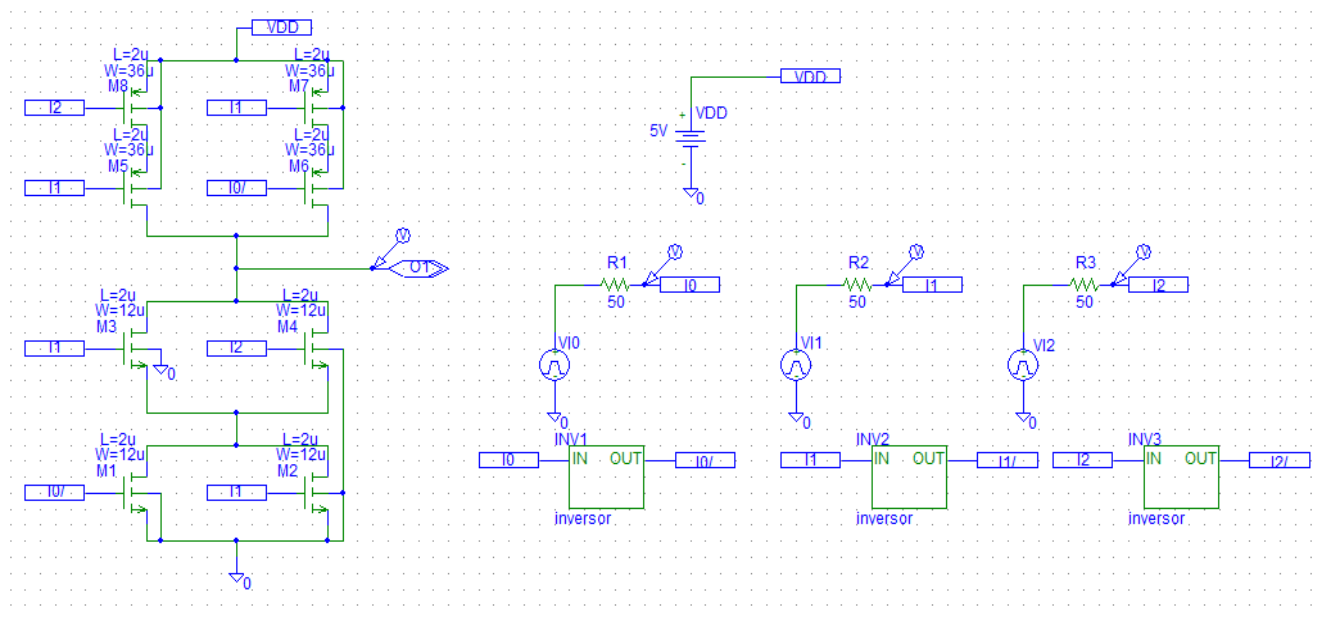


Illustration 8: Circuito O1

**Simulação do circuito O1**

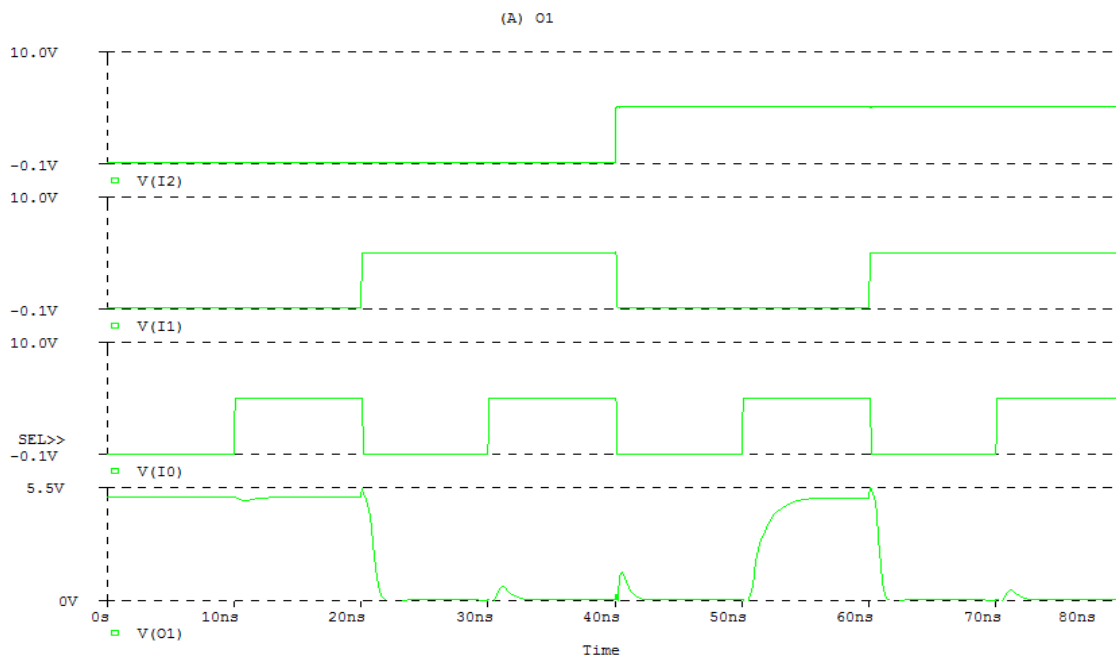


Illustration 9: Simulação do circuito O1

**Circuito O0**

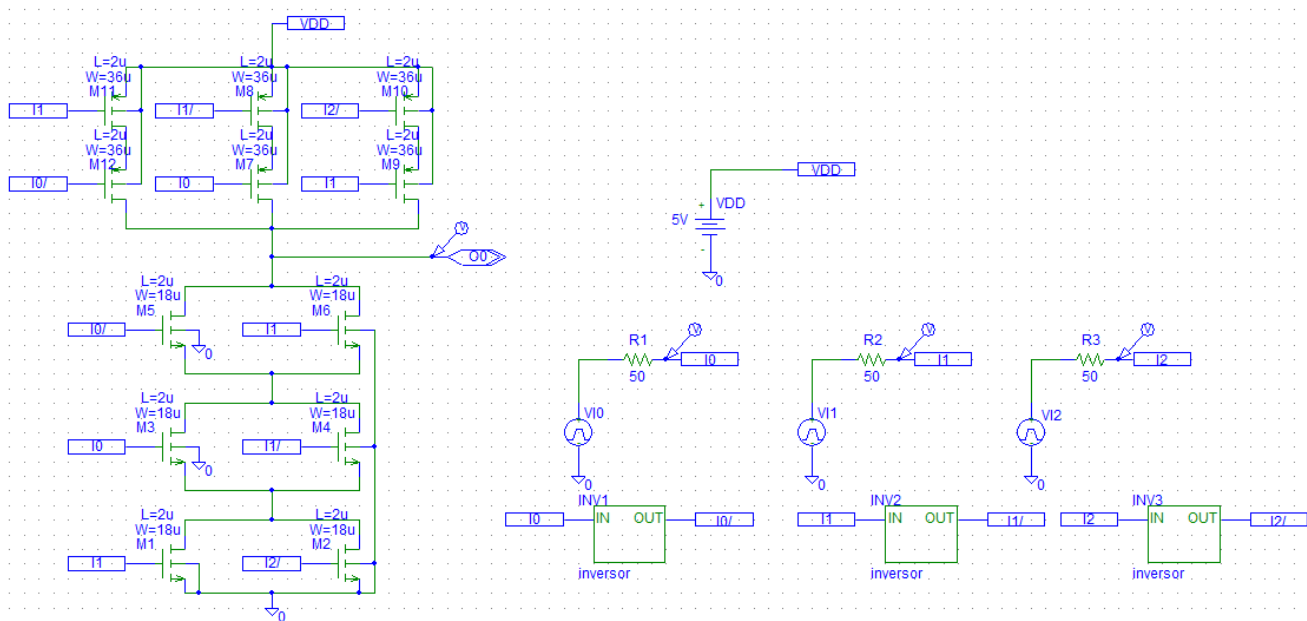


Illustration 10: Circuito O0

**Simulação do circuito O0**

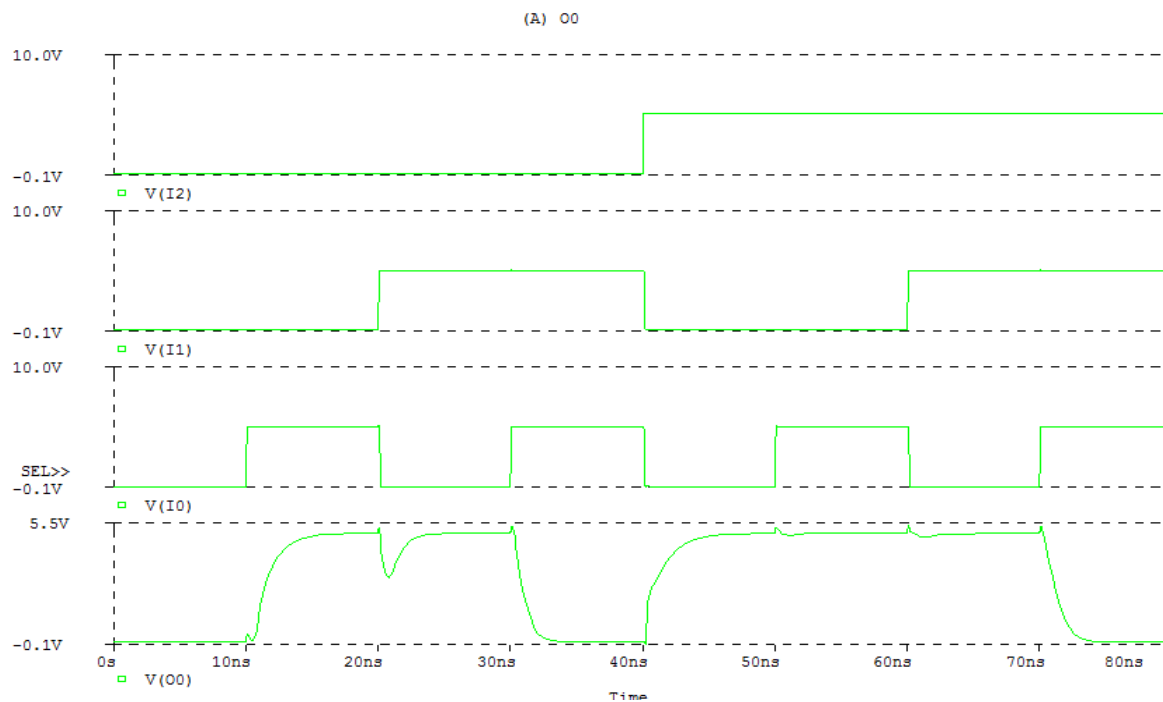


Illustration 11: Simulação do circuito O0

As Configurações usadas na fonte geradora de pulsos são as seguintes:

	V1	V2	TD	TR	TF	PW	PER
VI0	0	5	10ns	0.1ns	0.1ns	10ns	20ns
VI1	0	5	20ns	0.1ns	0.1ns	20ns	40ns
VI2	0	5	40ns	0.1ns	0.1ns	40ns	80ns

*Tabela 8 - Tabela com as configurações dos VPulses*

## Medição dos tempos de propagação (tpLH e tpHL)

O tempo de propagação de uma porta lógica indica o tempo que uma variação de valor lógico numa das suas entradas demora a fazer efeito na saída. Então para as medições verifiquei sempre qual era a entrada imediatamente antes que estava a provocar a subida na saída(ou descida). Para isso sempre que, por exemplo, estava a medir um tempo de propagação LOW-HIGH , tinha que ver qual era a descida que estava a influenciar esta subida, de tal forma que por vezes nos gráfico se encontrem as fontes inversoras.

As janelas de observação também foram ajustadas para encontrar o ponto mais próximo de VDD/2, neste caso 2,5 V. Porque esta é a tensão de comutação.

### tpLH e tpHL para a saída O4

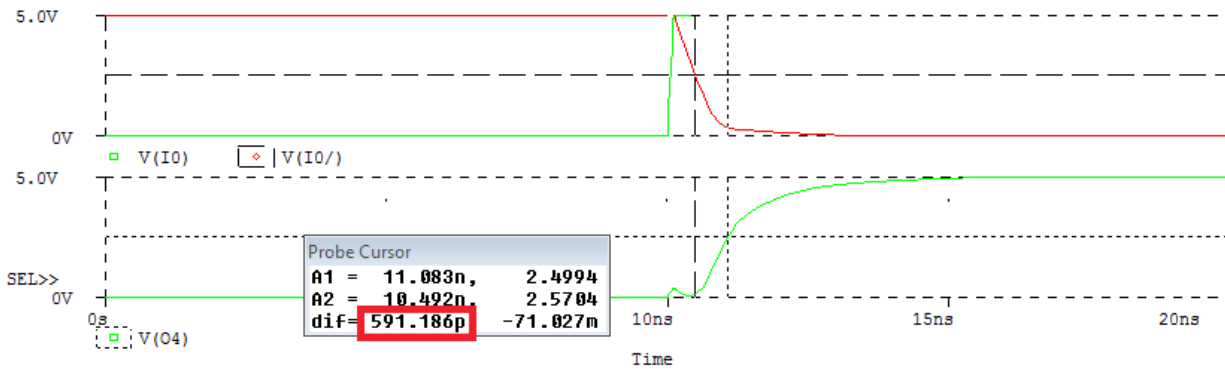


Illustration 12: tpLH para a saída O4

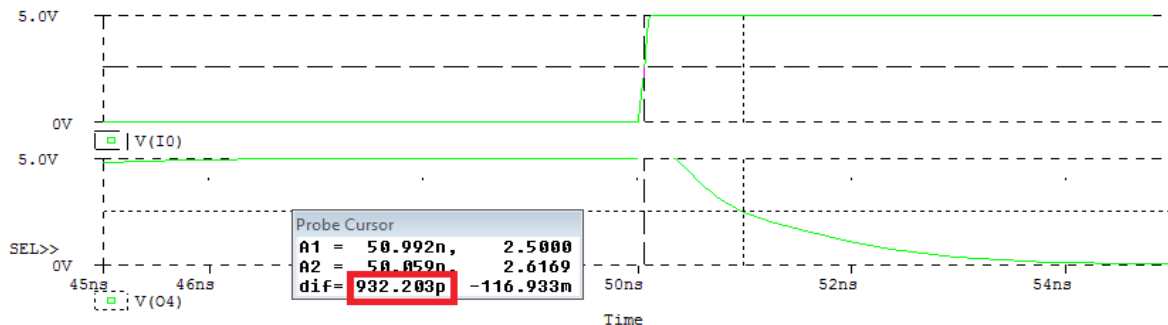


Illustration 13: tpHL para a saída O4



**tpLH e tpHL para a saída O3**

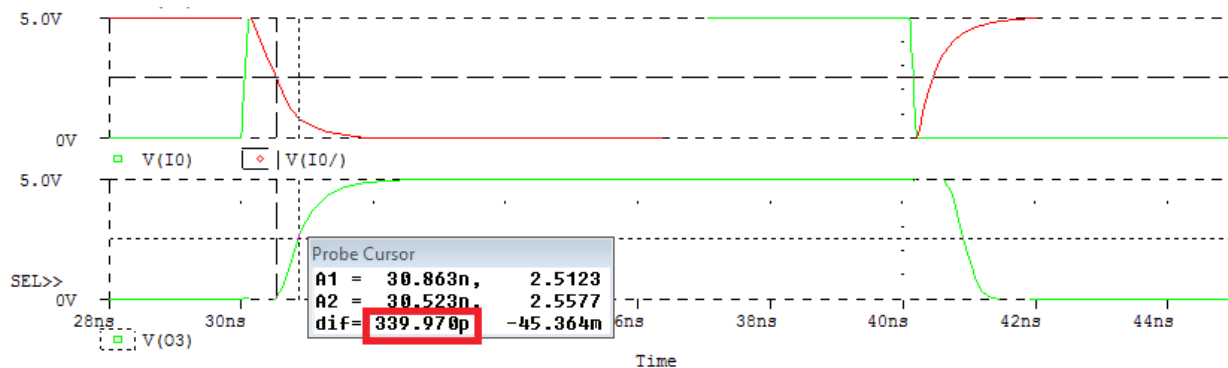


Illustration 14: tpLH para a saída O3

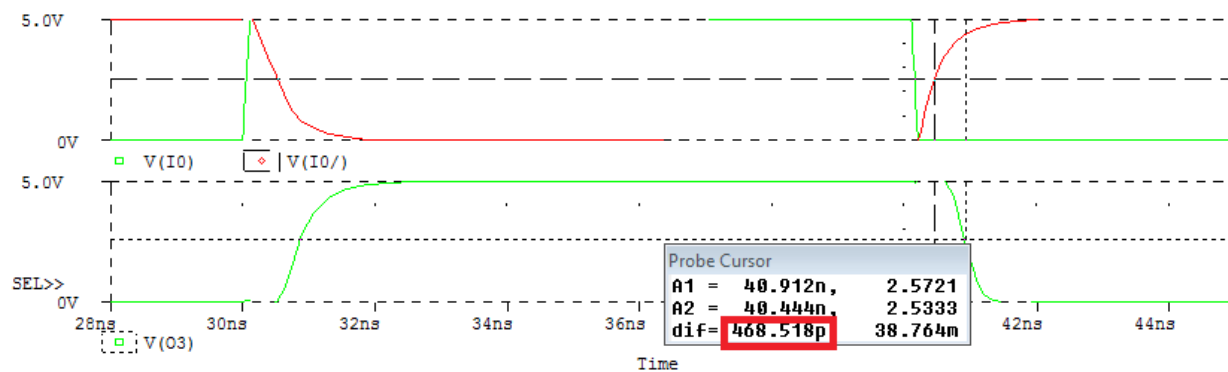


Illustration 15: tpHL para a saída O3

**tpLH e tpHL para a saída O2**

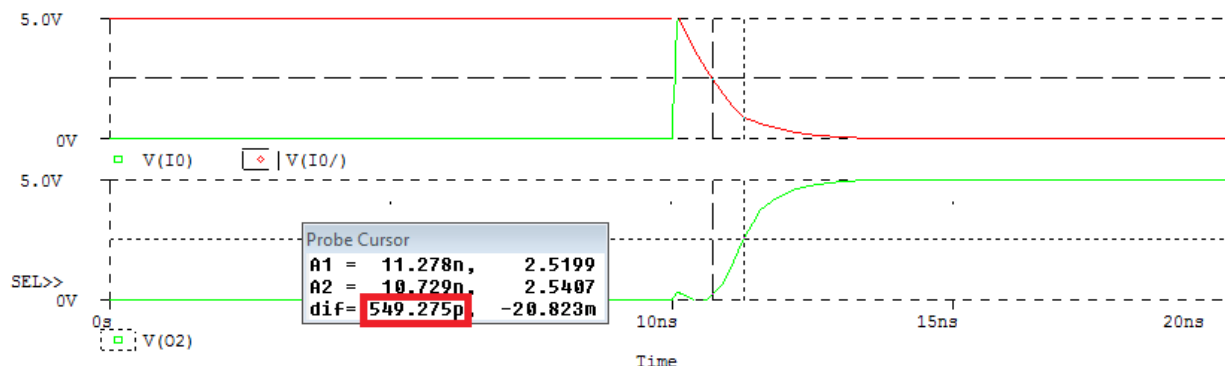


Illustration 16: tpLH para a saída O2

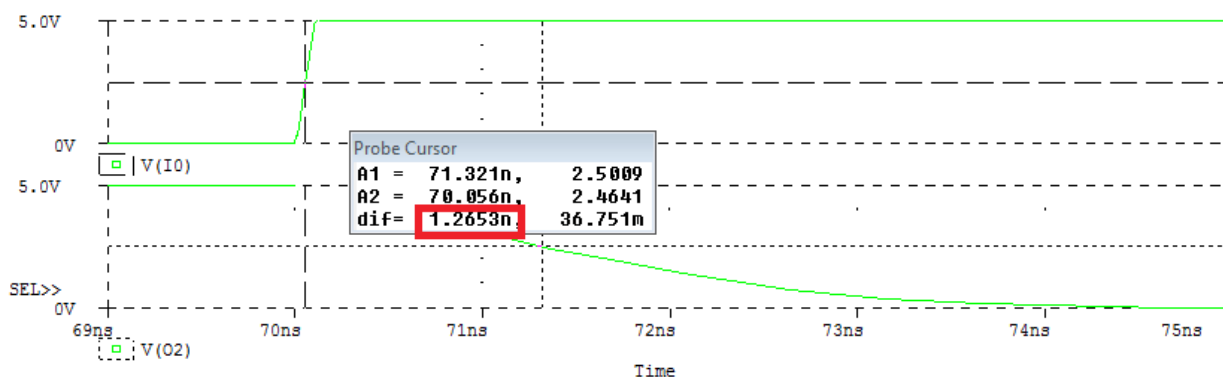


Illustration 17: tpHL para a saída O2

Nota: Este foi o tempo de propagação que mais se distancia do seu tempo de propagação de LOW para HIGH, tal poderá ser devido ao circuito não ser simples, e ter alguma assimetria.

**tpLH e tpHL para a saída O1**

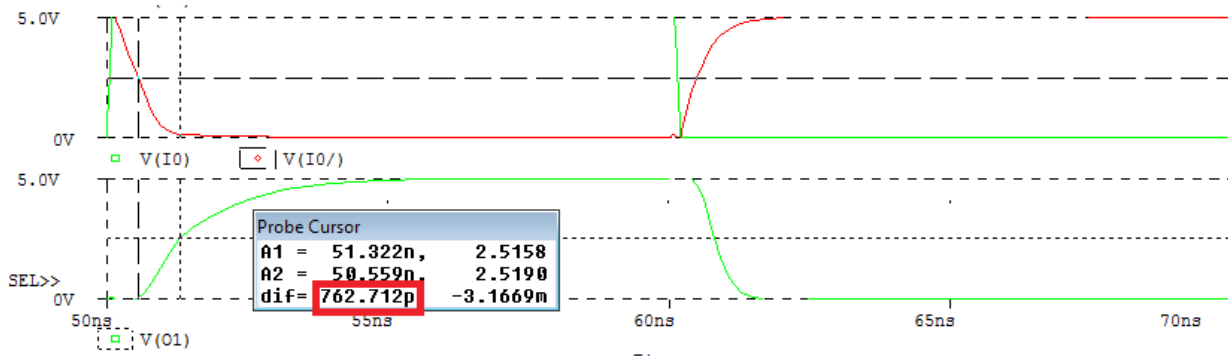


Illustration 18: tpLH para a saída O1

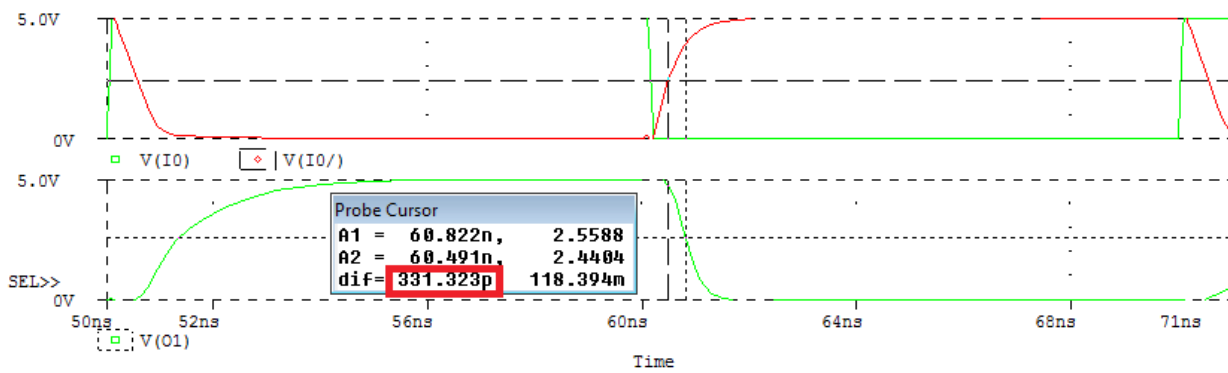
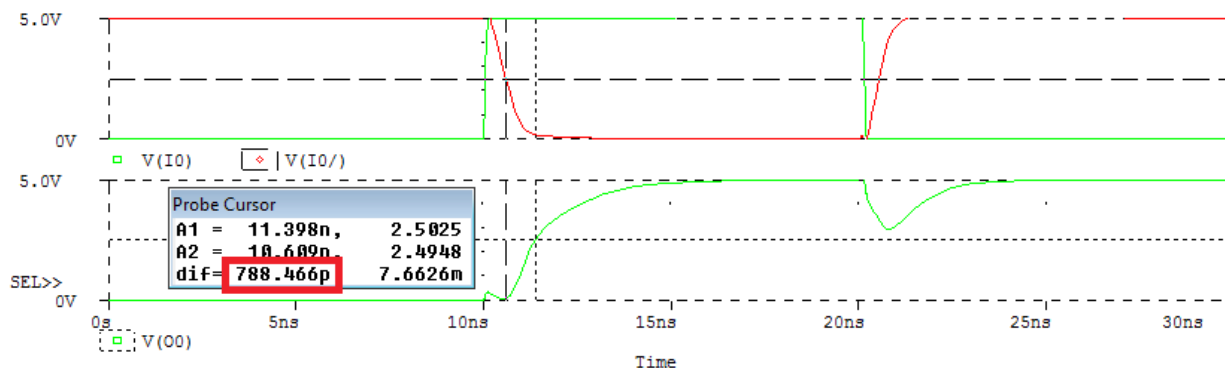
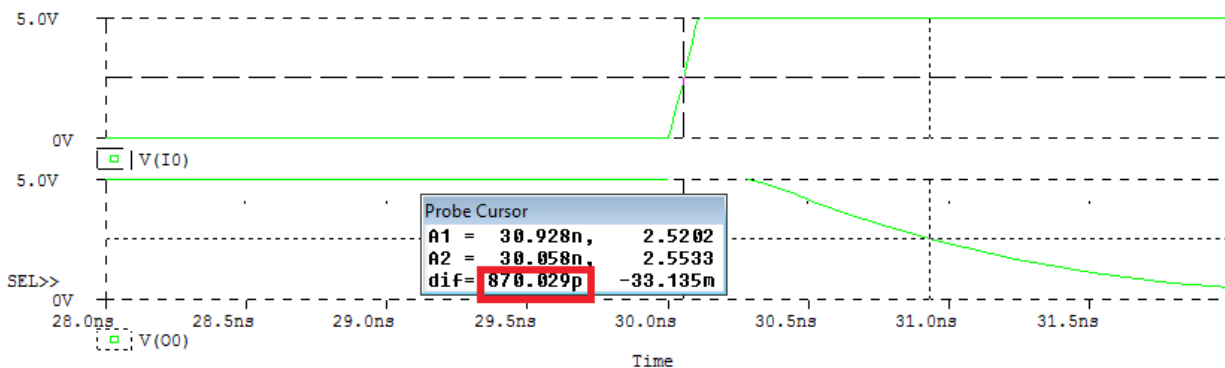


Illustration 19: tpHL para a saída O1

**tpLH e tpHL para a saída O0**



*Illustration 20: tpLH para a saída O0*



*Illustration 21: tpHL para a saída O0*

## Calculos dos tpLH e tpHL teóricos

$$\begin{aligned}
 k_p &= \mu \cdot C_{ox} = 4.5494 \times 10^{-5} \text{ (V} \cdot \Omega)^{-1} \\
 W_{\text{NMOS}_{\min}} &= 6 \times 10^{-6} \text{ m} \\
 L_{\text{NMOS}_{\min}} &= 2 \times 10^{-6} \text{ m} \\
 V_t \text{ NMOS} &= 0.8756 \text{ V} \\
 V_t \text{ PMOS} &= -0.8889 \text{ V} \\
 C_j \text{ P MOS} &= 3.2456 \times 10^{-4} \text{ F} \\
 C_j \text{ N MOS} &= 1.0375 \times 10^{-4} \text{ F} \\
 L_{\text{DE}} &= 7 \times 10^{-6} \text{ m} \\
 V_{\text{DD}} &= 5 \text{ V}
 \end{aligned}$$

Cálculo de  $R_{\text{NMOS}}$  e  $R_{\text{PMOS}}$  que depois será sempre igual

$$\begin{aligned}
 R_{\text{NMOS}} &= \frac{1}{[4.5495 \times 10^{-5} * (\frac{W}{L}) * (V_{\text{DD}} - V_t)]} = \frac{1}{[4.5494 \times 10^{-5} * (\frac{6 \times 10^{-6}}{2 \times 10^{-6}}) * (5 - 0.8756)]} \\
 &= 1.7765 \times 10^3 \Omega \\
 R_{\text{PMOS}} &= \frac{1}{[4.5495 \times 10^{-5} * (\frac{W}{L}) * (V_{\text{DD}} - V_t)]} = \frac{1}{[4.5494 \times 10^{-5} * (\frac{6 \times 10^{-6}}{2 \times 10^{-6}}) * (5 - 0.8889)]} \\
 &= 1.7827 \times 10^3 \Omega
 \end{aligned}$$

\* $V_t$  considerado em módulo.

Agora que já se descobriu o valor das resistências já se pode avançar para o cálculo dos tempos de propagação em *worst case*

$$\begin{aligned}
 t_{pLH} &= 0.7 \times R_{\text{PMOS}} \times C_{\text{LOAD}} \\
 t_{pLH} &= 0.7 \times R_{\text{PMOS}} \times [C_{j\text{PMOS}} \times L_{\text{DE}} \times \sum W_{\text{PMOS}} + C_{j\text{NMOS}} \times L_{\text{DE}} \times \sum W_{\text{NMOS}}]
 \end{aligned}$$

$$\begin{aligned}
 t_{pHL} &= 0.7 \times R_{\text{NMOS}} \times C_{\text{LOAD}} \\
 t_{pHL} &= 0.7 \times R_{\text{NMOS}} \times [C_{j\text{PMOS}} \times L_{\text{DE}} \times \sum W_{\text{PMOS}} + C_{j\text{NMOS}} \times L_{\text{DE}} \times \sum W_{\text{NMOS}}]
 \end{aligned}$$

### 04 - tpLH e tpHL

$$\begin{aligned}
 t_{pLH} &= 0.7 \times R_{\text{PMOS}} \times [3.2456 \times 10^{-4} \cdot 7 \times 10^{-6} \cdot (\sum W_{\text{PMOS}}) + 1.0375 \times 10^{-4} \cdot 7 \times 10^{-6} \cdot (\sum W_{\text{NMOS}})] \\
 t_{pLH} &= 0.7 \times R_{\text{PMOS}} \times [2.27192 \times 10^{-9} \cdot \sum W_{\text{PMOS}} + 7.2625 \times 10^{-10} \cdot \sum W_{\text{NMOS}}] \\
 t_{pLH} &= 0.7 \times 1.7827 \times 10^3 \times [2.27192 \times 10^{-9} \cdot \sum W_{\text{PMOS}} + 7.2625 \times 10^{-10} \cdot \sum W_{\text{NMOS}}] \\
 t_{pLH} &= 0.7 \times 1.7827 \times 10^3 \times [2.27192 \times 10^{-9} \cdot (108w) + 7.2625 \times 10^{-10} \cdot (36w)] \\
 t_{pLH} &= 0.7 \times 1.7827 \times 10^3 \times [2.27192 \times 10^{-9} \cdot (108 \times 10^{-6}) + 7.2625 \times 10^{-10} \cdot (36 \times 10^{-6})]
 \end{aligned}$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [245.36736 \times 10^{-15} + 26.145 \times 10^{-15}]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [271.51236 \times 10^{-15}]$$

$$tpLH = 338.82 \times 10^{-12}$$

$$tpHL = 0.7 \times RN_{MOS} \times [3.2456 \times 10^{-4} \cdot 7 \times 10^{-6} \cdot (\sum W_{PMOS}) + 1.0375 \times 10^{-4} \cdot 7 \times 10^{-6} \cdot (\sum W_{NMOS})]$$

$$tpHL = 0.7 \times RN_{MOS} \times [2.27192 \times 10^{-9} \cdot \sum W_{PMOS} + 7.2625 \times 10^{-10} \cdot \sum W_{NMOS}]$$

$$tpHL = 0.7 \times 1.7765 \times 10^3 \times [271.51236 \times 10^{-15}]$$

$$tpHL = 337.64 \times 10^{-12}$$

Como o  $C_{LOAD}$  só se calcula uma vez, quando se faz o  $tpHL$  basta apenas alterar a resistencia  $R_{PMOS}$  para  $R_{NMOS}$ . O que torna as contas mais rápidas.

### O3 - $tpLH$ e $tpHL$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [2.27192 \times 10^{-9} \cdot (36w) + 7.2625 \times 10^{-10} \cdot (12w)]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [2.27192 \times 10^{-9} \cdot (36 \times 10^{-6}) + 7.2625 \times 10^{-10} \cdot (12 \times 10^{-6})]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [81.78912 \times 10^{-15} + 8.715 \times 10^{-15}]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [90.50412 \times 10^{-15}]$$

$$tpLH = 112.94 \times 10^{-12}$$

$$tpHL = 0.7 \times 1.7765 \times 10^3 \times [90.50412 \times 10^{-15}]$$

$$tpHL = 112.55 \times 10^{-12}$$

### O2 - $tpLH$ e $tpHL$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [2.27192 \times 10^{-9} \cdot (126w) + 7.2625 \times 10^{-10} \cdot (36w)]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [2.27192 \times 10^{-9} \cdot (126 \times 10^{-6}) + 7.2625 \times 10^{-10} \cdot (36 \times 10^{-6})]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [286.26192 \times 10^{-15} + 26.145 \times 10^{-15}]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [312.40692 \times 10^{-15}]$$

$$tpLH = 389.85 \times 10^{-12}$$

$$tpHL = 0.7 \times 1.7765 \times 10^3 \times [312.40692 \times 10^{-15}]$$

$$tpHL = 388.49 \times 10^{-12}$$

**O1 - tpLH e tpHL**

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [2.27192 \times 10^{-9} \cdot (72w) + 7.2625 \times 10^{-10} \cdot (24w)]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [2.27192 \times 10^{-9} \cdot (72 \times 10^{-6}) + 7.2625 \times 10^{-10} \cdot (24 \times 10^{-6})]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [163.57824 \times 10^{-15} + 17.43 \times 10^{-15}]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [181.00824 \times 10^{-15}]$$

$$tpLH = 225.88 \times 10^{-12}$$

$$tpHL = 0.7 \times 1.7765 \times 10^3 \times [181.00824 \times 10^{-15}]$$

$$tpHL = 225.01 \times 10^{-12}$$

**O0 - tpLH e tpHL**

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [2.27192 \times 10^{-9} \cdot (108w) + 7.2625 \times 10^{-10} \cdot (36w)]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [2.27192 \times 10^{-9} \cdot (108 \times 10^{-6}) + 7.2625 \times 10^{-10} \cdot (36 \times 10^{-6})]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [245.36736 \times 10^{-15} + 26.145 \times 10^{-15}]$$

$$tpLH = 0.7 \times 1.7827 \times 10^3 \times [271.51236 \times 10^{-15}]$$

$$tpLH = 338.82 \times 10^{-12}$$

$$tpHL = 0.7 \times 1.7765 \times 10^3 \times [271.51236 \times 10^{-15}]$$

$$tpHL = 337.64 \times 10^{-12}$$

Os valores dos  $w$  que foram tidos em conta foram aqueles que estavam em contacto directo com a saída, os outros desprezaram-se. Para o cálculo dos tempo apenas se tinha que somar todos os  $w$  que influenciavam.

## Tabela geral de comparação dos tempos de propagação:

	Teóricos		Medidos	
	tpLH	tpHL	tpLH	tpHL
O4	338.82p	337.64p	590.19p	932.20p
O3	112.94p	112.55p	339.97p	468.52p
O2	389.85p	388.49p	549.28p	1.27n
O1	225.88p	225.01p	762.71p	331.32p
O0	338.82p	337.64p	788.47p	870.01p

Tabela 9 - Tabela resumo dos tempos de propagação teóricos e medidos.

Nota: Valores arredondados a duas casas decimais.

Nota 2: Valores em picómetros ( $10^{-12} = p$ )



## Layout das saídas em LASI

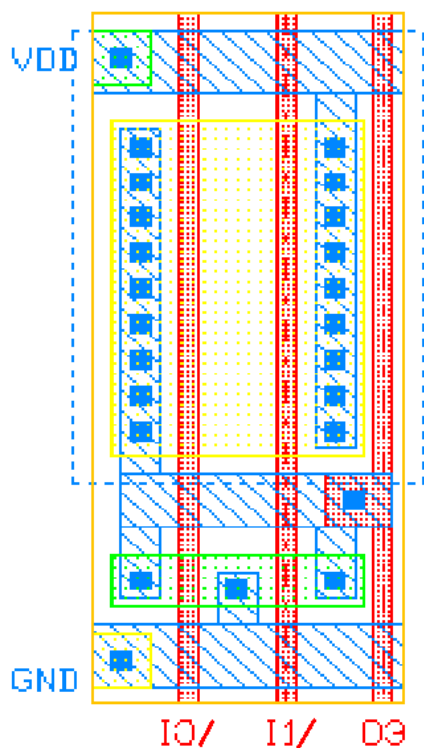


Illustration 22: Layout em LASI da saída O3

Saída O3 com a *active layer* do PMOS a 36u e a *active layer* do NMOS a 6u, tal como no circuito Spice.

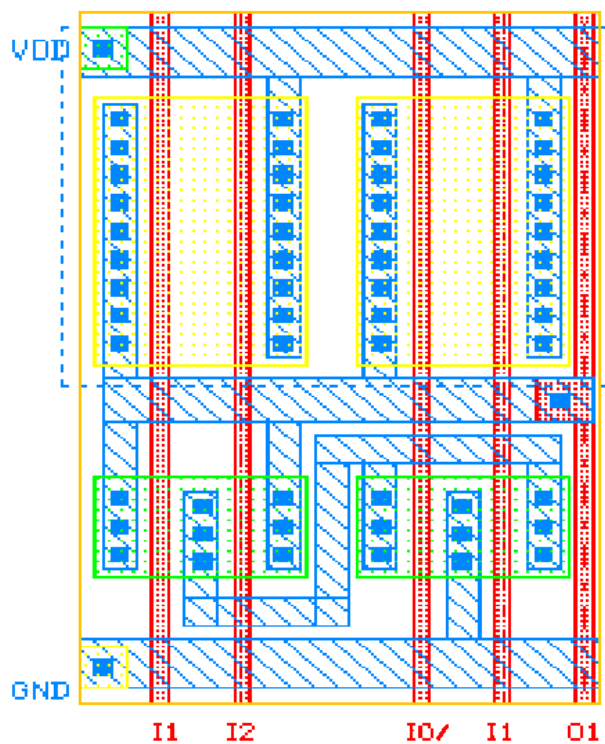


Illustration 23: Layout em LASI da saída O1

Saída O1 com a *active layer* do PMOS a 36u e a *active layer* do NMOS a 12u, tal como no circuito Spice.

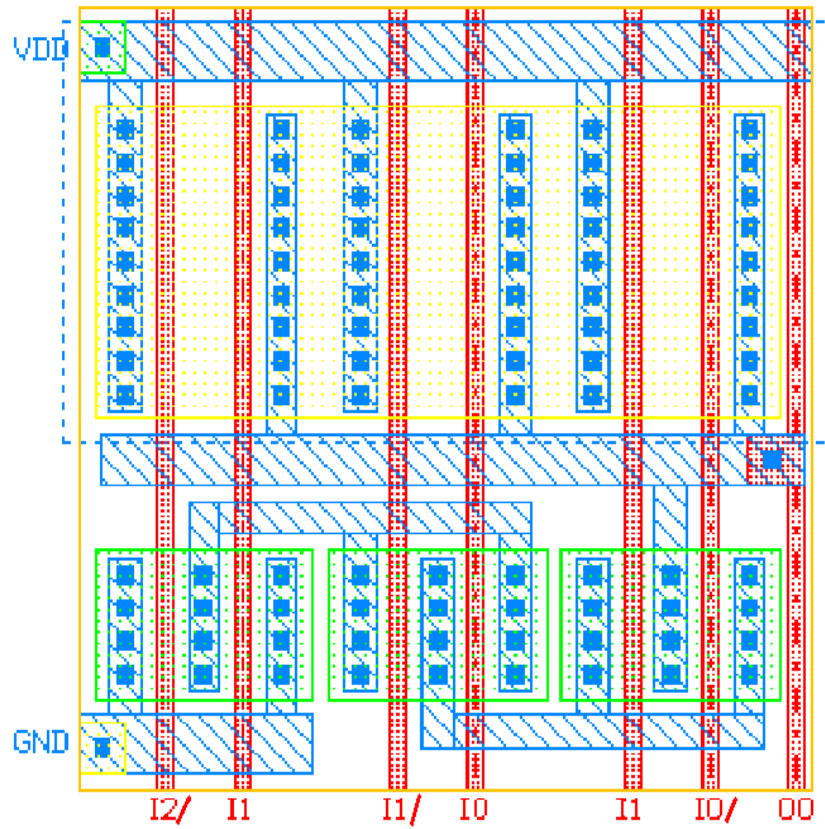


Illustration 24: Layout em LASI da saída O0

Saída O0 com a active layer do PMOS a 36u e a active layer do NMOS a 18u, tal como no circuito Spice.

## Conclusão

Podemos concluir que, como se esperava, os valores teóricos dispersam-se um pouco dos valores do SPICE, mas não muito, pois continuam a andar na mesma ordem de grandeza (o picómetro). E em como qualquer experiência os valores variam sempre.

Em relação ao cálculo teóricos dos tempos de propagação, tenho a dizer que os achei muito baixos, mesmo sendo em *worst case*. O mais lento não passa os 400p o que é bastante bom.

Em relação aos valores medidos podemos tecer mais alguns comentários. Em primeiro podemos dizer que os valores foram diferente mais não muito, e acertaram todos na mesma ordem de grandeza, o que mostra que está tudo a bater certo. Depois em relação ao seu dimensionamento também podemos dizer que está na medida certa de acordo com a sua posição (obedecendo as regras de dimensionamento de transistores NMOS e PMOS). Podemos apontar onde houve as falhas se nos inclinarmos para os inversores, pois ao os usarmos, é como se tivéssemos a adicionar o seu tempo de propagação (que também o tem). Mas também não havia necessidade de usar fontes geradoras de pulsos invertidas, pois os meus gráficos não possuíam “glitches” que passavam os 2,5 v para serem considerados 1 (binário). Mas com isto já percebemos que não podemos desprezar o inversor, como fizemos, porque de certa forma ele tem a sua influência nos valores medidos dos  $t_{pLH}$  e  $t_{pHL}$ .

Se quisemos esmiuçar mais o porquê dos resultados não serem mais certos ainda podíamos analisar se as entradas negadas estavam perto da saída, porque isso também pode ter alguma influência, porque afinal de contas estamos a lidar com valores muito pequenos e todos os detalhes contam.

Um resultado prático que também está um pouco fora de contexto foi a medição de O2 (o  $t_{pHL}$ ) que está algo desfasado do  $t_{pLH}$ , isso pode ser devido ao que já foi falado anteriormente, mas também pode ser devido à complexidade do circuito ou mesmo da sua assimetria, pois nesta tecnologia a simetria é a base da velocidade (tal como as dimensões dos transistores).

## Bibliografia

### Livros/Sebentas

- Apontamentos do Prof. José Bastos , [http://intranet.deei.fct.ualg.pt/Electronica\\_III/](http://intranet.deei.fct.ualg.pt/Electronica_III/);
- Apontamentos das aulas, da minha autoria.

### Web Links

- *CMOS Design Rules*, S. Tewksbury, <http://stewks.ece.stevens-tech.edu/CpE690-Notes/Notes-LASI-Design/LASI-SKT/DesignRules/designrulesTewks.doc>