

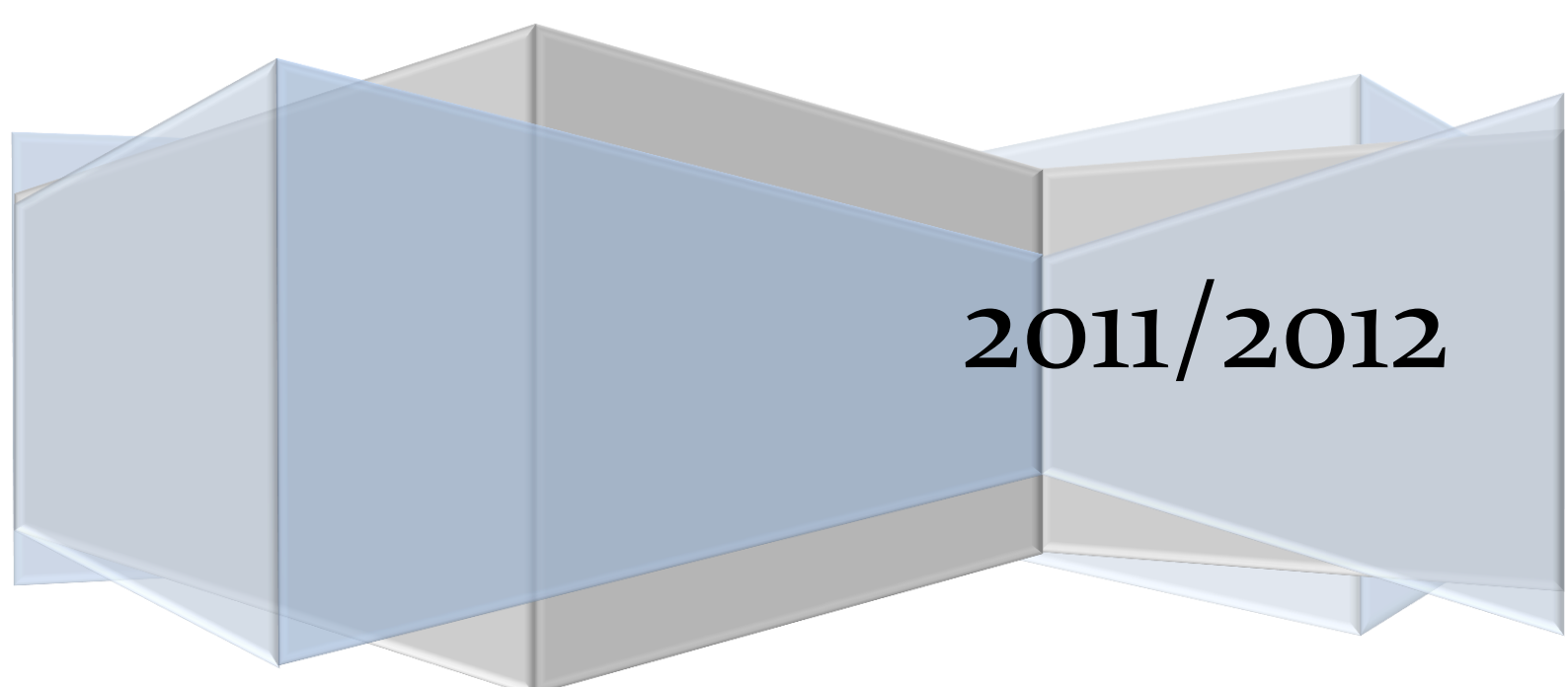
Docente: Professor Doutor José Bastos

Universidade do Algarve - FCT

Electrónica III

2º Projecto

João Martins Rei Nº40652



2011/2012

Síntese	3
Breve Resumo do Relatório	3
Desenvolvimento Teórico	4
Sequência do Circuito.....	4
Mapas de Karnaugh	6
Expressões Lógicas.....	7
Portas Lógicas.....	8
Configuração das portas	12
Valores Teóricos	15
projecção do Buffer de saída dos Flip-Flops	16
projecção do Buffer para o Oscilador (Clock)	17
projecção do Buffer para o Oscilador (Clock Negado)	17
Cálculo dos tempos de propagação do pipeline	18
<i>Cálculo dos tempos de propagação do 2º andar do pipeline</i>	20
Cálculo do número de inversores necessários para o inversor	21
Cálculo da Frequência do Oscilador.....	22
Tempos de propagação do 1º Andar do Pipeline	23
Tempos de propagação do 2º Andar	28
Resposta Transiente do Circuito Final	34
Medição da Frequência do Oscilador.....	36
Layouts dos Componentes e Boundpad	37
Componentes	37
Circuitos antes do Boundpad.....	42
Circuito montado no Boundpad	46
Conclusão	48

Síntese

Breve Resumo do Relatório

Neste relatório vai ser explicado como se procedeu na projecção, desenho e simulação de um circuito lógico sequencial na tecnologia C2MOS, para tal foram utilizados o PSPICE para o desenho e simulação do circuito e o LASI para o desenho do *layout* do circuito integrado. Para a projecção do circuito foram utilizadas várias técnicas como as tabelas de verdade, os mapas de *Karnaugh* e a álgebra booleana.

Inicialmente foram desenhadas as tabelas de verdade com base nos dados previamente fornecidos pelo professor utilizando Flip-Flops do tipo D e através destas retirados os mapas de Karnaugh. Estes vão permitir retirar as expressões lógicas que nos permitem através da álgebra de boole desenhar os circuitos.

Depois de serem desenhados os circuitos foram feitos os cálculos dos tempos de propagação teóricos e frequências de funcionamento. Posteriormente foram feitas as simulações para calcular os tempos de propagação práticos e suas frequências de funcionamento.

Para finalizar foram desenhados os *layouts* dos circuitos integrados.

Na conclusão vão ser apresentadas as comparações entre os valores teóricos e práticos e respectiva análise.

Desenvolvimento Teórico

Sequência do Circuito

A sequência foi previamente fornecida pelo professor e o circuito deve obrigatoriamente obedecer a essa sequência sem passar por estados intermédios, a sequência fornecida foi a seguinte:

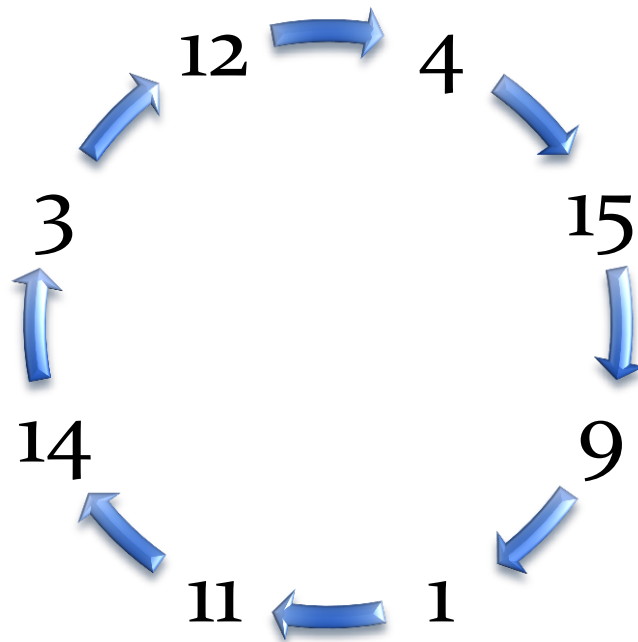


Imagem 1 – Sequência do Circuito

Tabela de Verdade

Como podemos observar pela tabela de verdade (Imagem 2) o Flip-Flop do tipo D vai “dizer” qual vai ser o estado seguinte, ou seja, para o Flip-Flop do tipo D não importa qual é o estado inicial, apenas interessa o estado seguinte.

Estado Inicial	Estado Seguinte	Entrada Flip-Flop D
0000	****	****
0001	1011	1011
0010	****	****
0011	1100	1100
0100	1111	1111
0101	****	****
0110	****	****
0111	****	****
1000	****	****
1001	0001	0001
1010	****	****
1011	1110	1110
1100	0100	0100
1101	****	****
1110	0011	0011
1111	1001	1001

Imagem 2 – Tabela de Verdade

Mapas de Karnaugh

A partir da tabela de verdades foram retirados os valores lógicos para os mapas de Karnaugh, cada mapa corresponde a um Flip-Flop Tipo D (Imagens 2 a 5)

	00	01	11	10
00	*	1	1	*
01	1	*	*	*
11	0	*	1	0
10	*	0	1	*

Imagem 2 - Mapa de Karnaugh do Flip-Flop D₃

$$D_3 = Q_3 + (Q_1Q_0)$$

	00	01	11	10
00	*	0	1	*
01	1	*	*	*
11	1	*	0	0
10	*	0	1	*

Imagem 3 - Mapa de Karnaugh do Flip-Flop D₂

$$D_2 = \overline{Q_1} \cdot \overline{Q_0} + \overline{Q_2} \cdot Q_1$$

	00	01	11	10
00	*	1	0	*
01	1	*	*	*
11	0	*	0	1
10	*	0	1	*

Imagem 4 - Mapa de Karnaugh do Flip-Flop D₁

$$D_1 = \overline{Q_3} \cdot \overline{Q_1} + Q_1 \cdot \overline{Q_0} + Q_3 \cdot \overline{Q_2} \cdot Q_1$$

	00	01	11	10
00	*	1	0	*
01	1	*	*	*
11	0	*	1	1
10	*	1	0	*

Imagem 5 - Mapa de Karnaugh do Flip-Flop Do

$$D_0 = \overline{Q_3} \cdot \overline{Q_1} + \overline{Q_1} \cdot Q_0 + Q_1 \cdot Q_2$$

Expressões Lógicas

A partir dos mapas de Karnaugh podemos deduzir as expressões lógicas através da álgebra de Boole, como se pretende utilizar unicamente portas negadas temos que negar duas vezes e simplificar conforme fique mais fácil para se desenhar os circuitos, sabemos também previamente que vamos que intercalar portas PDN (Pull Down Network) com portas PUN (Pull Up Network). Antes de simplificarmos vamos definir que se vai sempre utilizar primeiro portas PDN e somente depois as PUN (não é obrigatório proceder desta forma mas vai ser feito assim por ser mais simples na maioria dos casos).

As expressões simplificadas para cada porta e sua dedução estão abaixo:

$$D_3 = Q_3 + (Q_1 Q_0) = \overline{\overline{Q_3} + \overline{(Q_1 Q_0)}} = \overline{\overline{Q_3} \cdot \overline{(Q_1 Q_0)}}$$

$$D_2 = \overline{Q_1} \cdot \overline{Q_0} + \overline{Q_2} \cdot Q_1 = \overline{\overline{\overline{Q_1} \cdot \overline{Q_0}} + \overline{\overline{Q_2} \cdot Q_1}} = \overline{\overline{\overline{Q_1} \cdot \overline{Q_0}} \cdot \overline{\overline{Q_2} \cdot Q_1}}$$

$$\begin{aligned} D_1 &= \overline{Q_3} \cdot \overline{Q_1} + Q_1 \cdot \overline{Q_0} + Q_3 \cdot \overline{Q_2} \cdot Q_1 = \overline{\overline{\overline{Q_3} \cdot \overline{Q_1}} + \overline{\overline{Q_1 \cdot \overline{Q_0}}}} + \overline{\overline{\overline{Q_3 \cdot \overline{Q_2} \cdot Q_1}}} \\ &= \overline{\overline{\overline{Q_3} \cdot \overline{Q_1}} \cdot \overline{\overline{Q_1 \cdot \overline{Q_0}}}} \cdot \overline{\overline{\overline{Q_3 \cdot \overline{Q_2} \cdot Q_1}}} \end{aligned}$$

$$D_0 = \overline{Q_3} \cdot \overline{Q_1} + \overline{Q_1} \cdot Q_0 + Q_1 \cdot Q_2 = \overline{\overline{\overline{Q_3} \cdot \overline{Q_1}} + \overline{\overline{\overline{Q_1} \cdot Q_0}} + \overline{\overline{\overline{Q_1} \cdot Q_2}}} = \overline{\overline{\overline{Q_3} \cdot \overline{Q_1}} \cdot \overline{\overline{\overline{Q_1} \cdot Q_0}} \cdot \overline{\overline{\overline{Q_1} \cdot Q_2}}}$$

Desenvolvimento Prático

Portas Lógicas

Através das expressões lógicas podemos ver que apenas vamos precisar de utilizar portas NAND, sendo algumas destas com 2 entradas e na forma PDN e/ou PUN, vamos ainda precisar de portas NAND com 3 entradas na forma PUN (Imagens 6 a 8).

Além destas portas lógicas ainda vamos precisar de portas inversoras (Imagem 9), um oscilador em anel com 11 andares para gerar o *clock* e o *clock* negado (Imagem 10), Flip-Flops do tipo D (Imagem 11) e *buffers* para estabilizar o sinal quanto aos tempos de propagação (Imagem 12).

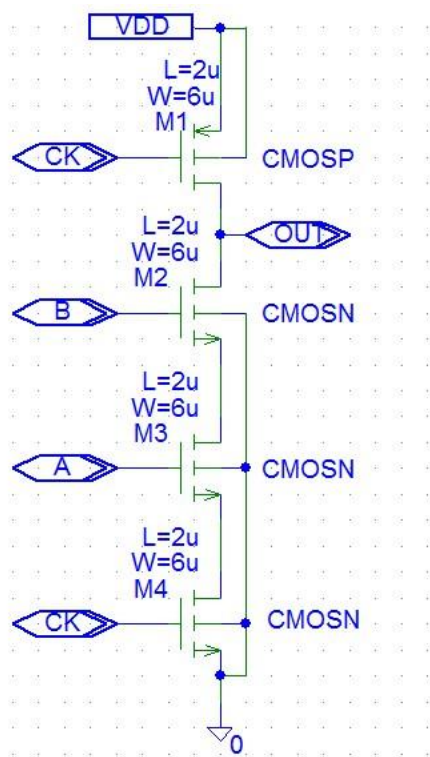


Imagem 6 - NAND2 Pull Down Network

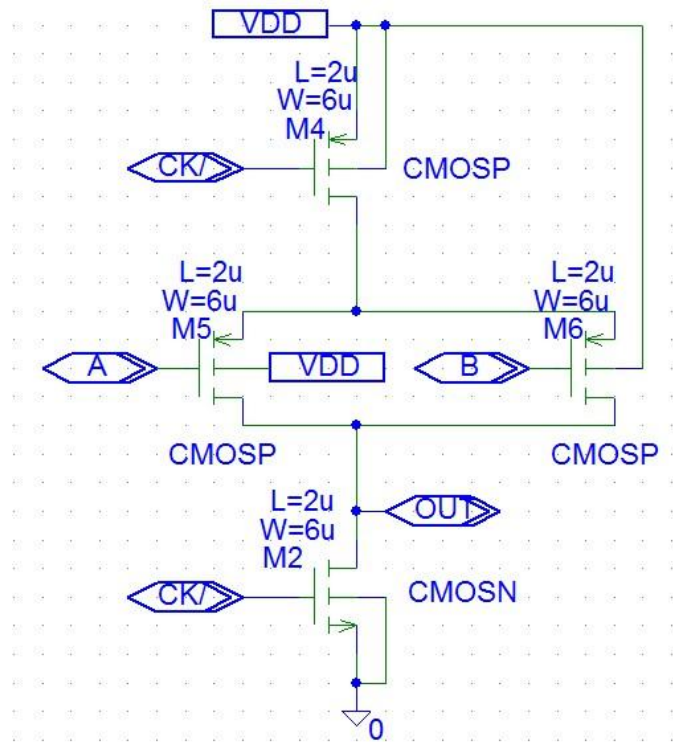


Imagem 7 - NAND₂ Pull Up Network

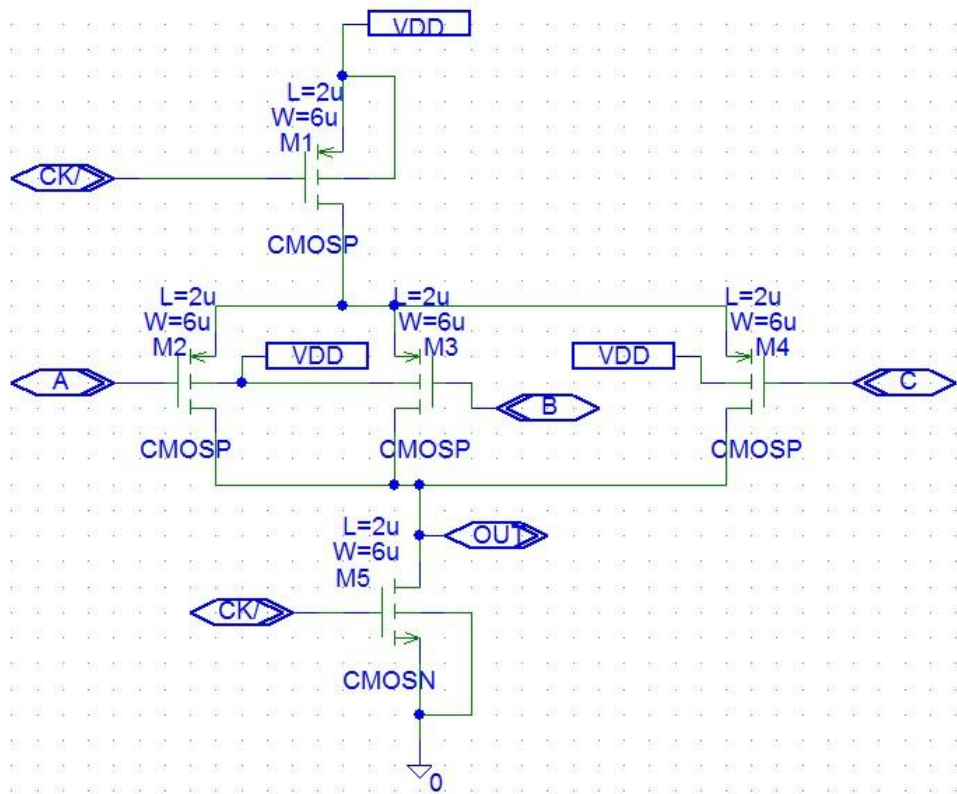


Imagem 8 - NAND₃ Pull Up Network

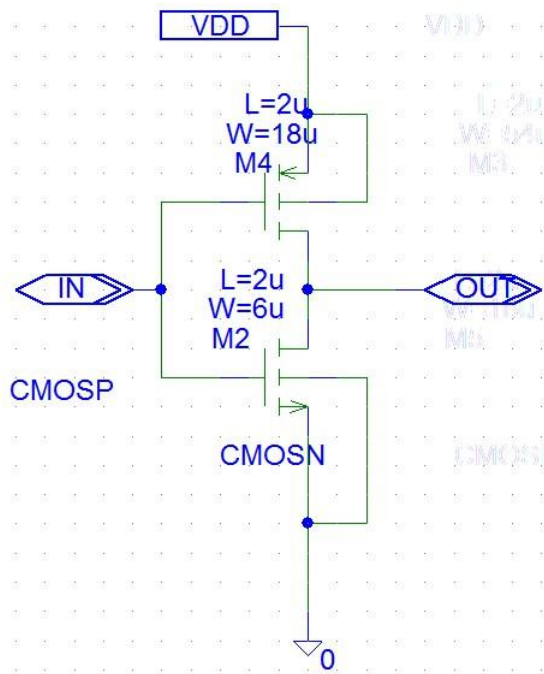


Imagem 9 - Inversor

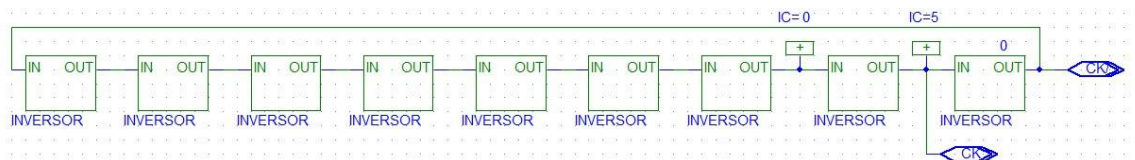


Imagem 10 - Oscilador em anel com 9 andares

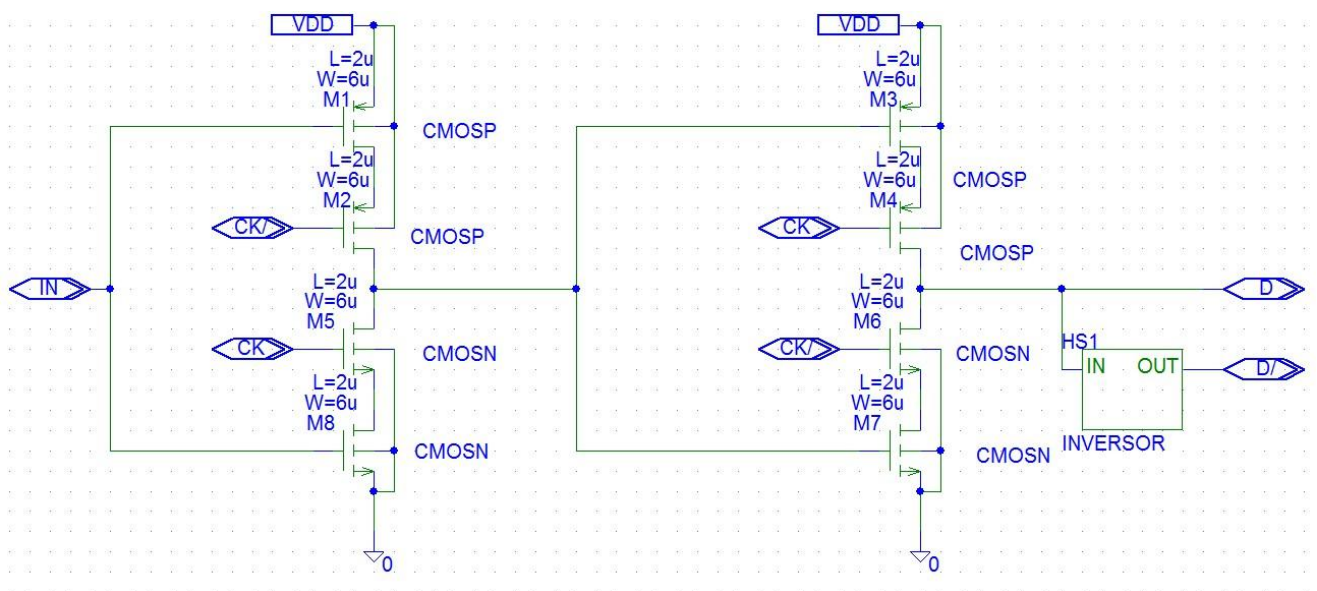


Imagem 11 - Flip-Flop Tipo D

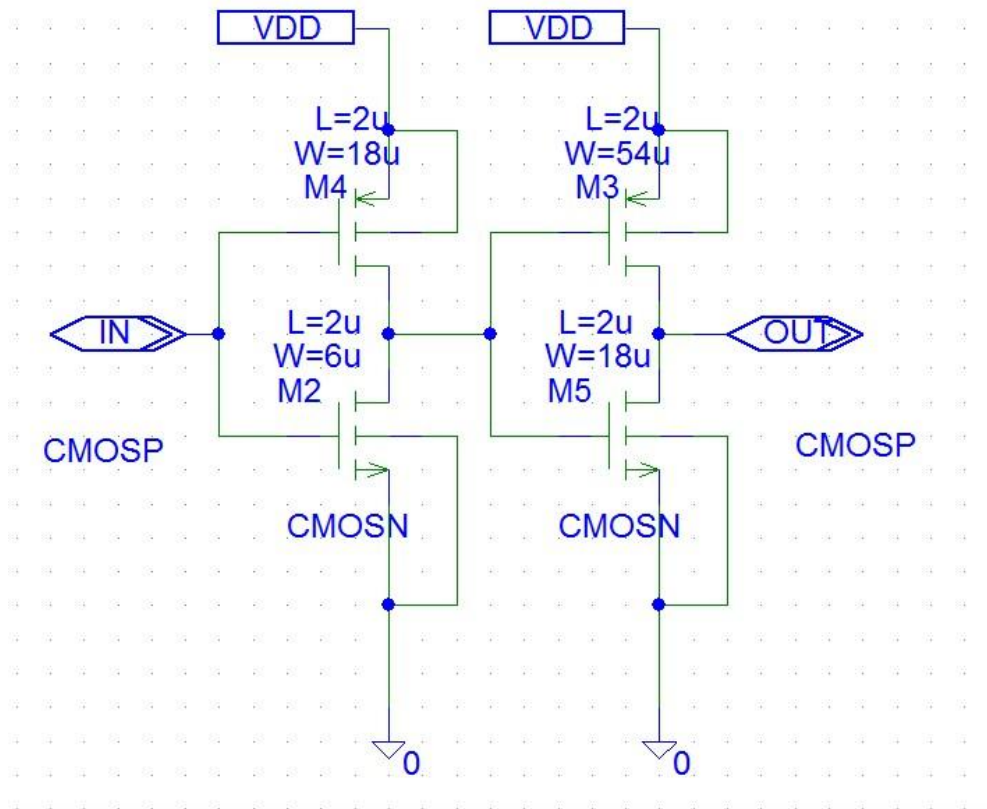


Imagem 11 – Buffer de 2 andares

Apenas o Inversor foi dimensionado por ser o único componente utilizado na tecnologia CMOS (Por ser mais eficiente que um inversor em C₂MOS), porque na tecnologia C₂MOS quem define a frequência do circuito é o relógio e não as portas, logo é mais importante poupar espaço no *layout* do que dimensioná-los para que sejam igualmente rápidos.

O oscilador tem que ser feito com número ímpar de andares para que os sinais clock e clock negado oscilem, caso contrário o sinal clock ia ficar fixo nos 5V e o clock negado nos 0V ou vice-versa. O número de osciladores escolhido foram 9, a razão deste valor está explicada na subsecção própria (Secção: Cálculos Teóricos).

Configuração das portas

As portas foram configuradas de acordo com as expressões lógicas para cada um dos Flip-Flops do tipo D (Imagens 12 a 15)

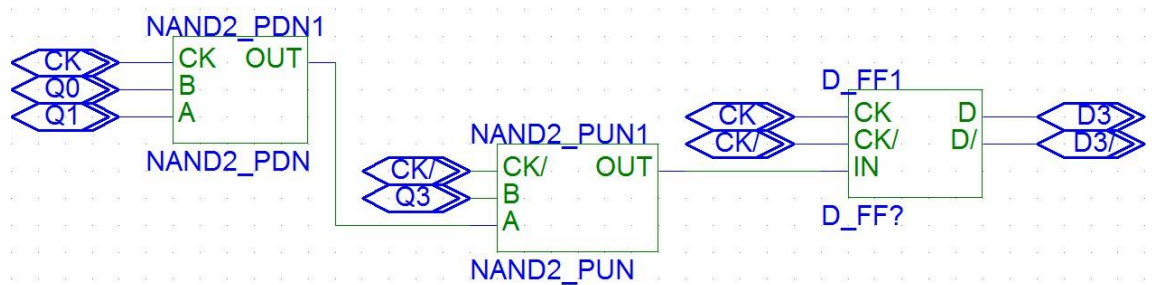


Imagem 12 - Circuito do Flip-Flop D3 (Mais Significativo)

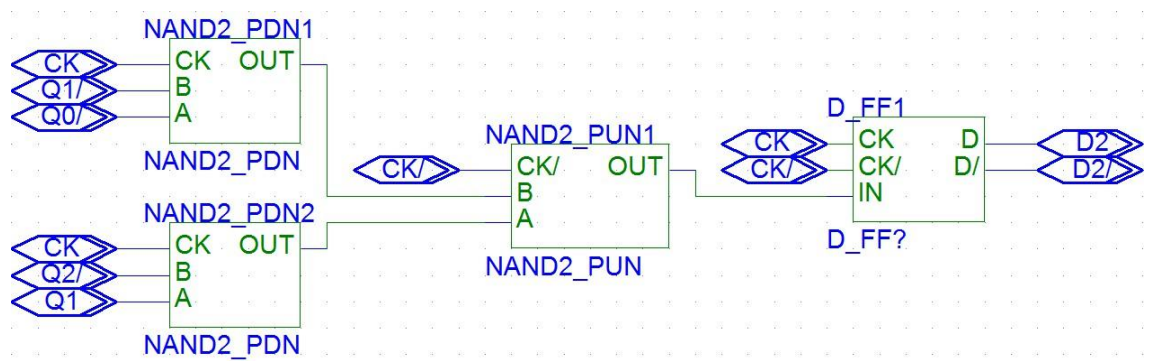


Imagem 13 - Circuito do Flip-Flop D2

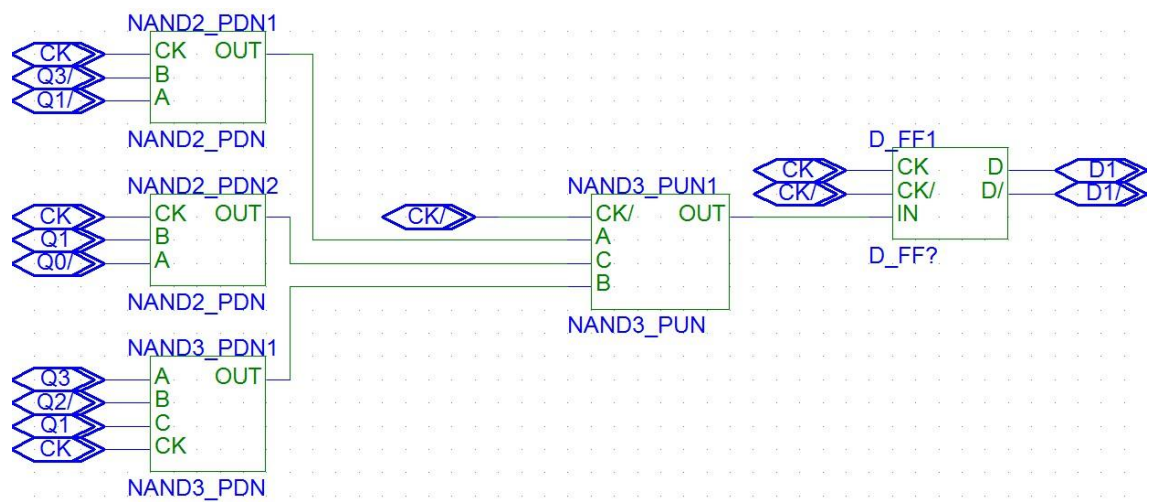


Imagem 14 – Circuito do Flip-Flop D1

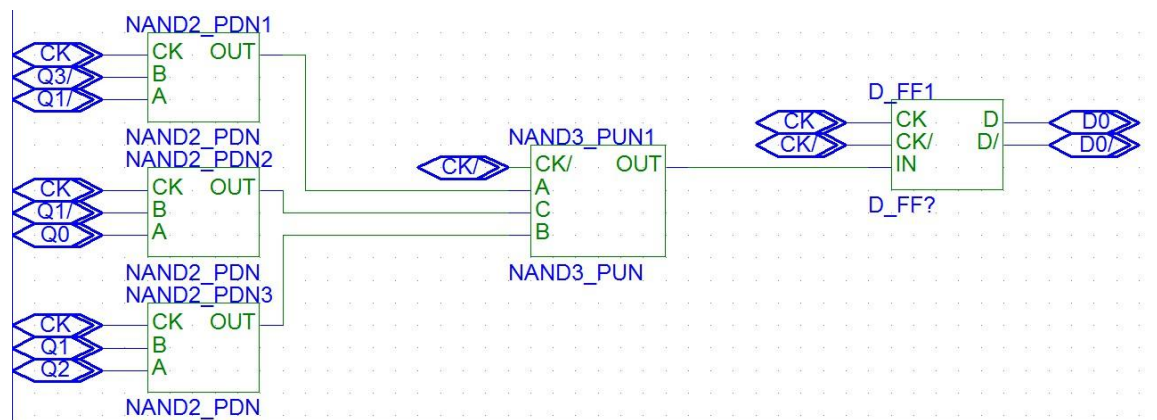


Imagem 15 – Circuito do Flip-Flop Do (Menos Significativo)

Finalmente foi montado o circuito com todos os componentes, ou seja, tudo o que é necessário para fazer as simulações, os condensadores de 0.27pF pretendem simular a capacidade do *Boundpad*.

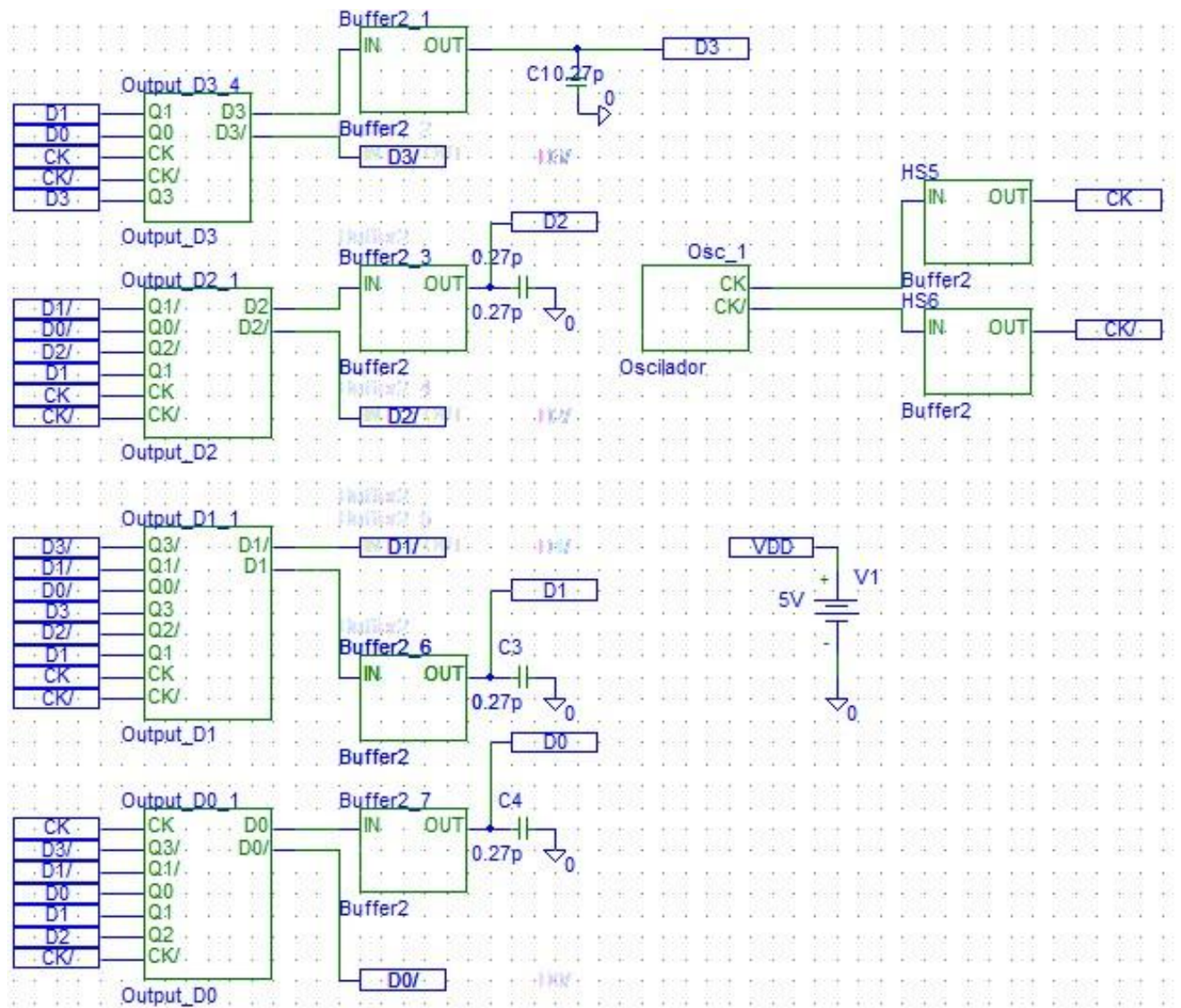


Imagem 16 – Circuito de Testes

Valores Teóricos

Antes de avançar para a simulação e medida dos valores práticos vamos proceder ao cálculo dos valores teóricos, estes podem ser divididos em duas partes distintas: cálculo dos tempos de propagação e o dimensionamento dos buffers. Estes valores vão ser posteriormente comparados com os valores práticos na conclusão.

Para poder proceder aos cálculos temos que ter em consideração algumas constantes:

$KP_{PMOS} =$	$1,5 \times 10^{-5} A/V^2$
$KP_{NMOS} =$	$4,5 \times 10^{-5} A/V^2$
$VT_{PMOS} =$	$-0,9 V$
$VT_{NMOS} =$	$0,8756 V$
$V_{DD} =$	$5 V$
$L_{DE} =$	$7 \mu m$
$W =$	$6 \mu m$
$L =$	$2 \mu m$
$Cj_{PMOS} =$	$3,2456 \times 10^{-4} F$
$Cj_{NMOS} =$	$1,0374 \times 10^{-4} F$
$C_{OX} =$	$8 \times 10^{-4} F/\mu m^2$
$C_{M1 \text{ difusão}} =$	$38 \times 10^{-18} F/\mu m^2$
$C_{NWell - substracto} =$	$100 \times 10^{-18} F/\mu m^2$
$L_{Bondpad} =$	$100 \mu m$

Projecção do Buffer de saída dos Flip-Flops

Para a correcta projecção do buffer de saída dos Flip-Flops vamos ter que calcular o número de andares do mesmo para um boundpad de 100µm por 100µm, logo inicialmente vamos ter que calcular a capacidade do boundpad para depois calcular o número de andares necessários.

$$C_{Bondpad} = W * L * \frac{C_{M1 \text{ difusão}} * C_{NWELL_{substracto}}}{C_{M1 \text{ difusão}} + C_{NWELL_{substracto}}}$$

$$= 100\mu\text{m} * 100\mu\text{m} * \frac{38 * 10^{-18} * 100 * 10^{-18}}{38 * 10^{-18} + 100 * 10^{-18}} = 0.27\text{pF}$$

$$C_{LOAD} = C_{Bondpad} + N^{\circ}Transistors * C_{OX} * L * W$$

$$= 0.27\text{pF} + 3 * 8 * 10^{-4} * 2 * 10^{-6} * 6 * 10^{-6} \cong 299 * 10^{-15}\text{F}$$

$$C_{IN} = C_{OX} * L * (W + 3W) = 38,4 * 10^{-15}\text{F}$$

$$N^{\circ} \text{ Andares do Buffer} = \ln\left(\frac{C_{LOAD}}{C_{IN}}\right) = \ln\left(\frac{299 * 10^{-15}}{38,4 * 10^{-15}}\right) \cong 2,06 \cong 2$$

O número de andares que vamos utilizar no buffer da saída do Flip-Flop vai ser 2 conforme os cálculos anteriores.

Projecção do Buffer para o Oscilador (Clock)

Para projectar o buffer do oscilador de uma maneira mais simples vamos calcular o numero de transistors na saída do mesmo e também na entrada:

$$N_{Trans. Saída} = N^{\circ} Entradas Clock * (N_{portas PDN} + N_{Flip-Flops}) = 2 * (7 + 4) = 22$$

$$N_{Trans. Entrada} = 4$$

O número de transistors de entrada é 4 devido ao tamanho da porta NMOS, a qual é 3 vezes maior que a PMOS, logo vão ser no total 4 transistors.

$$N_{Andares}^{\circ} = \ln\left(\frac{N_{Trans. Entrada}}{N_{Trans. Saída}}\right) = \ln\left(\frac{22}{4}\right) \cong 1.7 \cong 2$$

Vamos utilizar 2 buffers a saída do sinal Clock

Projecção do Buffer para o Oscilador (Clock Negado)

No caso da projecção do buffer do clock negado podemos utilizar a mesma estratégia que no clock, logo:

$$N_{Trans. Saída} = N^{\circ} Entradas Clock * (N_{portas PDN} + N_{Flip-Flops}) = 2 * (3 + 4) = 14$$

$$N_{Trans. Entrada} = 4$$

O número de transístores na entrada vai ser o mesmo que no clock pelas mesmas razões já apresentadas anteriormente.

$$N_{Andares}^{\circ} = \ln\left(\frac{N_{Trans. Entrada}}{N_{Trans. Saída}}\right) = \ln\left(\frac{14}{4}\right) \cong 1.2 \cong 2$$

O número de andares tem que ser 2 devido a ser o número mínimo de andares.

Cálculo dos tempos de propagação do pipeline

Podemos dividir o cálculo dos tempos de propagação em 5 partes distintas:

- Tempos de propagação do Primeiro Andar;
- Tempos de propagação do andar Master do Flip-Flop tipo D;
- Tempos de propagação do andar Slave do Flip-Flop tipo D;
- Tempos de propagação entre os inversores do oscilador.
- Tempo de propagação do *Buffer*.

Isto, vai-nos permitir calcular o número de inversores necessários e também os tempos de propagação dos dois andares do pipeline.

Cálculo dos tempos de propagação do 1º andar do pipeline

Para se calcularem os tempos de propagação do primeiro andar, com vista na simplificação dos cálculos, vamos apenas considerar as portas mais lentas. Logicamente as portas mais lentas vão ser aquelas mais complicadas (aqueles que passam por mais andares e têm mais entradas), ao observar os circuitos do PSPICE podemos ver que as portas mais complicadas são as de entrada do Flip-Flop D₁ porque tem 2 portas NAND₃ (uma porta NAND₃ PDN e uma porta NAND₃ PUN). Vamos proceder ao cálculo dos tempos de propagação das portas mais lentas:

NAND₃ Pull Down Network

$$\begin{aligned}
 C_{NAND3\ PDN} &= C_{J_{NMOS}} * LDE * W + C_{J_{PMOS}} * LDE * W + C_{OX} * L * W \\
 &= 1,0374 * 10^{-4} * 7 * 10^{-6} * 6 * 10^{-6} + 3,2 * 10^{-4} * 7 * 10^{-6} * 6 * 10^{-6} \\
 &\quad + 8 * 10^{-4} * 2 * 10^{-6} * 6 * 10^{-6} \cong 27,4 * 10^{-15} F
 \end{aligned}$$

$$\begin{aligned}
 R_{NAND3\ PDN} &= \frac{1}{KP_{NMOS} * \left(\frac{W_{NMOS}}{L_{eff}}\right) * (VDD - VT_{NMOS})} \\
 &= \frac{1}{4,5 * 10^{-5} * \frac{6 * 10^{-6}}{4 * 2 * 10^{-6}} * (5 - 0,88)} = 7,2k\Omega
 \end{aligned}$$

$$t_{p_{NAND3\ PDN}} = 0,7 * C_{NAND3\ PDN} * R_{NAND3\ PDN} = 138 * 10^{-12}s$$

NAND₃ Pull Up Network

$$\begin{aligned}
 C_{NAND3\ PUN} &= C_{J_{NMOS}} * LDE * W + 3 * C_{J_{PMOS}} * LDE * W + C_{OX} * L * 2W \\
 &= 1,0374 * 10^{-4} * 7 * 10^{-6} * 6 * 10^{-6} + 3 * 3,2 * 10^{-4} * 7 * 10^{-6} * 6 \\
 &\quad * 10^{-6} + 8 * 10^{-4} * 2 * 10^{-6} * 2 * 6 * 10^{-6} \cong 6,39 * 10^{-14}F
 \end{aligned}$$

$$\begin{aligned}
 R_{NAND3\ PUN} &= \frac{1}{KP_{NMOS} * \left(\frac{W_{NMOS}}{L_{eff}}\right) * (VDD - VT_{NMOS})} \\
 &= \frac{1}{1,5 * 10^{-5} * \frac{6 * 10^{-6}}{4 * 2 * 10^{-6}} * (5 - 0,88)} \cong 10,8k\Omega
 \end{aligned}$$

$$t_{p_{NAND3\ PDN}} = 0,7 * C_{NAND3\ PDN} * R_{NAND3\ PDN} = 483,8 * 10^{-12}s$$

Cálculo dos tempos de propagação do andar Master do FF Tipo D (1ºAndar)

$$C_{MASTER} = C_{J_{NMOS}} * LDE * W + C_{J_{PMOS}} * LDE * W + C_{OX} * L * 2W \cong 37fF$$

$$R_{MASTER} = \frac{1}{KP_{NMOS} * \left(\frac{W_{PMOS}}{L_{eff}}\right) * (VDD - VT_{NMOS})} = 10,8k\Omega$$

$$t_{p_{MASTER}} = 0,7 * R_{MASTER} * C_{MASTER} = 280 * 10^{-12}$$

$$\begin{aligned}
 t_{pTOTAL\ 1^\circ ANDAR} &= t_{pMASTER} + t_{pNAND3\ PDN} + t_{pNAND3\ PUN} \\
 &= 280 * 10^{-12} + 483,8 * 10^{-12} + 138 * 10^{-12} \cong 902 * 10^{-12} s
 \end{aligned}$$

Cálculo dos tempos de propagação do 2º andar do pipeline

Cálculo dos tempos de propagação do andar Slave do FF Tipo D (2ºAndar)

$$\begin{aligned}
 C_{SLAVE} &= C_{JNMOS} * LDE * W + C_{JPMOS} * LDE * W + C_{OX} * L * (W + 3W) + C_{OX} * L \\
 &\quad * (W + 3W) = 94,6 * 10^{-15} F
 \end{aligned}$$

$$R_{SLAVE} = \frac{1}{KP_{PMOS} * \left(\frac{W_{PMOS}}{L_{eff}}\right) * (VDD - VT_{NMOS})} = 10.8k\Omega$$

$$t_{pSLAVE} = 0.7 * R_{SLAVE} * C_{SLAVE} = 715 * 10^{-12} s$$

Cálculo dos tempos de propagação Buffer á saída do FF Tipo D (2ºAndar)

$$t_{pBUFFER} = N_{Andares}^o * t_{pENTRE\ INVERSOR} * \alpha = 2 * 105 * 10^{-12} * 2,7 = 567 * 10^{-12} s$$

$$t_{pTOTAL\ 2^\circ ANDAR} = (567 + 715) * 10^{-12} s = 1,28 * 10^{-9} s$$

Cálculo do tempo de propagação entre inversores em série do oscilador

O inversor é feito em lógica estática, logo o $W_{PMOS}=3W_{NMOS}$

$$\begin{aligned} C_{ENTRE\ INVERSOR} &= C_{J_{NMOS}} * LDE * W + C_{J_{PMOS}} * LDE * 3W + C_{OX} * L * (W + 3W) \\ &= 83 * 10^{-15} F \end{aligned}$$

$$R_{ENTRE\ INVERSOR} = \frac{1}{KP_{PMOS} * \left(\frac{W_{PMOS}}{L_{eff}}\right) * (VDD - VT_{NMOS})} = 1.8k\Omega$$

$$t_{P_{ENTRE\ INVERSOR}} = 0.7 * R_{ENTRE\ INVERSOR} * C_{ENTRE\ INVERSOR} \cong 105 * 10^{-12} s$$

Cálculo do número de inversores necessários para o inversor

O número de inversores necessários para o inversor pode ser calculado utilizando o tempo de propagação do circuito mais lento, ou seja, o com tempo de propagação maior.

Ao analisar os resultados anteriores podemos verificar que o tempo de propagação do circuito mais lento é o do 2º andar do inversor, ao dividirmos esse tempo de propagação pelo tempo de propagação entre inversores vamos obter o número de mínimo de inversores.

$$N^o_{INVERSORES} = \frac{t_{p_{MAIOR}}}{t_{p_{ENTRE\ INVERSOR}}} = \frac{1,29 * 10^{-9}}{105 * 10^{-12}} \cong 12,29 \cong 13$$

Deve-se ter em consideração, tal como já foi explicado anteriormente, que o número de inversores tem que ser obrigatoriamente ímpar, caso contrário ele não oscila, por essa razão o número de inversores tem que ser arredondado para 13, mas vamos utilizar apenas 9 inversores (ver conclusão para explicação detalhada).

Cálculo da Frequência do Oscilador

$$T_{Oscilador} = 2 * N_{INVERSORES} * t_{p_{ENTRE INVERSOR}} = 1,89 * 10^{-9} s$$

$$f_{Oscilador} = \frac{1}{T_{Oscilador}} \cong 529 MHz$$

Foram apenas utilizados 9 inversores pelos motivos enunciados na Conclusão

Finalmente, podemos proceder para o cálculo dos valores práticos. Abaixo encontra-se uma tabela com os tempos de propagação teóricos para maior facilidade no acesso aos mesmos (Imagem 17).

Tabela de Valores Teóricos

1º Andar				2º Andar		
t_p NAND ₃ PDN	t_p NAND ₃ PUN	t_p MASTER	t_p TOTAL	t_p SLAVE	t_p BUFFER	t_p TOTAL
$138 * 10^{-12} s$	$439 * 10^{-12} s$	$280 * 10^{-12} s$	$825 * 10^{-12} s$	$425 * 10^{-12} s$	$567 * 10^{-12} s$	$1,3 * 10^{-9} s$

Imagem 17 – Tabela de Valores Teóricos

Valores Práticos

Nesta secção pretende-se mostrar os valores obtidos na simulação para mais tarde comparar com os valores teóricos.

Para tal foi corrida a simulação da resposta transiente no PSPICE com os circuitos anteriormente configurados na subsecção Configuração das Portas da secção Desenvolvimento Teórico. Nesta simulação foram medidos, através da ponta de prova, o tempo de propagação no fim do 1º Andar e do 2º Andar de cada um dos Flip-Flops, foram medidos os tempos de subida e descida para todos os casos anteriormente descritos. Foi ainda medido o Período do Oscilador para calcular a sua frequência de funcionamento.

Tempos de propagação do 1º Andar do Pipeline

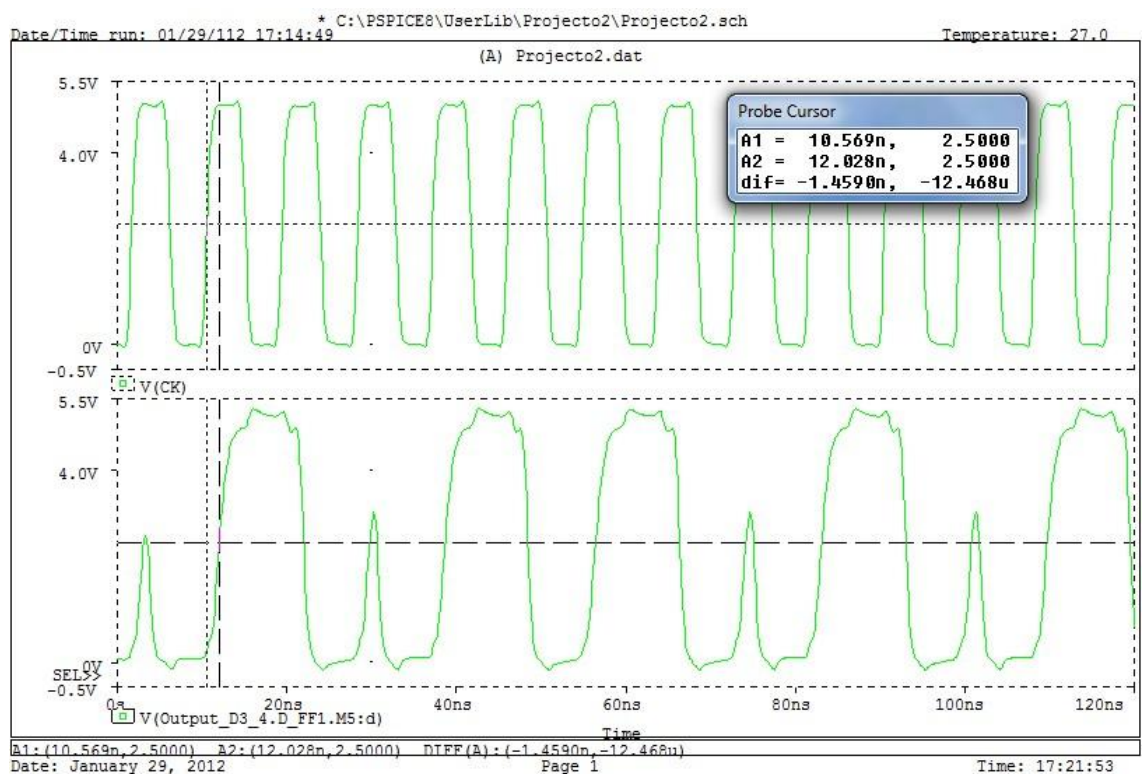


Imagem 18 – Tempo de Propagação do 1º Andar do Flip-Flop D3 na subida.

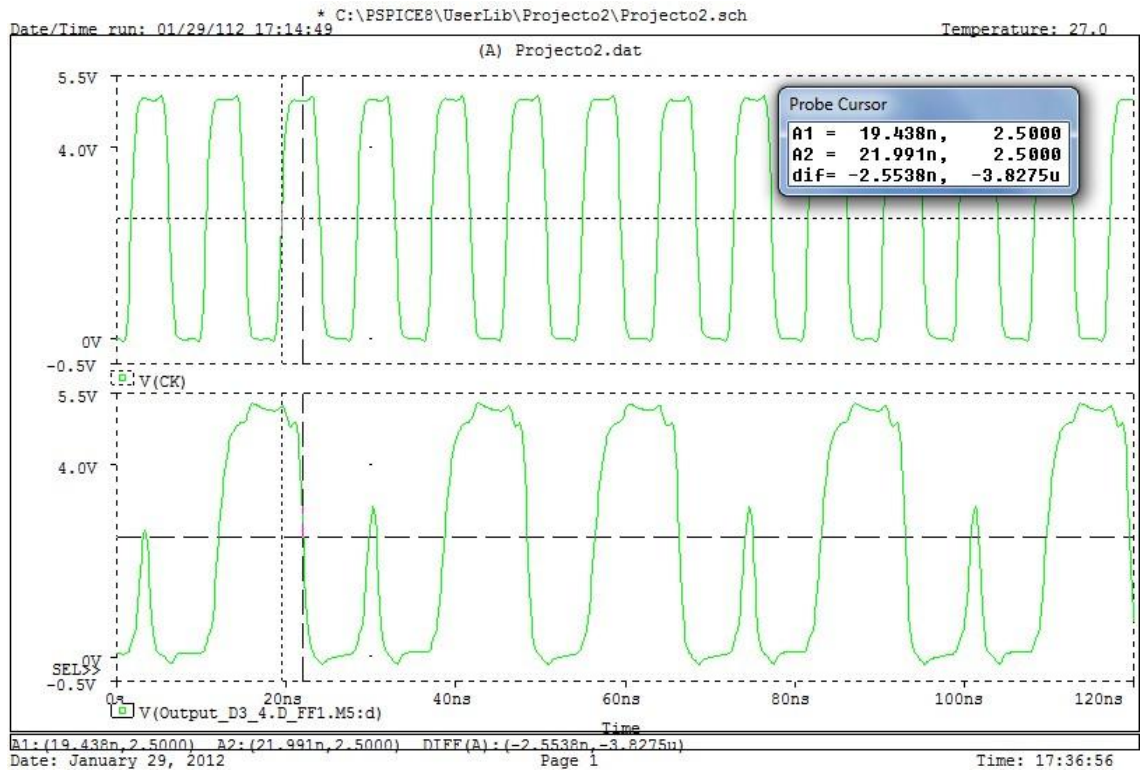


Imagem 19 – Tempo de Propagação do 1º Andar do Flip-Flop D3 na descida.

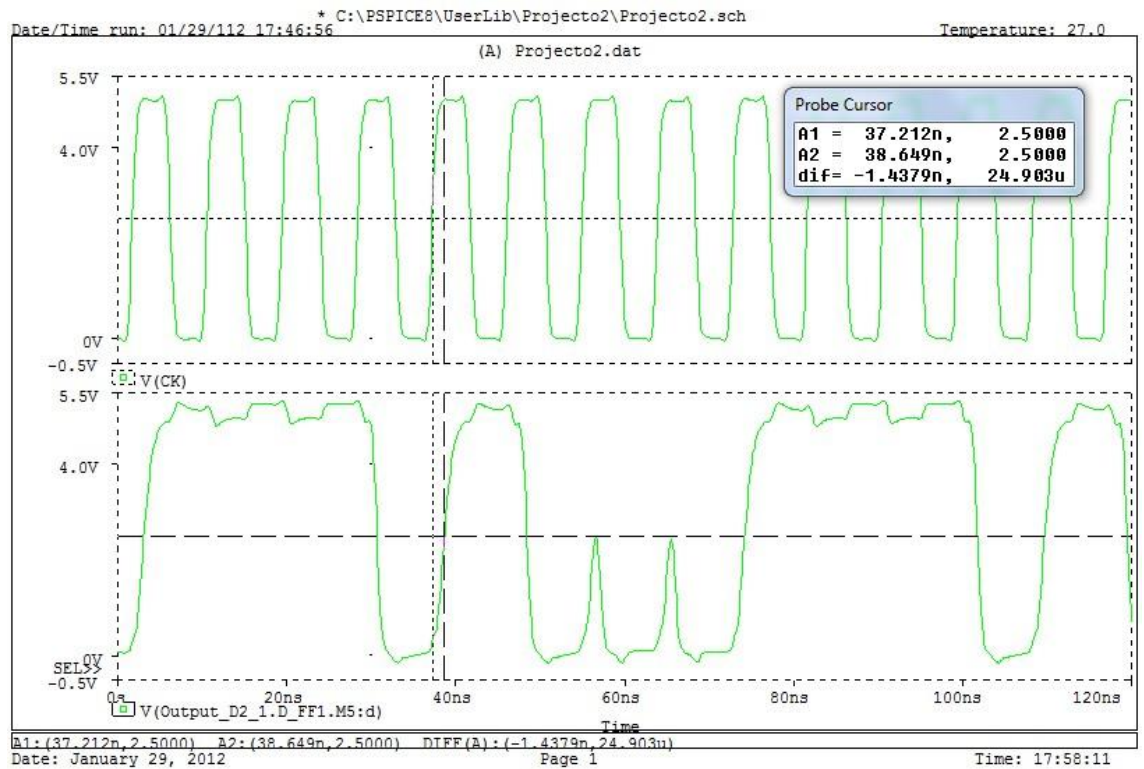


Imagem 20 – Tempo de Propagação do 1º Andar do Flip-Flop D2 na subida.

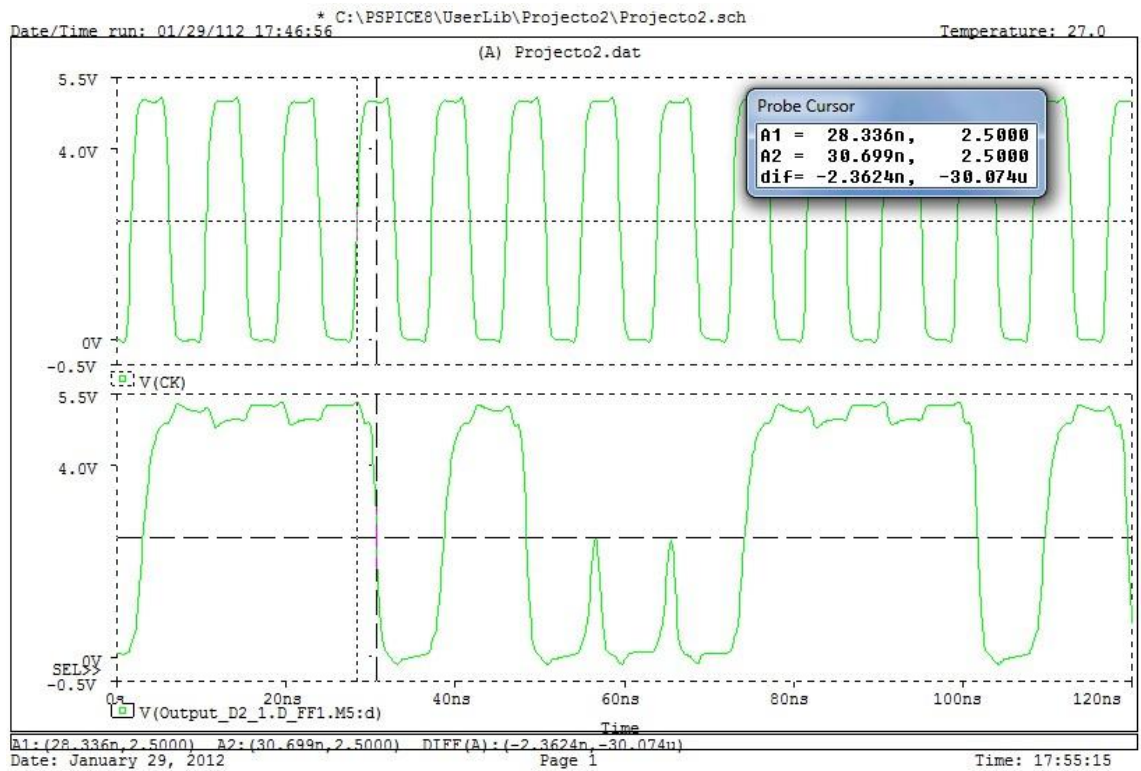


Imagem 21 – Tempo de Propagação do 1º Andar do Flip-Flop D2 na descida.

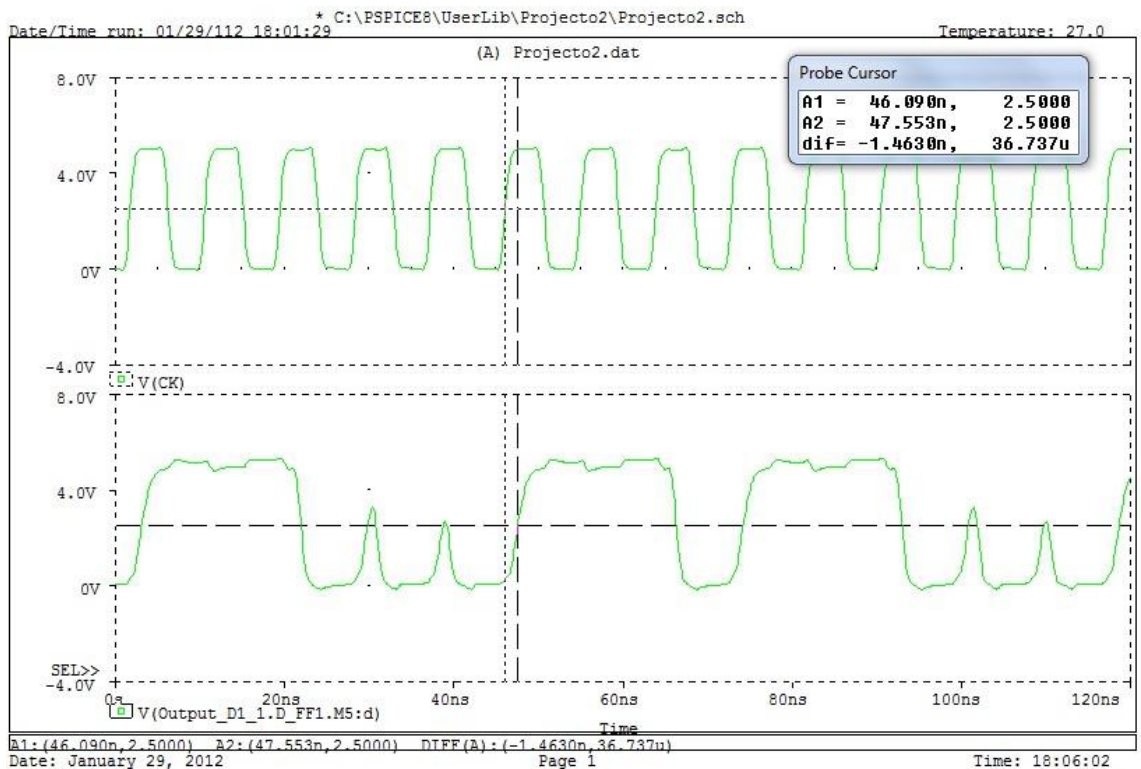


Imagem 22 – Tempo de Propagação do 1º Andar do Flip-Flop D1 na subida.

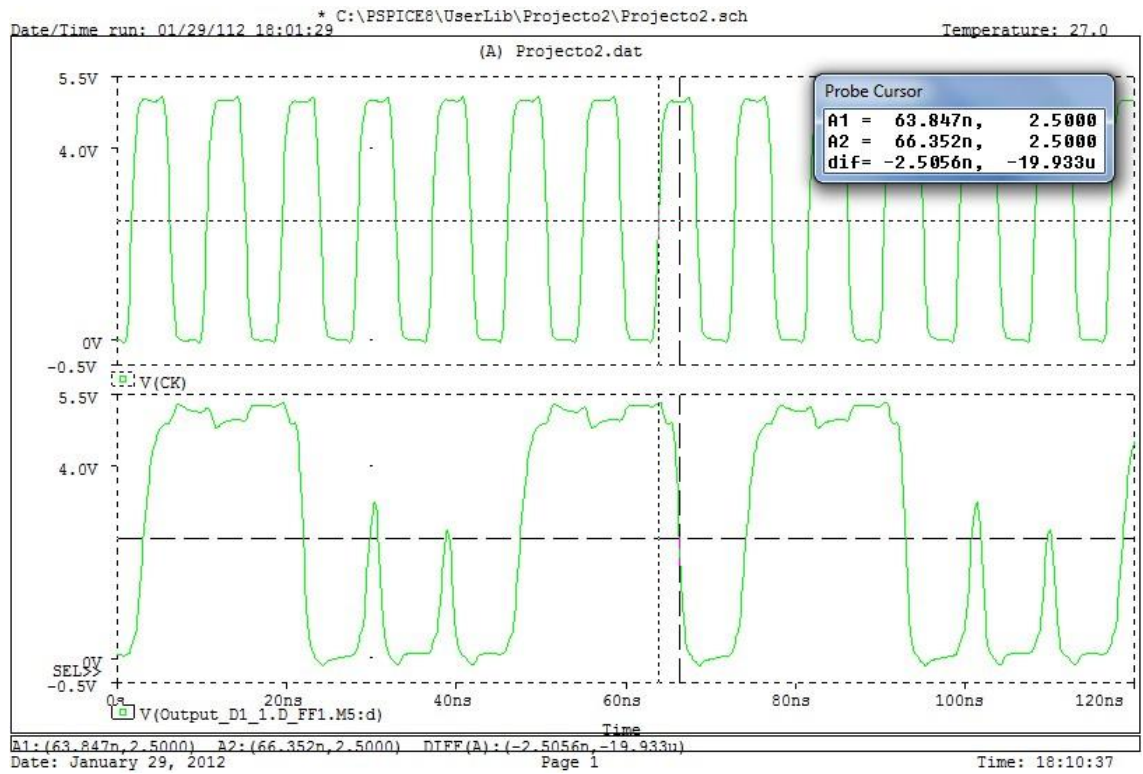


Imagem 23 – Tempo de Propagação do 1º Andar do Flip-Flop D1 na descida.

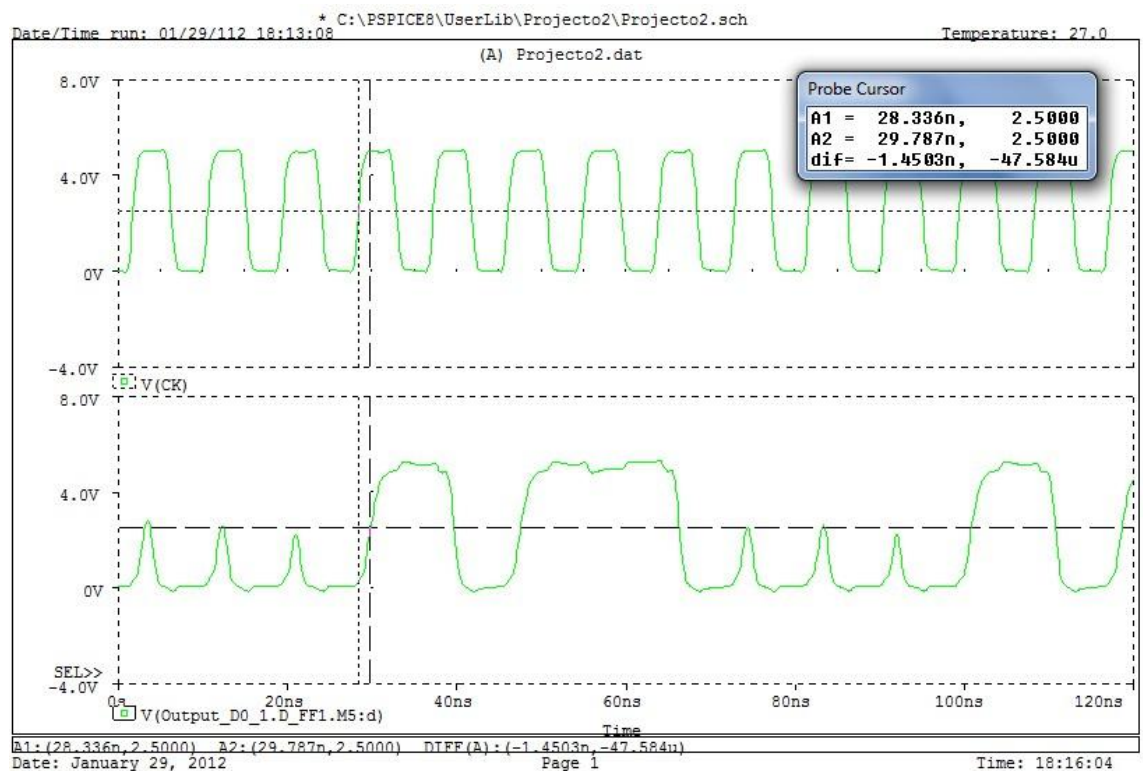


Imagem 24 – Tempo de Propagação do 1º Andar do Flip-Flop Do na subida.

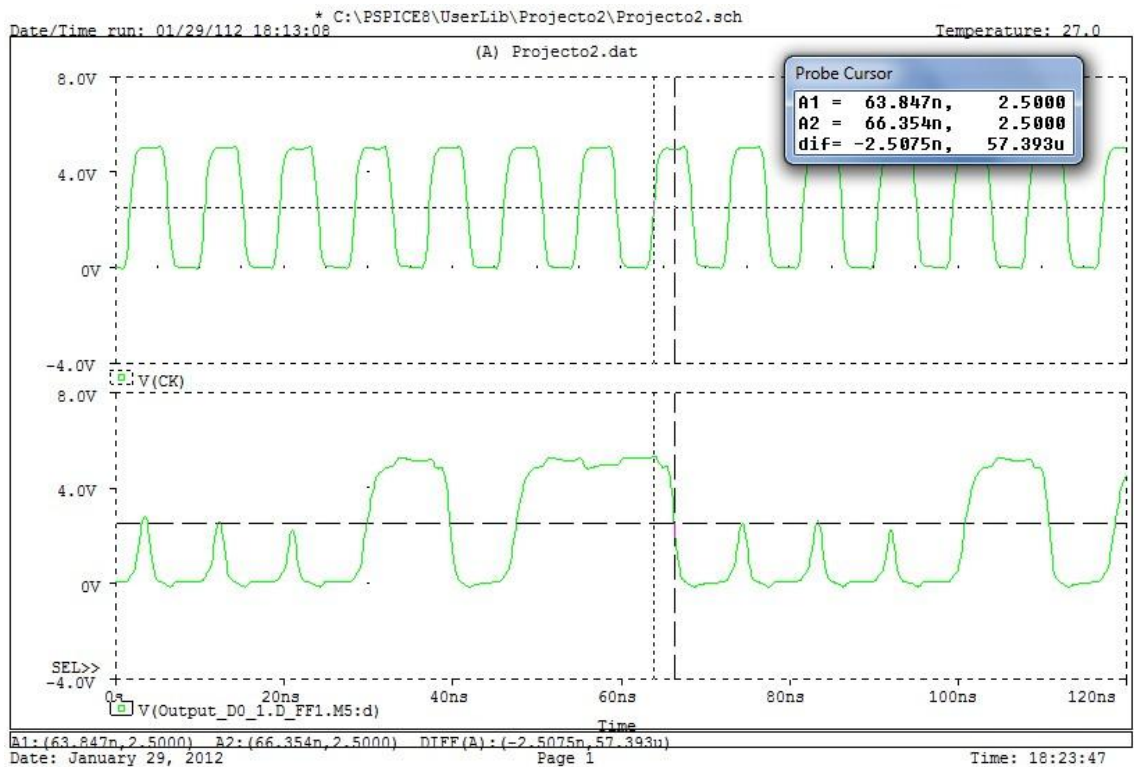


Imagem 25 – Tempo de Propagação do 1º Andar do Flip-Flop Do na descida.

Os tempos de propagação dos gráficos anteriores (Imagem 18 a 25) foram retirados e inseridos numa tabela (Imagem 26) para uma análise mais fácil dos resultados obtidos.

Flip-Flop D3		Flip-Flop D2		Flip-Flop D1		Flip-Flop Do	
Subida	Descida	Subida	Descida	Subida	Descida	Subida	Descida
1.46ns	2.55ns	1.44ns	2.36ns	1.46ns	2.51ns	1.45ns	2.51ns
t_p mais lento		t_p mais lento		t_p mais lento		t_p mais lento	
2.55ns		2.36ns		2.51ns		2.51ns	

Imagem 26 – Tabela com os tempos de propagação práticos do 1ºAndar

Tempos de propagação do 2º Andar

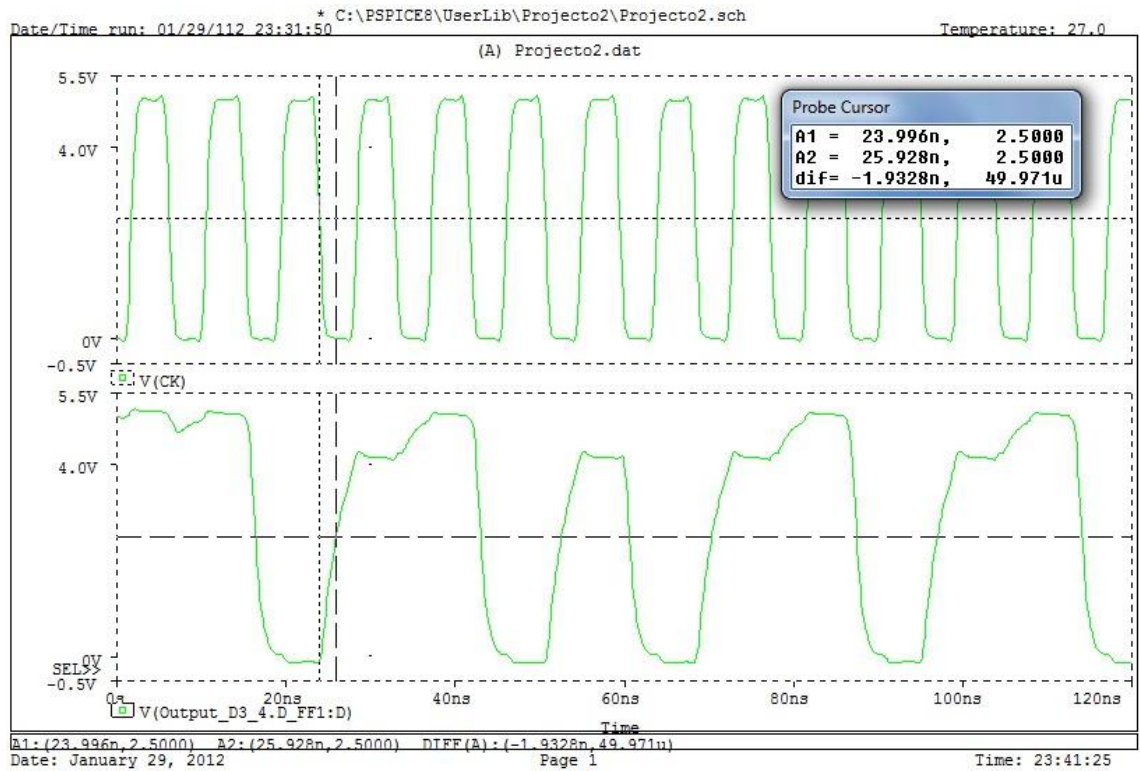


Imagem 27-Tempo de Propagação do 2º Andar do Flip-Flop D3 na subida.

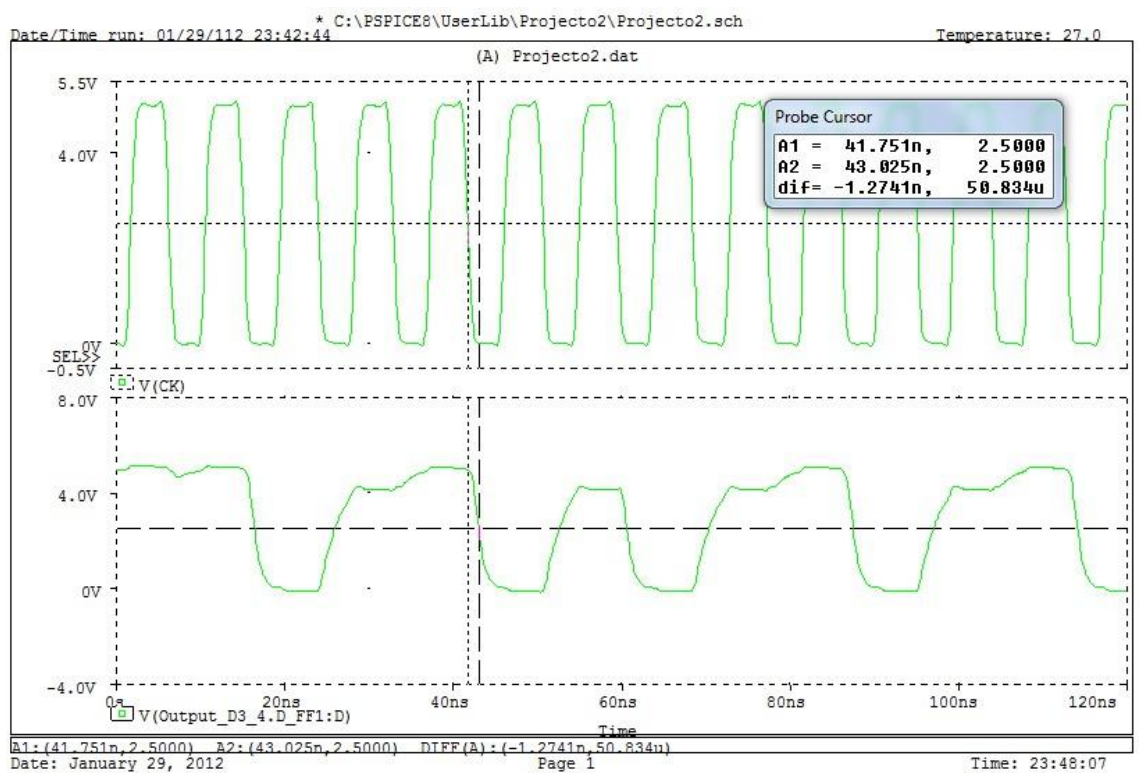


Imagem 28-Tempo de Propagação do 2º Andar do Flip-Flop D3 na descida.

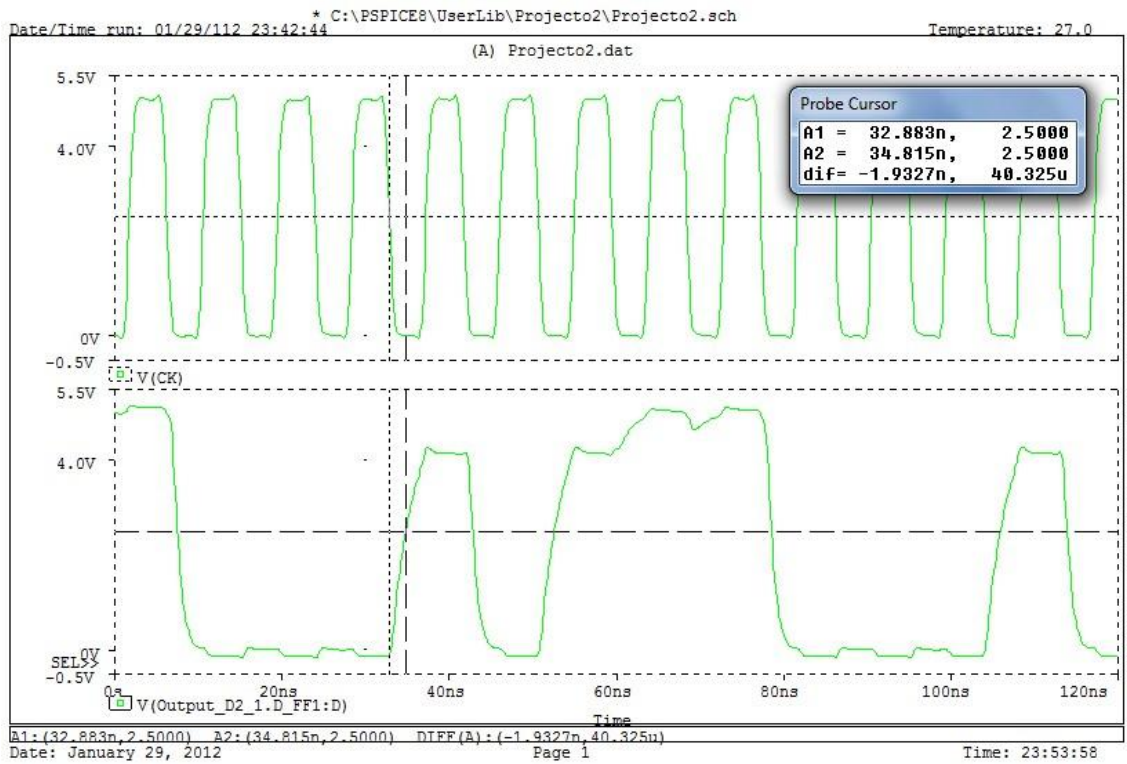


Imagem 29-Tempo de Propagação do 2º Andar do Flip-Flop D2 na subida.

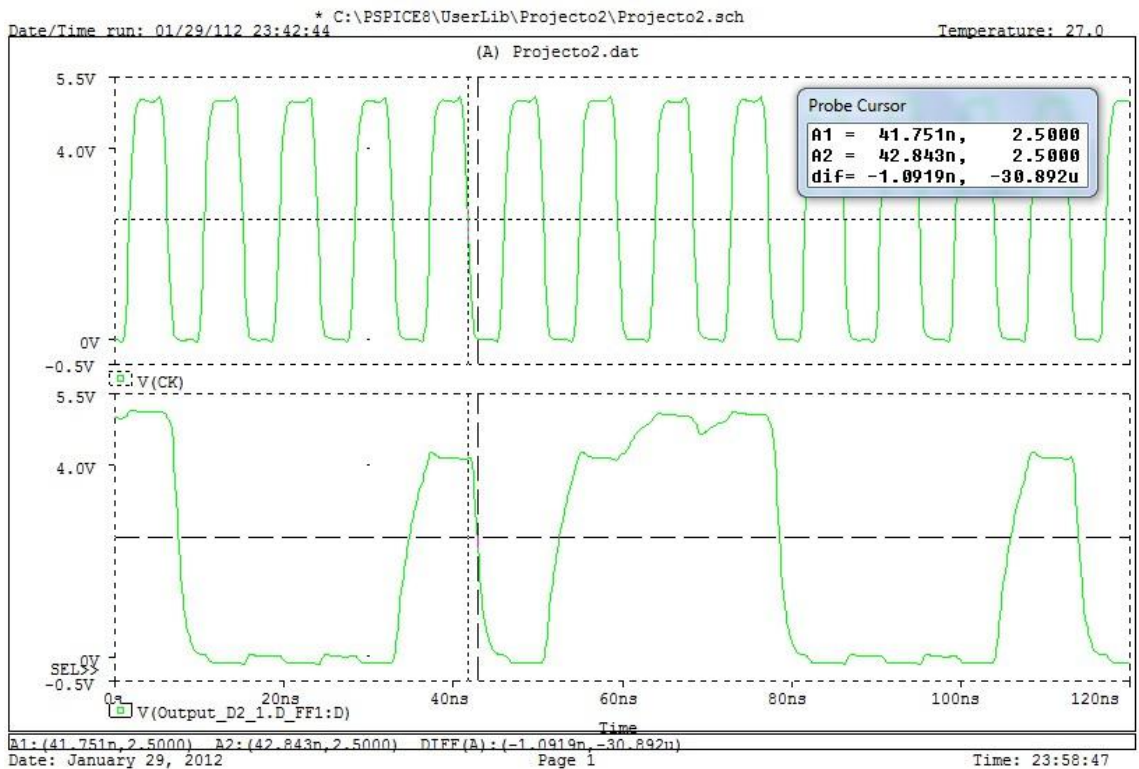


Imagem 30-Tempo de Propagação do 2º Andar do Flip-Flop D2 na descida.

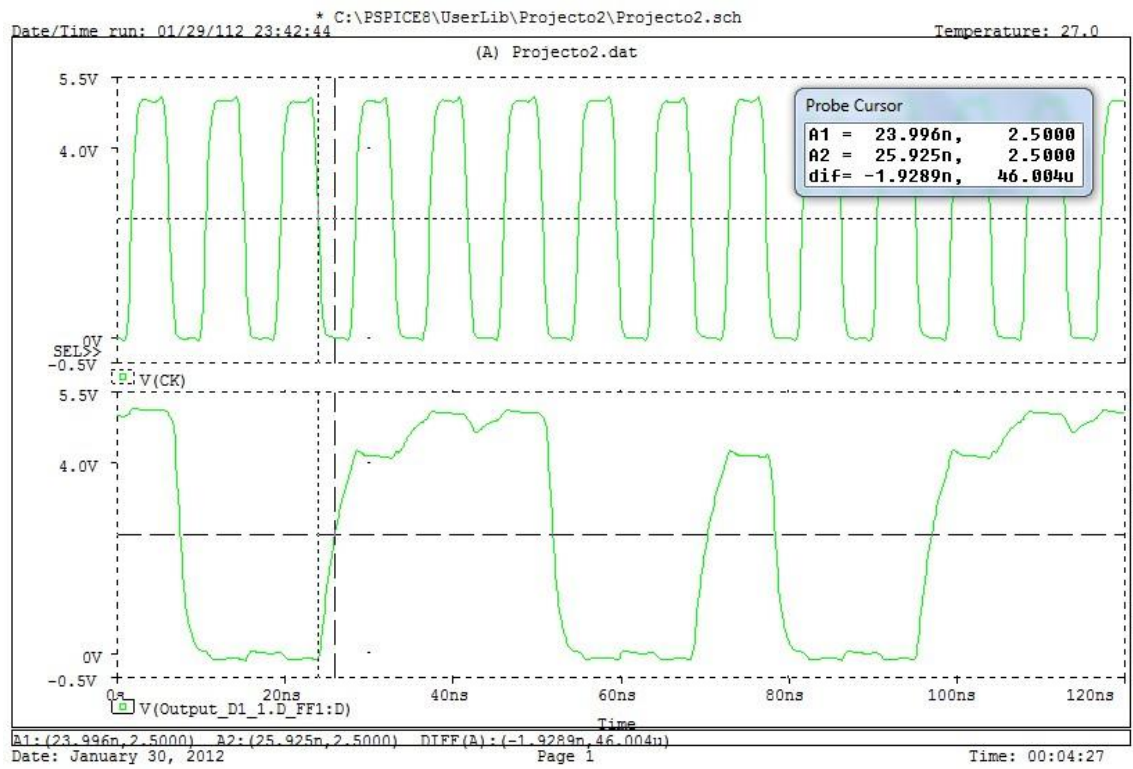


Imagem 31-Tempo de Propagação do 2º Andar do Flip-Flop D1 na subida.

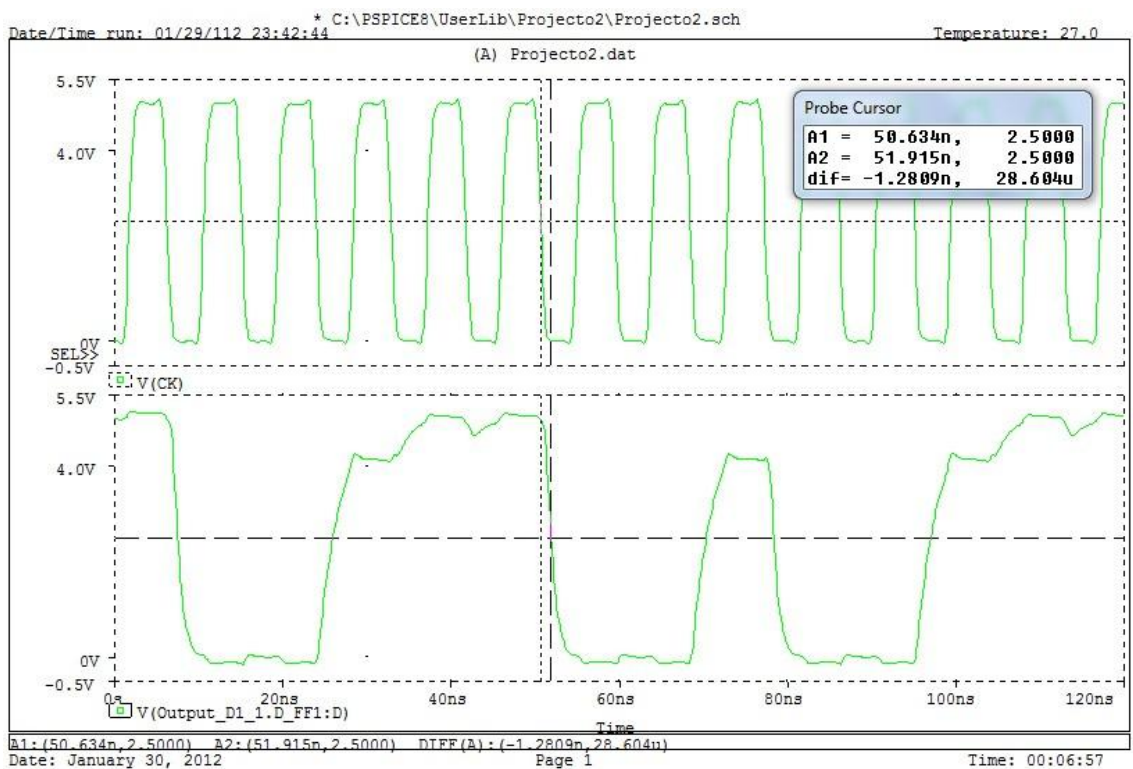


Imagem 32-Tempo de Propagação do 2º Andar do Flip-Flop D1 na descida.

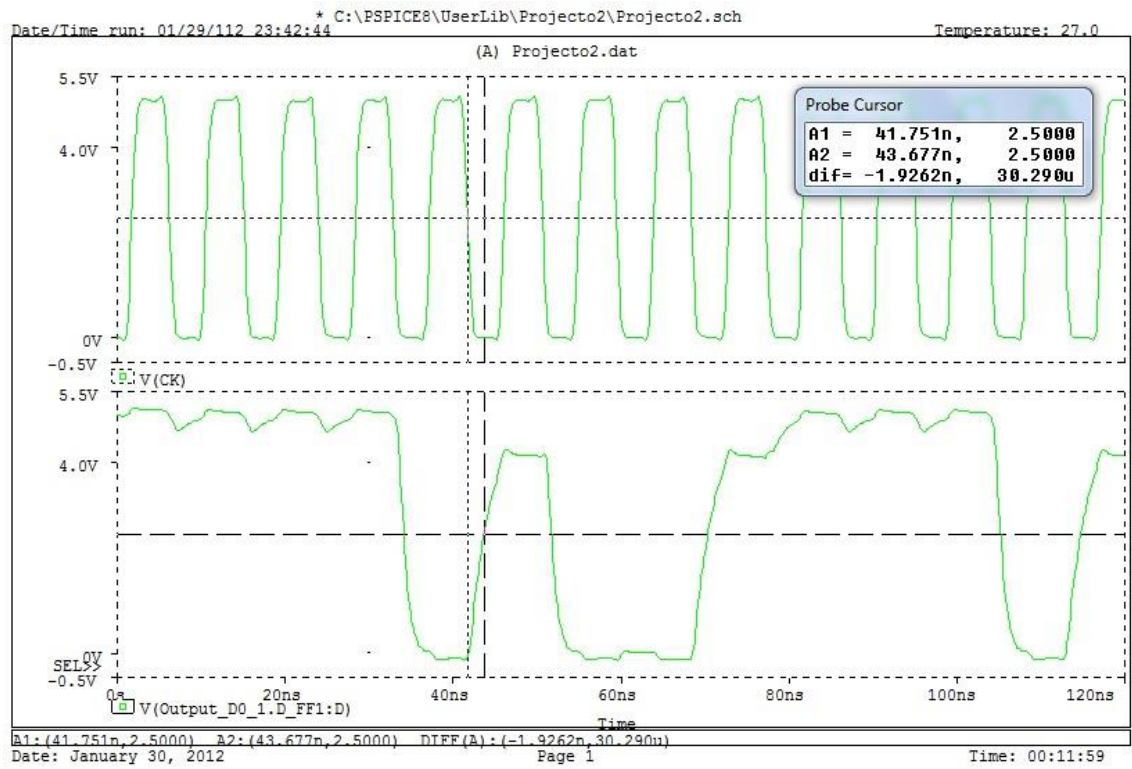


Imagem 33-Tempo de Propagação do 2º Andar do Flip-Flop Do na subida.

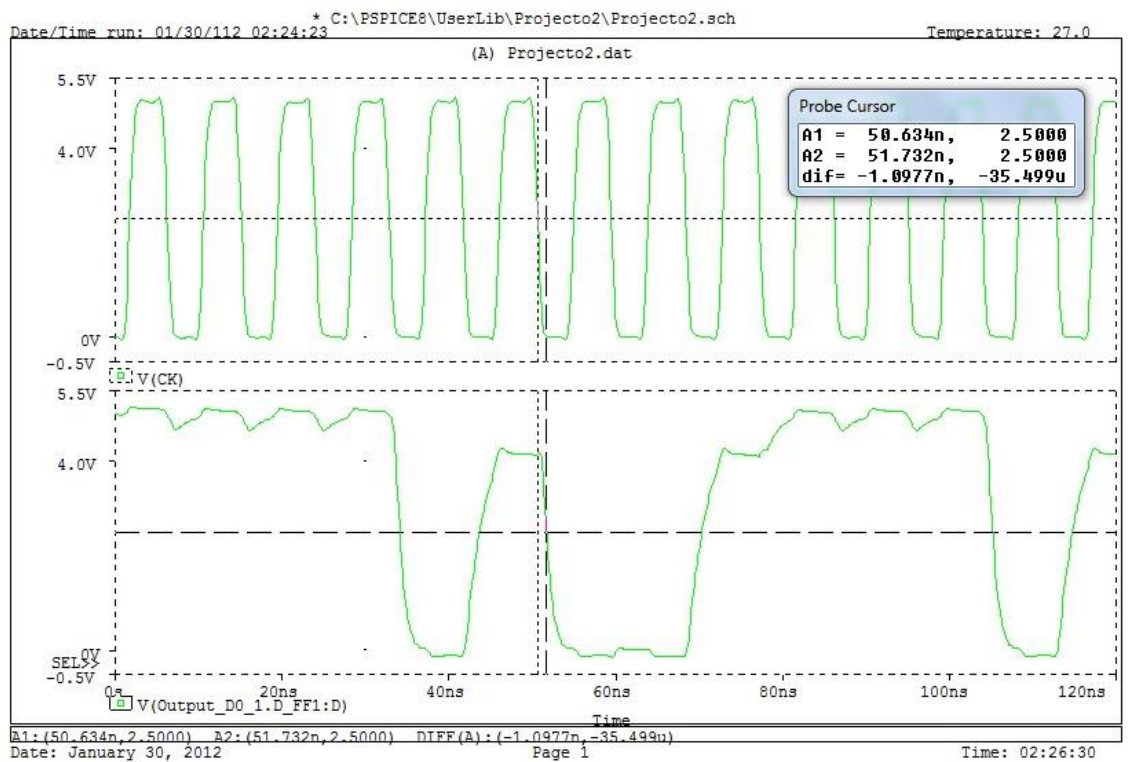


Imagem 34-Tempo de Propagação do 2º Andar do Flip-Flop Do na descida.

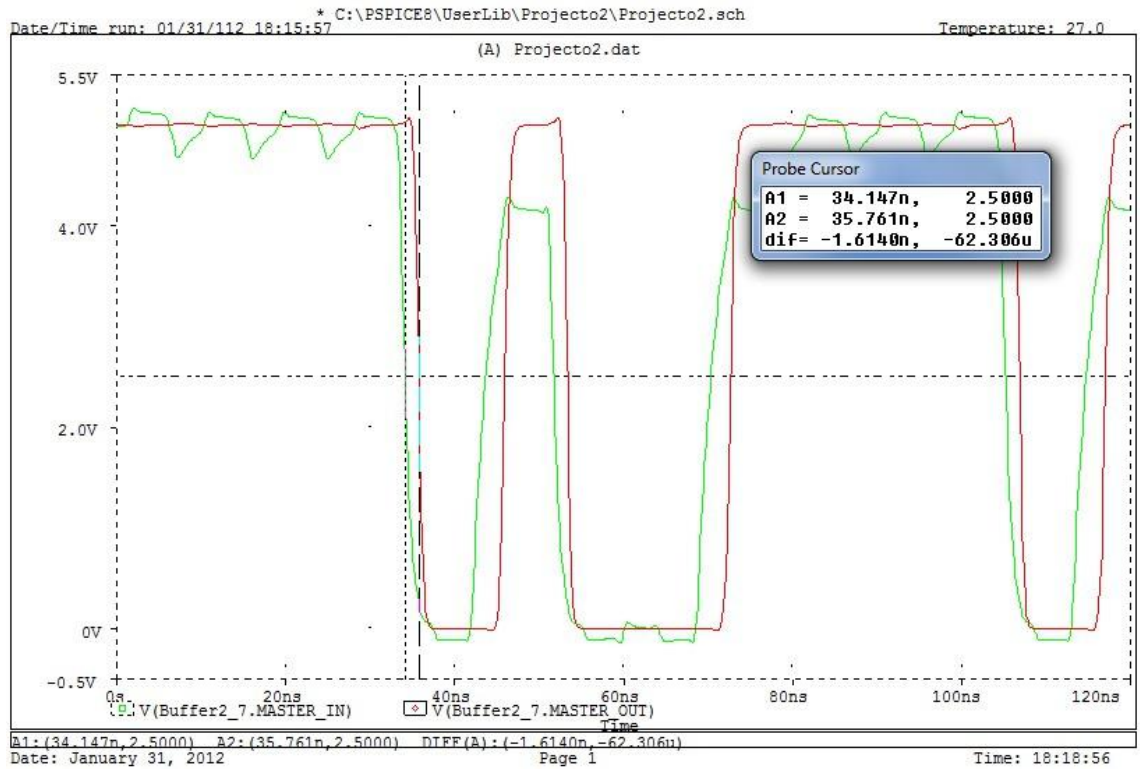


Imagem 35 – Tempo de Propagação do Buffer HL

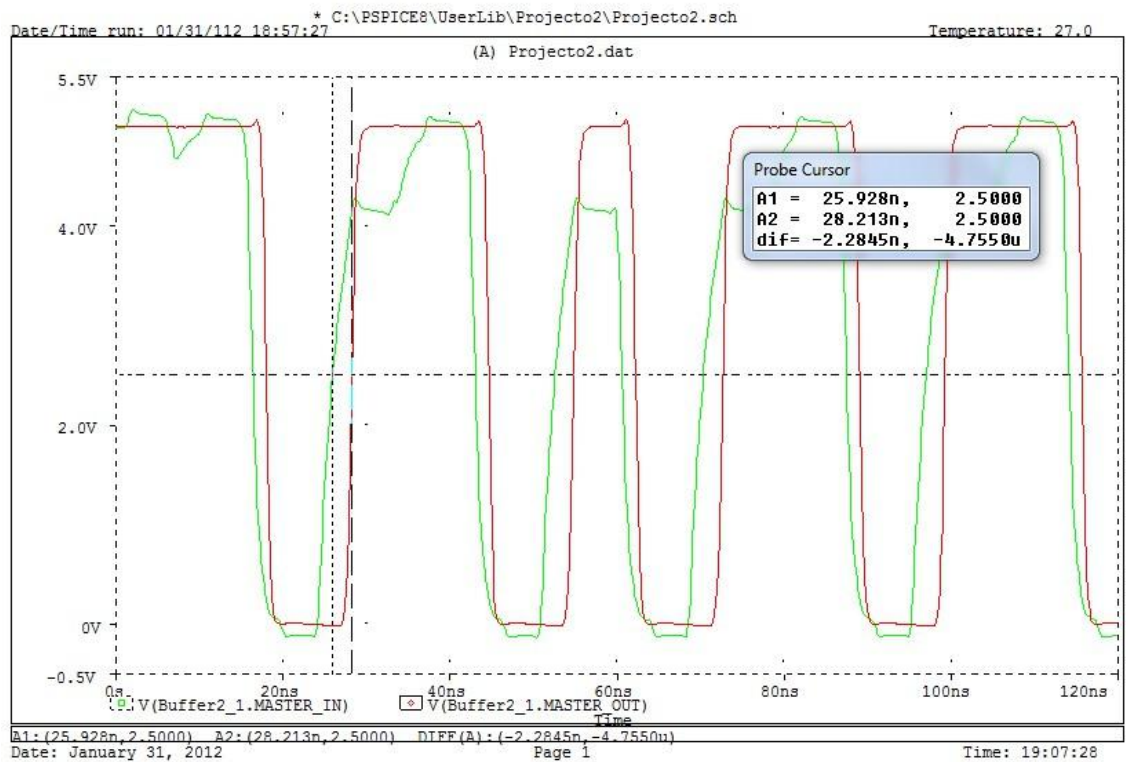


Imagem 36 – Tempo de Propagação do Buffer LH

O tempo de propagação do *Buffer LH* tem que ser somado ao tempo de todas as saídas dos Flip-Flops na subida e o tempo de propagação do Buffer HL vai ser somado ao tempo de propagação da descida.

Ao analisar os gráficos do 2º andar (Imagens 26 a 36), podemos retirar os dados apresentados na tabela que se segue (Imagem 37)

Flip-Flop D ₃		Flip-Flop D ₂		Flip-Flop D ₁		Flip-Flop D ₀	
Subida	Descida	Subida	Descida	Subida	Descida	Subida	Descida
3.53ns	3.55ns	3.53ns	3.38ns	3.53ns	3.56ns	3.53ns	3.38ns
t_p mais lento		t_p mais lento		t_p mais lento		t_p mais lento	
3.55ns		3.53ns		3.56ns		3.53ns	

Imagem 37 – Tabela com os tempos de propagação práticos do 2º Andar

Podemos ainda inserir os valores do 1º andar e do 2º andar num pipeline para uma comparação mais fácil, mas apenas dos tempos mais lentos (Imagem 38).

Andar	Flip-Flop D ₃	Flip-Flop D ₂	Flip-Flop D ₁	Flip-Flop D ₀
1º	2.55ns	2.36ns	2.51ns	2.51ns
2º	3.55ns	3.53ns	3.56ns	3.53ns

Imagem 38 – Tabela com os tempos de propagação práticos mais lentos

Podemos ver que o tempo de propagação no 1º Andar no Flip-Flop D₃ é maior que os outros do 1º Andar, este valor não é o esperado porque não é a mais complexa mas como a diferença entre os dois é mínima (0.04ns) em principio não há grandes diferenças na teoria, podemos ainda observar ainda no 1º Andar que os tempos de

propagação do F.F. D1 e do F.F. D0 são os mais rápidos; isto deve-se ao facto de nestes Flip-Flops as portas serem mais rápidas que nos anteriores. Além da anterior observação podemos ainda ver que no final do 2º Andar do Pipeline todos os Flip-Flops têm o mesmo tempo de propagação. É de realçar que o 2º Andar é constituído pela segunda parte do Flip-Flop e pelo Buffer.

Resposta Transiente do Circuito Final

Para finalizar esta secção do relatório vamos analisar a resposta transiente do circuito final para verificar que tudo funciona conforme a teoria. As pontas de prova foram colocadas após os *buffers* para que o sinal seja o mais fácil de analisar possível (Imagem 38).

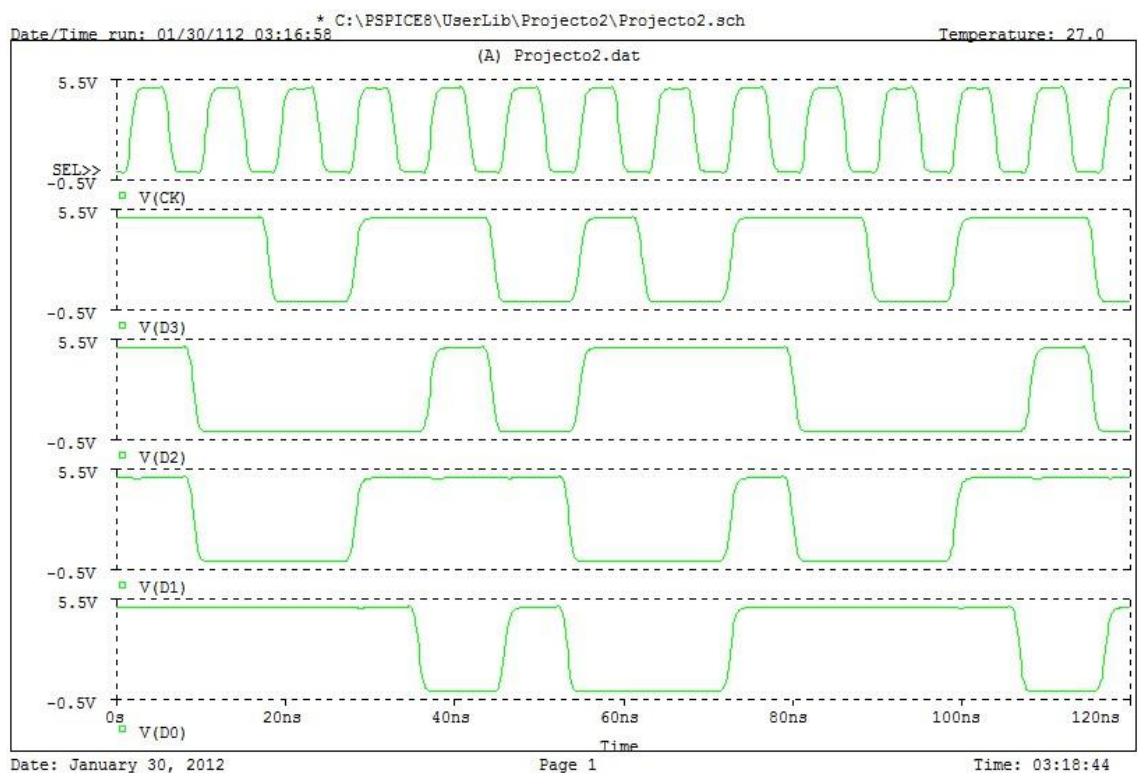


Imagem 39 – Resposta Transiente do Circuito Final

Da resposta transiente do circuito final (Imagem 38) podemos retirar a seguinte sequência (Imagem 39):

1111 1001 0001 1011 1110 0011 1100 0100

Imagem 40 – Sequência retirada da Resposta Transiente

Comparando os valores da Síntese com os valores retirados da resposta transiente podemos verificar que o nosso circuito se comporta como esperado, com tempos de propagação bastante rápidos devido aos *buffers*. Era esperado algum *delay*, no início da resposta transiente, para o arranque dos transístores mas por sorte a contagem iniciou no número 1111 o que faz com que a contagem nunca saia do ciclo.

Agora reunimos todas as condições para calcular a frequência máxima de funcionamento do transístor, para o fazer vamos utilizar a soma do inverso dos tempos de propagação da porta mais lenta ($t_{pLH} + t_{pHL}$):

$$f = 1/(t_{pLH} + t_{pHL})$$

Sendo a porta mais lenta a porta do Flip-Flop D3 com os tempos de propagação $t_{pLH} = 1.46ns$, $t_{pHL} = 2.55ns$ vão-se calcular a sua frequência máxima de funcionamento:

$$f = \frac{1}{t_{pLH} + t_{pHL}} = \frac{1}{1.46 * 10^{-9} + 2.55 * 10^{-9}} = 1/4,01 * 10^{-9} = 250MHz$$

Medição da Frequência do Oscilador

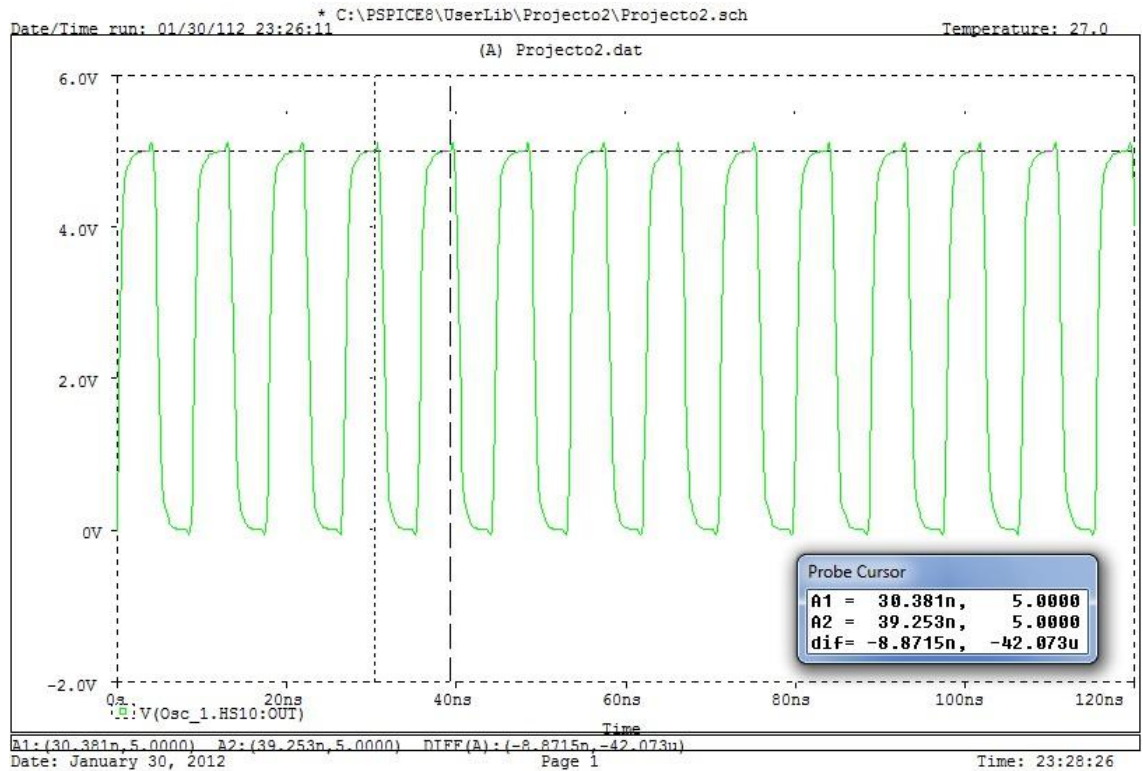


Imagem 41 – Medição do Período do Oscilador

Podemos obter a informação de que o Período do Oscilador em Anel de 9 Andares é 8.9ns, este valor vai ser comparado com o valor teórico na conclusão.

Através do anterior valor podemos calcular a frequência de funcionamento do oscilador e consequentemente do circuito sequencial:

$$f = \frac{1}{T} = \frac{1}{8.9 * 10^{-9}} = 112MHz$$

Layouts dos Componentes e Boundpad

Nesta secção vão ser apresentados todos os componentes dos circuitos individualmente e montados no Boundpad.

Componentes

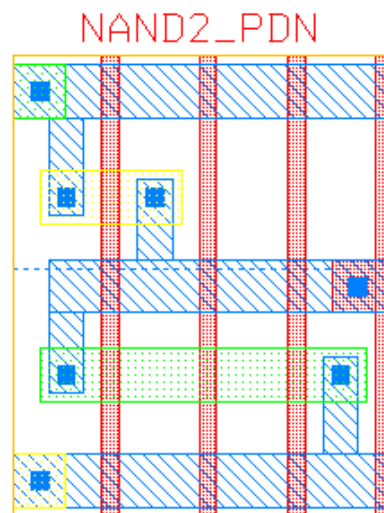


Imagem 42 – Layout do NAND₂_PDN

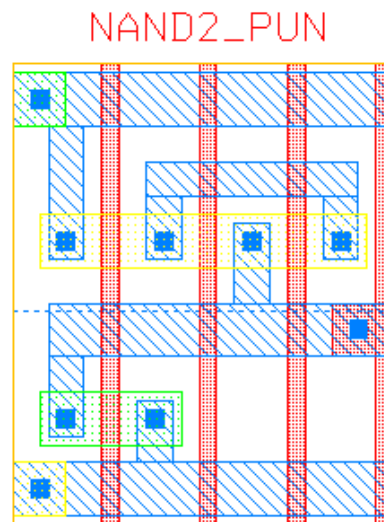


Imagem 43 - Layout do NAND2_PUN

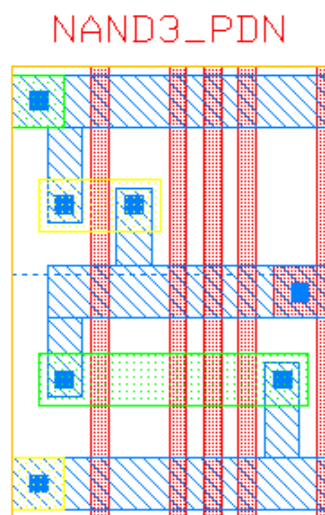


Imagem 44 - Layout do NAND3_PDN

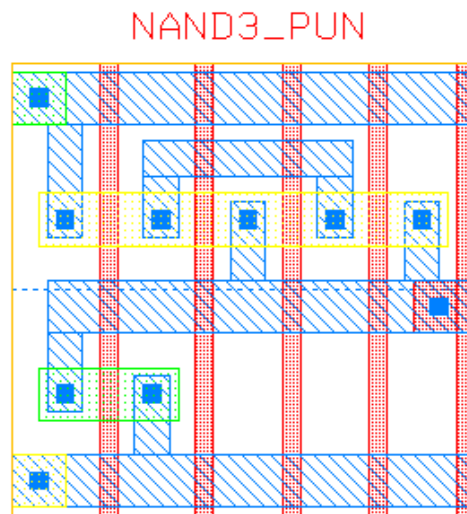


Imagem 45 - Layout do NAND₃_PUN

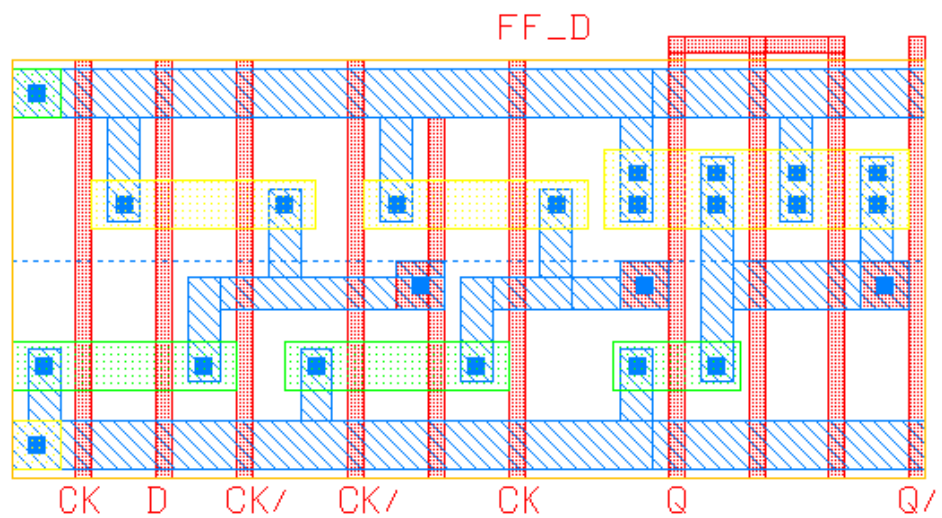


Imagem 46 - Layout do Flip-Flop tipo D

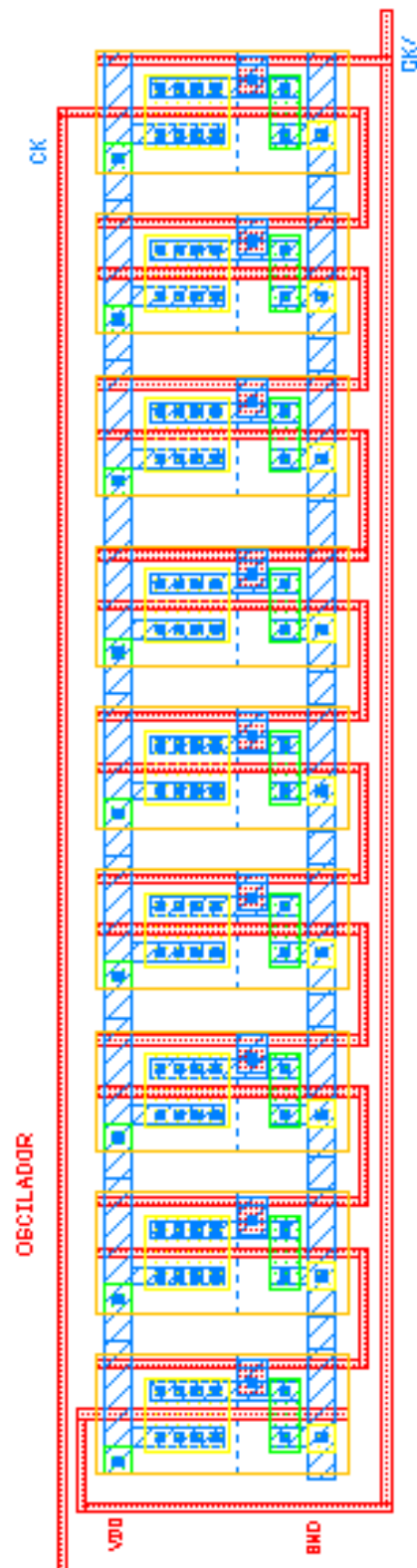


Imagem 47 - Layout do Oscilador

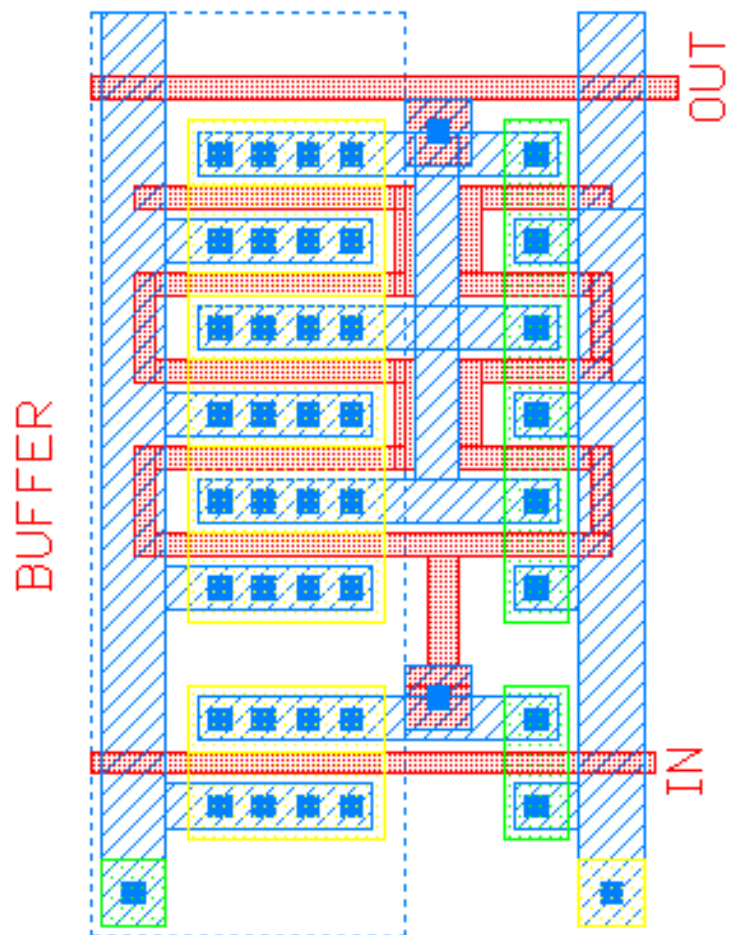


Imagem 48 - Layout do Buffer

Circuitos antes do Boundpad

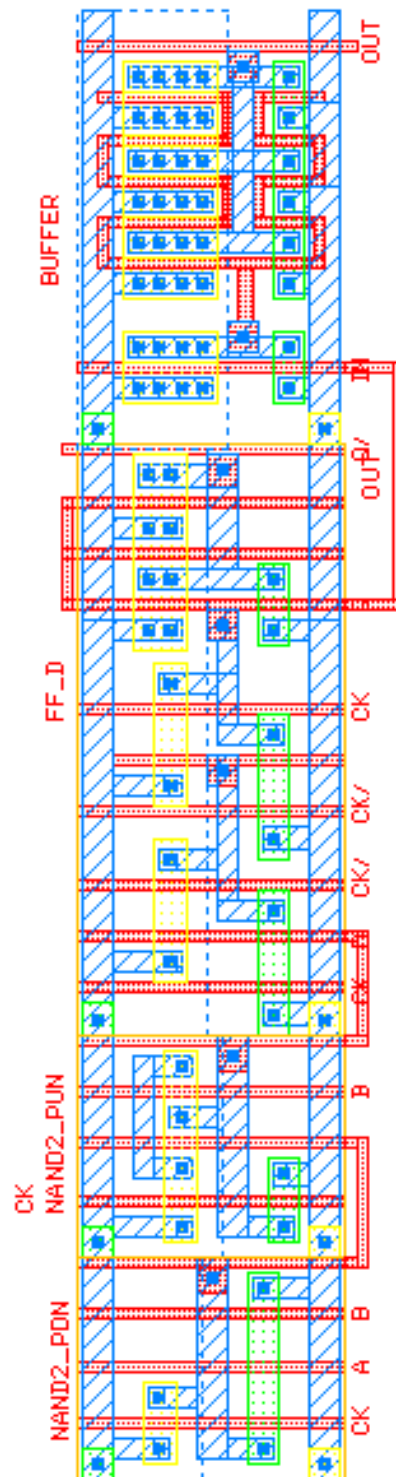


Imagem 49 – Layout do Circuito do Flip-Flop D₃

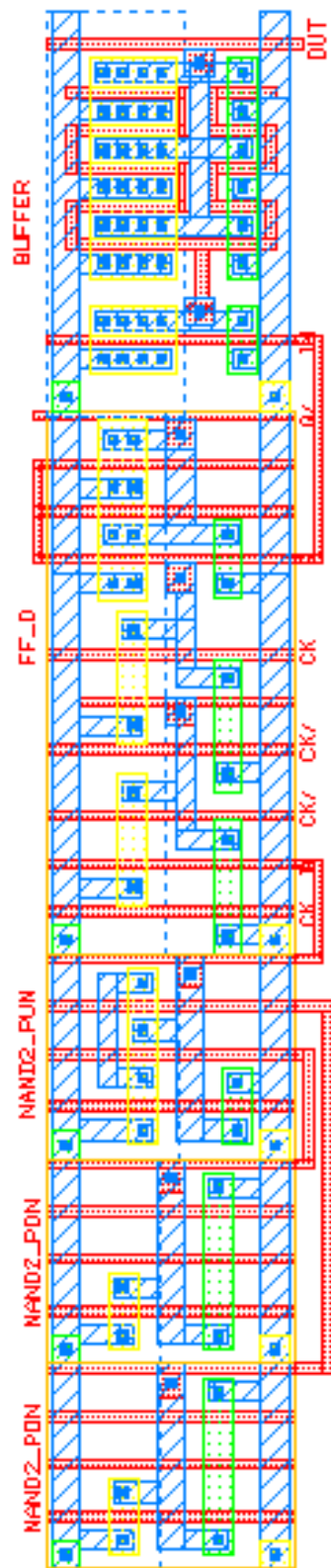


Imagem 50 – Layout do Circuito do Flip-Flop D2

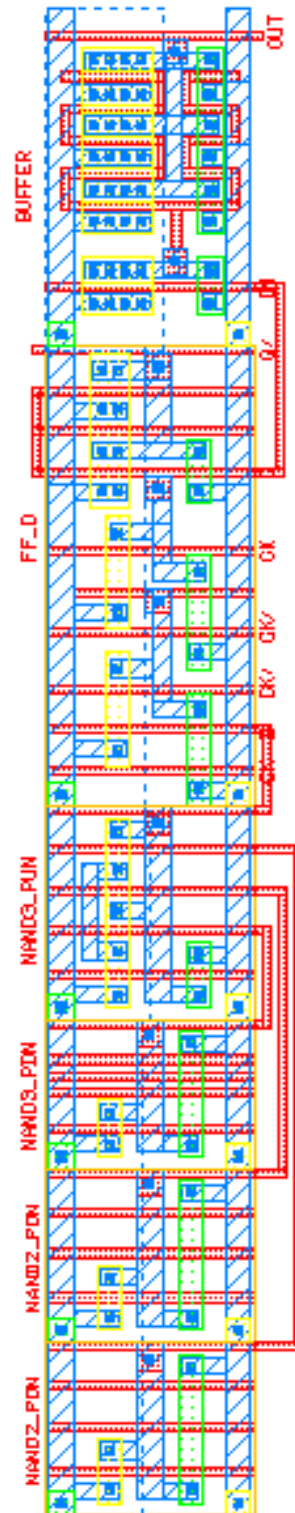


Imagem 51 – Layout do Circuito do Flip-Flop D₁

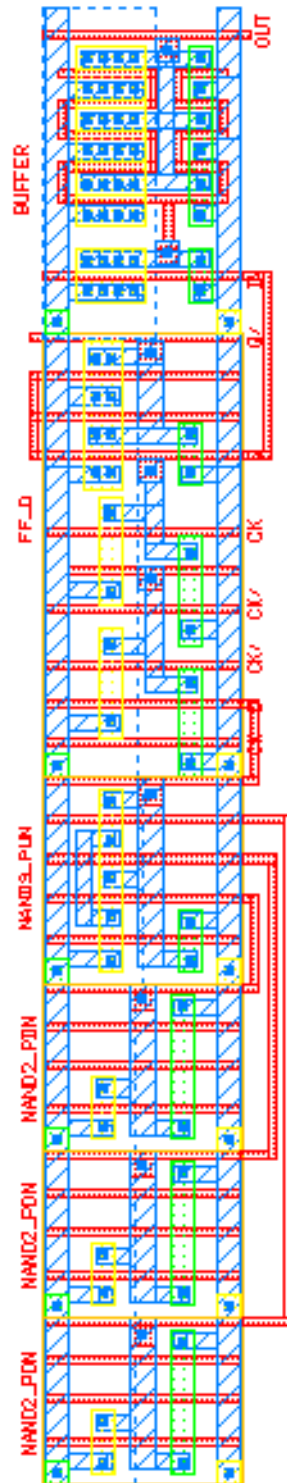
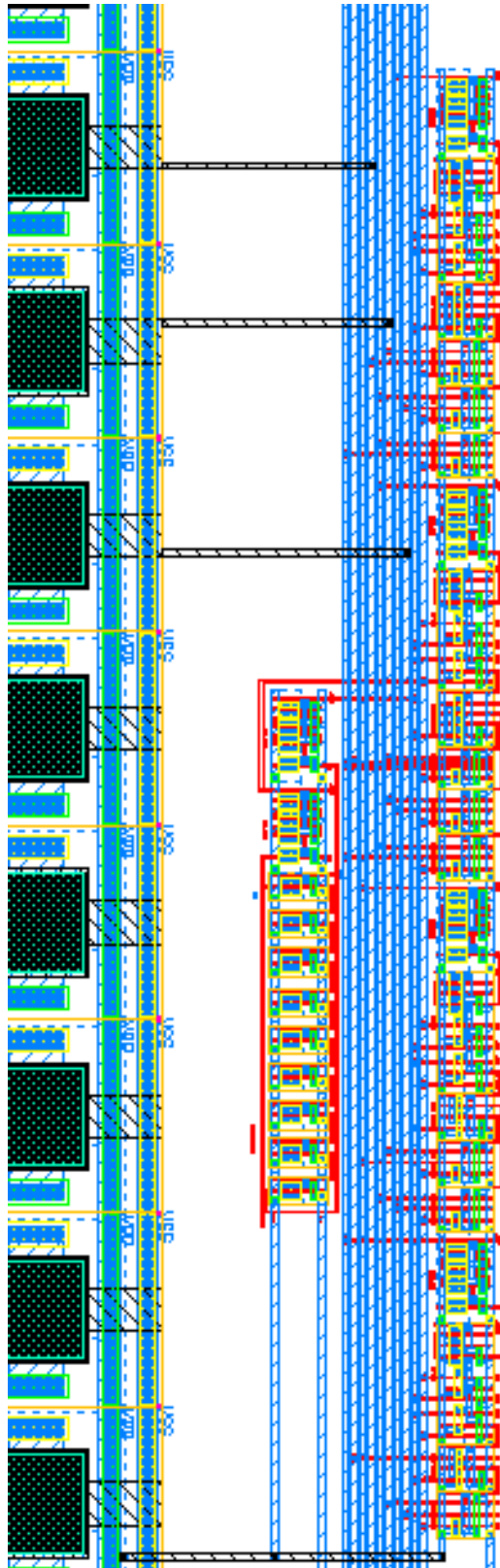


Imagem 52 – Layout do Circuito do Flip-Flop Do

Circuito montado no Boundpad*Imagem 53 – Layout do Circuito no Boundpad (Zoom In)*

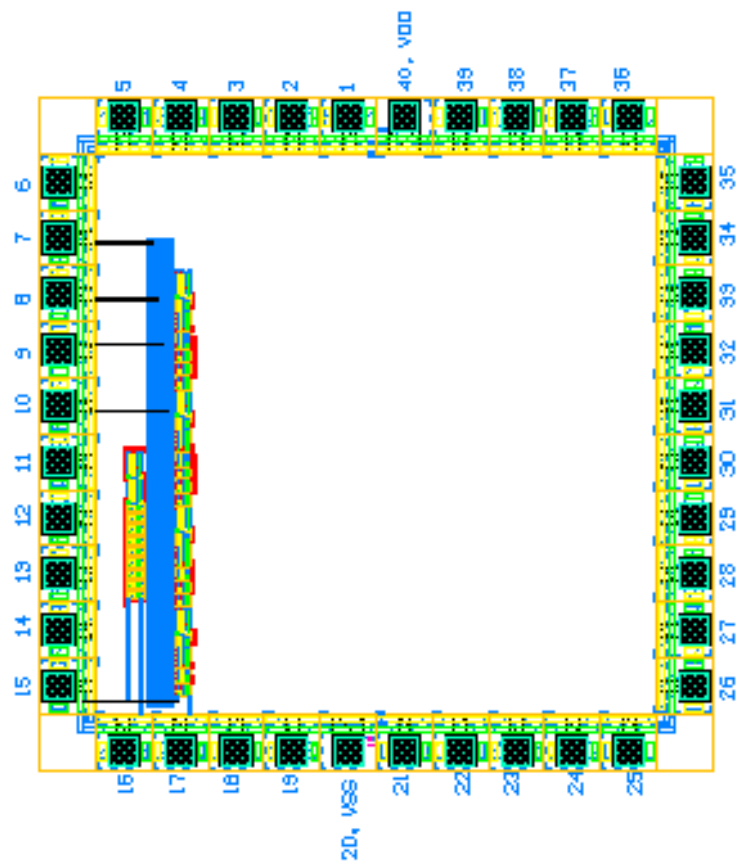


Imagem 54 – Layout do Circuito no Boundpad (Zoom Out)

Conclusão

O resultado do circuito foi o esperado, podemos verificar através dos resultados práticos que o circuito se comporta tal como era exigido. Temos tempos de propagação relativamente rápidos e os valores teóricos divergem dos práticos consideravelmente ().

É de realçar, mais uma vez, que o segundo andar do *Pipeline* é mais lento do que o primeiro devido ao Buffer introduzido no final dos Flip-Flops.

De seguida encontra-se uma tabela com a comparação dos tempos de propagação teóricos e práticos das portas mais lentas e frequências de funcionamento (Imagem 55)

	Teórico	Prático	Rácio (T/P %)
$t_{p1^{\circ} Andar}$	$825 \cdot 10^{-12} \text{s}$	$2,55 \cdot 10^{-9} \text{s}$	32%
$t_{p2^{\circ} Andar}$	$1,3 \cdot 10^{-9} \text{s}$	$3,56 \cdot 10^{-9} \text{s}$	37%
$f_{oscilador}$	529MHz	122MHz	433%

Imagem 55 – Tabela com Comparação dos Valores Práticos e Teóricos

Segundo aos erros no Oscilador podemos dizer que muito provavelmente há algum erro nos métodos utilizados (fórmulas), podemos ainda dizer que caso não considerasse-mos os Buffers do oscilador para os cálculos dos andares do mesmo iríamos obter 9 andares (número dos andares utilizados).

Podemos concluir que teoricamente devem existir algumas falhas quanto ao oscilador, mas que na prática tudo funciona como esperado com a máxima velocidade possível e menor dimensão possível.

