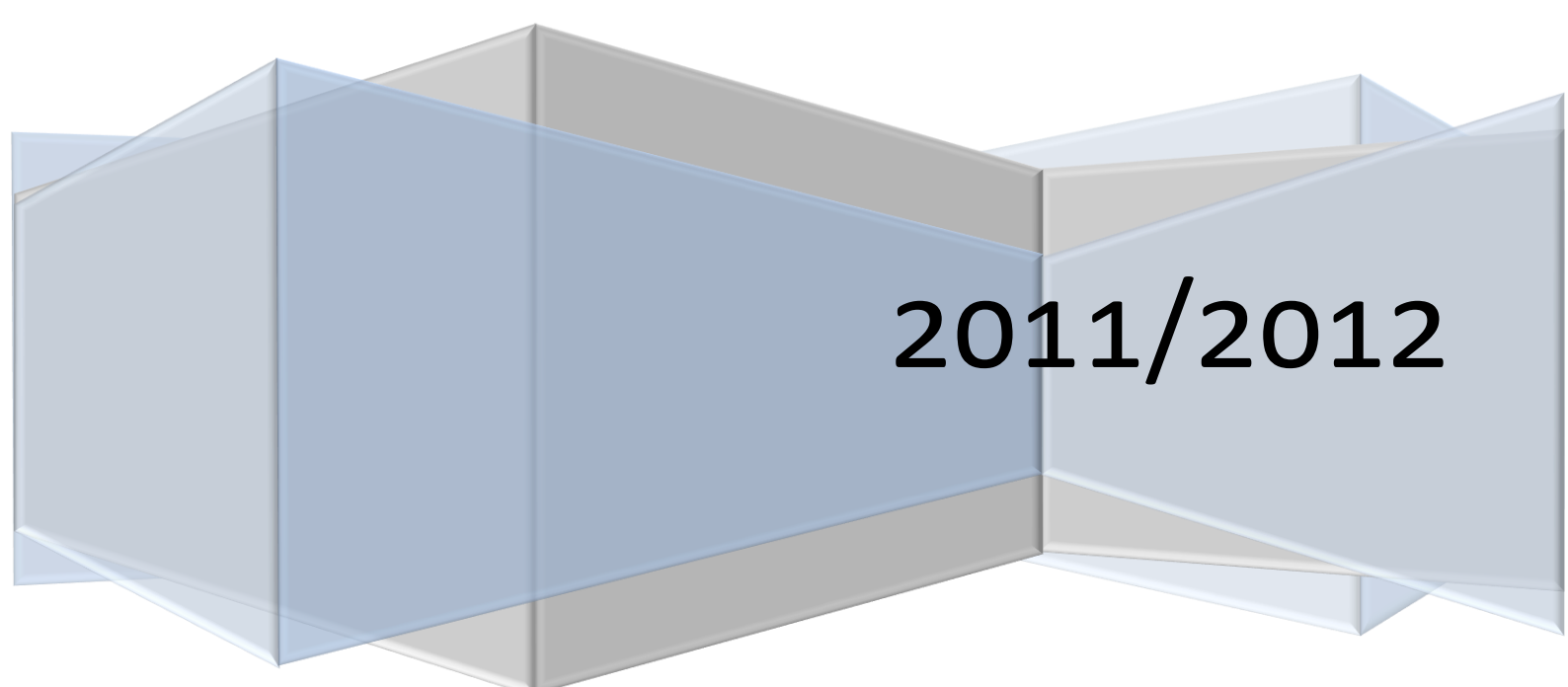


**Universidade do Algarve – FCT - DEEI**

# **Electrónica III**

**1º Projecto**

**João Martins Rei Nº40652 MIEET**



**2011/2012**

# Índice

<i>Síntese</i> .....	<b>2</b>
Circuitos das Saídas .....	6
Variáveis do Gerador de Sinais .....	11
Circuito de Testes .....	12
<i>Valores Teóricos</i> .....	<b>13</b>
Tempos de Propagação Teóricos .....	14
<i>Valores Práticos</i> .....	<b>15</b>
Gráficos dos Tempos de Propagação .....	16
Tabelas dos Tempos de Propagação Práticos .....	36
<i>Layout</i> .....	<b>37</b>
<i>Conclusão</i> .....	<b>40</b>

## Síntese

---

O objectivo deste trabalho é projectar, simular e fazer o layout de um circuito lógico com 3 entradas (I2, I1 e I0) e 5 saídas (O4,O3,O2,O1,O0) segundo a tabela de verdades fornecidas antecipadamente.

Para simular o circuito foi utilizado o programa PSPICE e para fazer o *layout* foi utilizado o LASI (LAIout System for Individuals) na tecnologia Orbit CN20.

I2	I1	I0	O4	O3	O2	O1	O0
0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	1
0	1	0	1	1	1	1	1
0	1	1	0	0	1	1	1
1	0	0	0	0	0	1	0
1	0	1	0	1	0	0	0
1	1	0	0	1	0	0	0
1	1	1	1	0	1	1	1

*Imagem 1: Tabela de verdade do circuito*

Da anterior tabela podemos projectar os outputs do circuito através de mapas de Karnaugh (Imagens 2,3,4,5 e 6).

	00	01	11	10
0	0	0	0	1
1	0	0	1	0

*Imagem 2: Mapa de Karnaugh do Output 4*

	00	01	11	10
0	0	0	0	1
1	0	1	0	1

*Imagem 3: Mapa de Karnaugh do Output 3*

	00	01	11	10
0	1	0	1	1
1	0	0	1	0

*Imagem 4: Mapa de Karnaugh do Output 2*

	00	01	11	10
0	1	0	1	1
1	1	0	1	0

*Imagem 5: Mapa de Karnaugh do Output 1*

	00	01	11	10
0	0	1	1	1
1	0	0	1	0

*Imagem 6: Mapa de Karnaugh do Output 0*

Dos anteriores Mapas de Karnaugh (Imagens 2,3,4,5 e 6) podemos retirar as seguintes equações booleanas<sup>1</sup>:

- $Output\ 4 = I_2 \cdot I_1 \cdot I_0 + \bar{I}_2 \cdot I_1 \cdot \bar{I}_0$
- $Output\ 3 = I_2 \cdot \bar{I}_1 \cdot I_0 + I_1 \cdot \bar{I}_0$
- $Output\ 2 = \bar{I}_2 \cdot \bar{I}_0 + \bar{I}_2 \cdot I_1 + I_1 \cdot I_0$
- $Output\ 1 = \bar{I}_1 \cdot \bar{I}_0 + I_1 \cdot I_0 + \bar{I}_2 \cdot I_1$
- $Output\ 0 = \bar{I}_2 \cdot I_0 + \bar{I}_2 \cdot I_1 + I_1 \cdot I_0$

Através dos outputs foram desenhados os circuitos digitais, os quais devem obedecer a determinadas regras:

- A tensão de alimentação (VDD) deve ser de 5V;

- Os sinais de entrada devem ter uma impedância de 50Ω;
- Deve ser projectado e desenhado em lógica estática complementar.
- Todos os *layouts* devem ser testados no LASI DRC (Design Rule Check) e passar os testes (36 testes padrão) sem erros (Flags).

Na projecção dos circuitos teve-se como objectivos:

- Funcionar á máxima frequência de operação possível, minimizando os tempos de propagação das portas ( $t_{pLH}$  e  $t_{pHL}$ );
- Minimizar a área do *layout* utilizando o LASI na tecnologia Orbit CN20, obedecendo sempre as regras da mesma.

Para projectar os circuitos em lógica complementar estática tem que se, em primeiro lugar, deduzir as expressões PDN (*Pull Down Network*) e PUN (*Pull Up Network*) dos circuitos.

Para isso utilizou-se a técnica da dupla negação individualmente para cada *output*, como mostrado abaixo:

- $Output\ 4 = I2.I1.I0 + \overline{I2}.I1.\overline{I0}$

$$PDN = \overline{\overline{I2.I1.I0 + \overline{I2}.I1.\overline{I0}}} = \overline{(\overline{I2} + \overline{I1} + \overline{I0}).(I2 + \overline{I1} + I0)}$$

$$PUN = \overline{\overline{I2.I1.I0 + \overline{I2}.I1.\overline{I0}}} = \overline{\overline{I2}.\overline{\overline{I1}.\overline{I0}} + \overline{I2}.\overline{\overline{I1}.\overline{I0}}}$$

*Variáveis de Entrada:  $\overline{I2}, \overline{I1}, \overline{I0}, I2, I0$ .*

- $Output\ 3 = I_2.\overline{I_1}.I_0 + I_1.\overline{I_0}$

$$PDN = \overline{\overline{I_2.\overline{I_1}.I_0 + I_1.\overline{I_0}}} = \overline{(\overline{I_2 + I_1 + \overline{I_0}}).(\overline{I_1 + I_0})}$$

$$PUN = \overline{\overline{I_2.\overline{I_1}.I_0 + I_1.\overline{I_0}}} = \overline{\overline{I_2}.\overline{\overline{I_1}}.\overline{\overline{I_0}} + \overline{\overline{I_1}}.\overline{\overline{I_0}}}$$

Variáveis de Entrada:  $\overline{I_2}, \overline{I_1}, \overline{I_0}, I_1, I_0$ .

- $Output\ 2 = \overline{I_2}.\overline{I_0} + \overline{I_2}.I_1 + I_1.I_0$

$$PDN = \overline{\overline{\overline{I_2}.\overline{I_0} + \overline{I_2}.I_1 + I_1.I_0}} = \overline{(I_2 + I_0).(I_2 + \overline{I_1}).(\overline{I_1} + \overline{I_0})}$$

$$PUN = \overline{\overline{\overline{I_2}.\overline{I_0} + \overline{I_2}.I_1 + I_1.I_0}} = \overline{\overline{I_2}.\overline{\overline{I_0}} + \overline{\overline{I_2}}.\overline{\overline{I_1}} + \overline{\overline{I_1}}.\overline{\overline{I_0}}}$$

Variáveis de Entrada:  $\overline{I_1}, \overline{I_0}, I_2, I_0$ .

- $Output\ 1 = \overline{I_1}.\overline{I_0} + I_1.I_0 + \overline{I_2}.I_1$

$$PDN = \overline{\overline{\overline{\overline{I_1}.\overline{I_0} + I_1.I_0 + \overline{I_2}.I_1}}} = \overline{(I_1 + I_0).(\overline{I_1} + \overline{I_0}).(\overline{I_2} + \overline{I_1})}$$

$$PUN = \overline{\overline{\overline{\overline{I_1}.\overline{I_0} + I_1.I_0 + \overline{I_2}.I_1}}} = \overline{\overline{\overline{I_1}}.\overline{\overline{\overline{I_0}}}} + \overline{\overline{\overline{I_1}}.\overline{\overline{\overline{I_0}}}} + \overline{\overline{\overline{I_2}}.\overline{\overline{\overline{I_1}}}}$$

Variáveis de Entrada:  $\overline{I_1}, \overline{I_0}, I_2, I_1, I_0$ .

- $Output\ 0 = \overline{I_2}.I_0 + \overline{I_2}.I_1 + I_1.I_0$

$$PDN = \overline{\overline{\overline{\overline{\overline{I_2}.I_0 + \overline{I_2}.I_1 + I_1.I_0}}}}} = \overline{(I_2 + \overline{I_0}).(I_2 + \overline{I_1}).(I_1 + I_0)}$$

$$PUN = \overline{\overline{\overline{\overline{\overline{I_2}.I_0 + \overline{I_2}.I_1 + I_1.I_0}}}}} = \overline{\overline{\overline{I_2}}.\overline{\overline{\overline{I_0}}}} + \overline{\overline{\overline{I_2}}.\overline{\overline{\overline{I_1}}}} + \overline{\overline{\overline{I_1}}.\overline{\overline{\overline{I_0}}}}$$

Variáveis de Entrada:  $\overline{I_1}, \overline{I_0}, I_2$ .

Com as expressões PDN e PUN foram desenhados no PSPICE os circuitos para cada um dos outputs (Imagens 7,8,9,10 e 11).

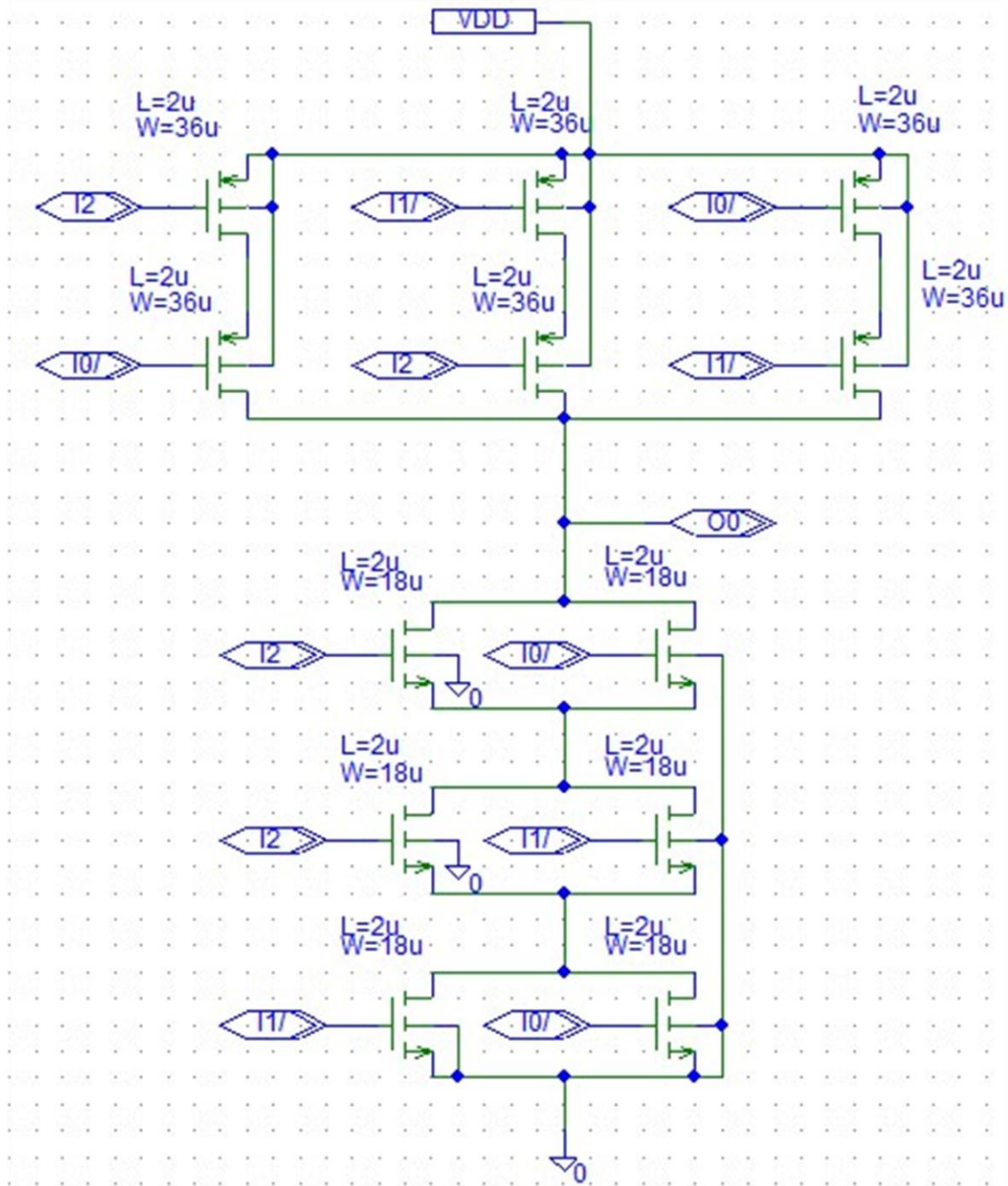


Imagem 7: Circuito do Output 0

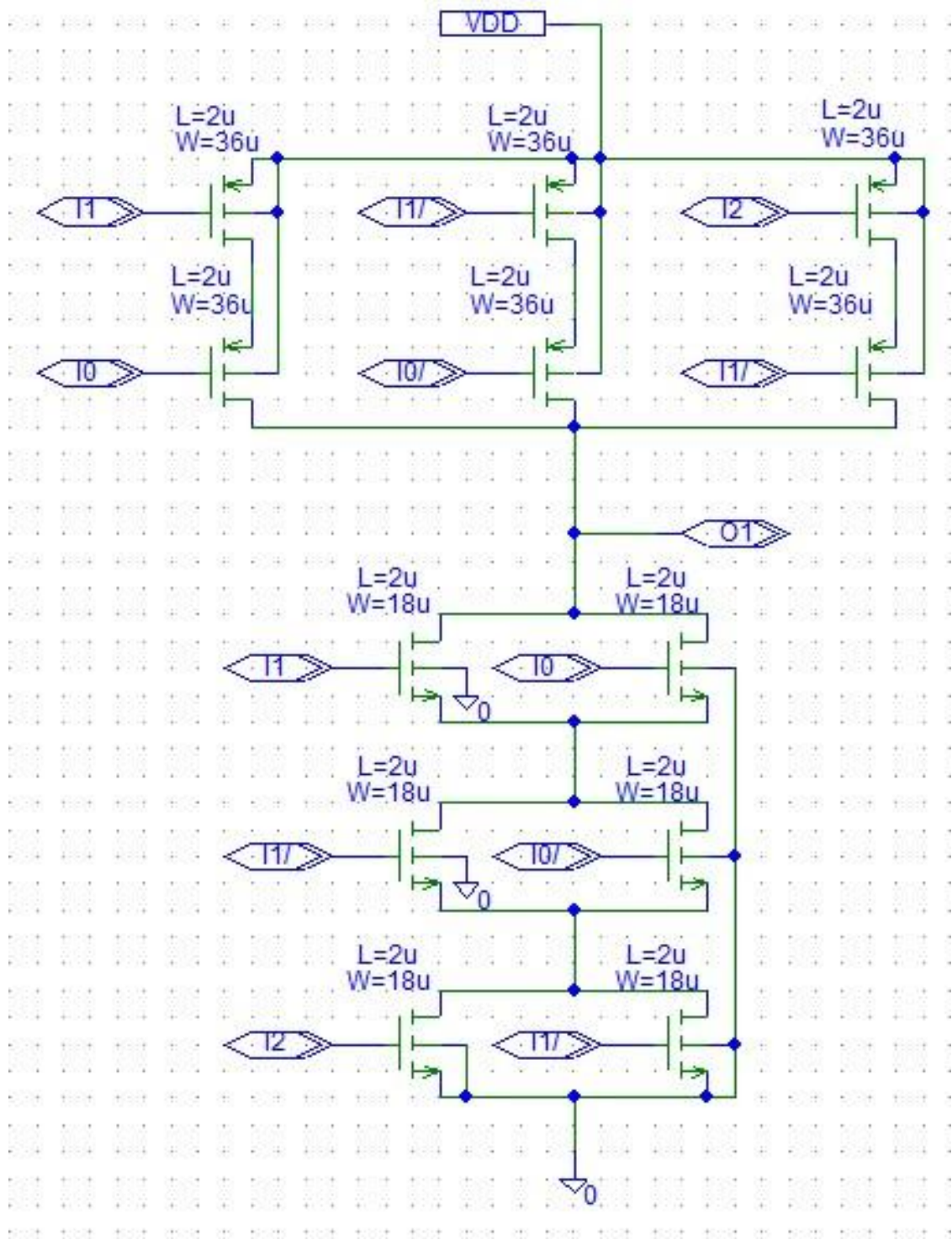


Imagem 8: Circuito do Output 1



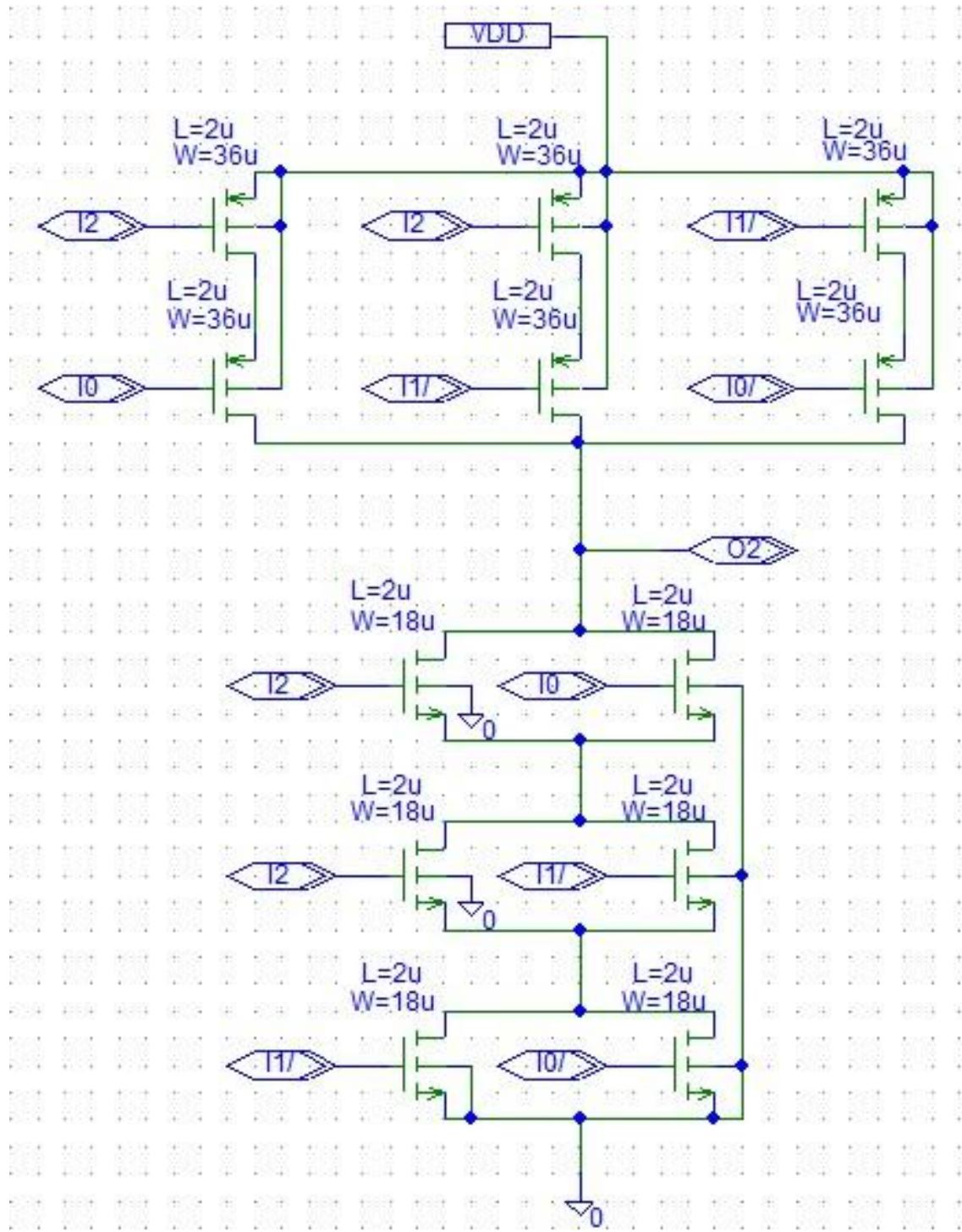
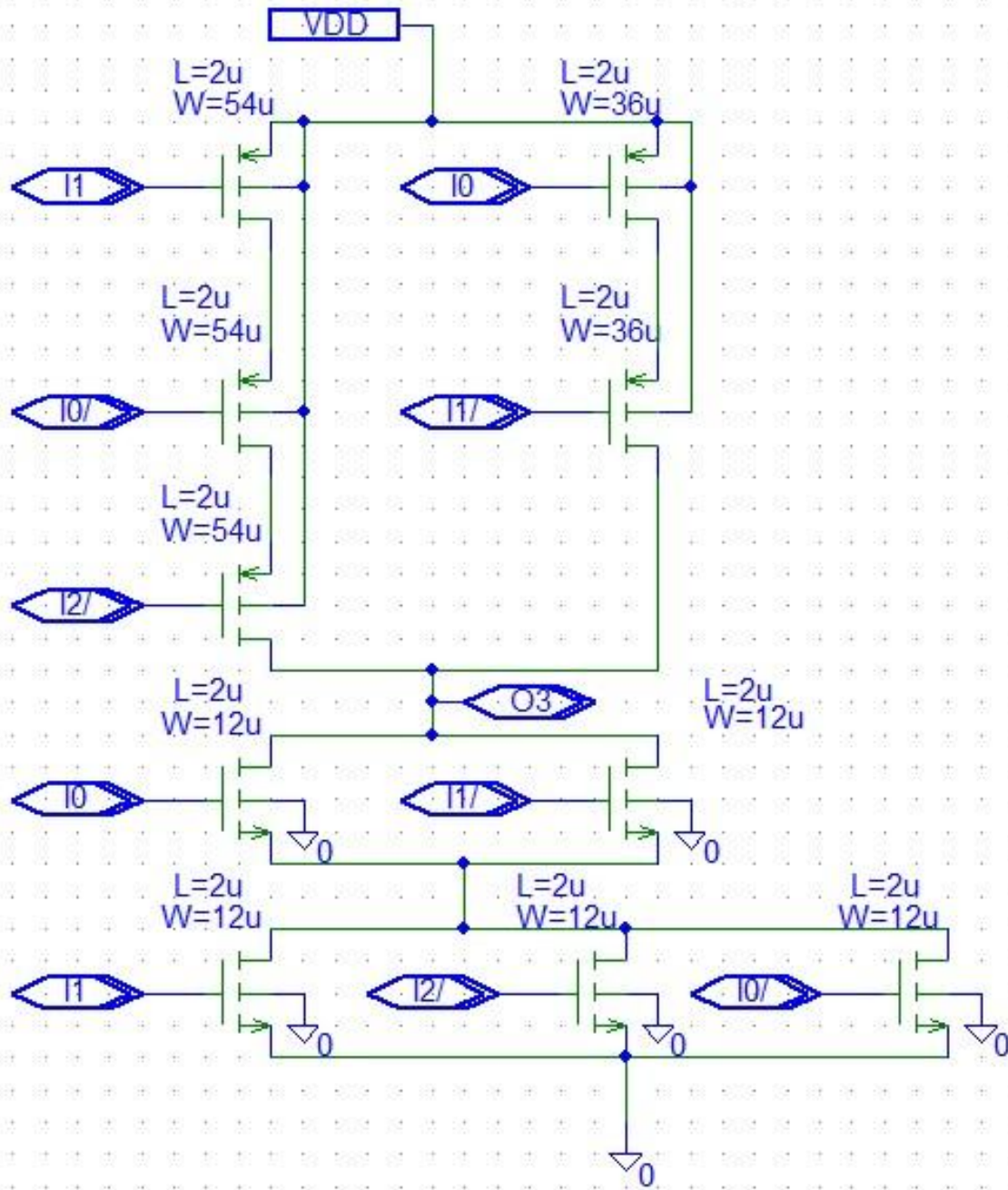


Imagem 9: Circuito do Output 2



Output 10: Circuito do Output 3

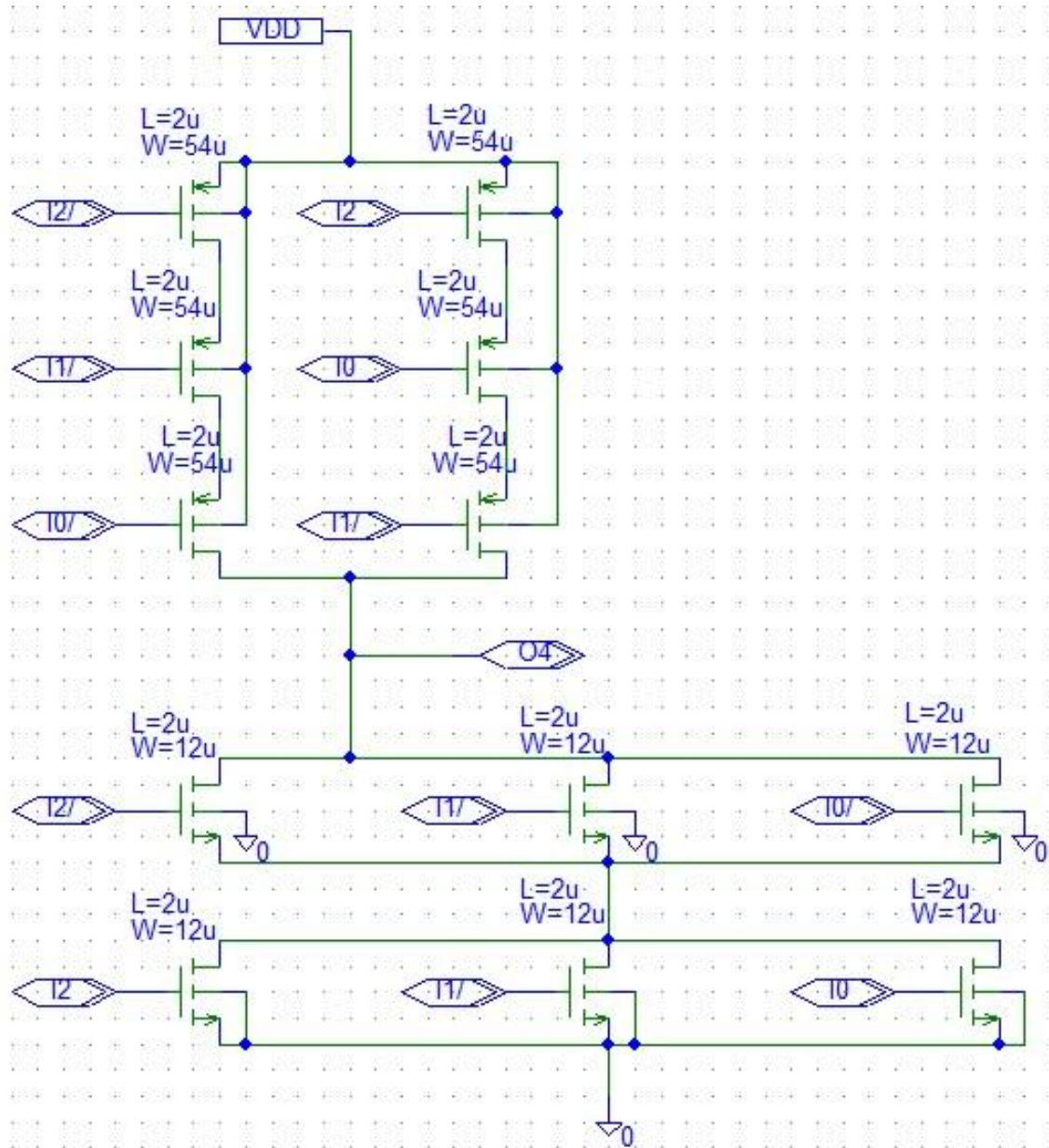


Imagem 11: Circuito do Output 4

De seguida cada um dos outputs foi “simbolizado” individualmente de modo a montar um circuito de testes.

O circuito de testes foi montado com base nos conhecimentos das aulas práticas, como mostrado na Imagem 13.

Foram usados 6 geradores de sinal, sendo 3 (I0,I1 e I2) deles o inverso dos outros 3 (I0/, I1/, I2/<sup>1</sup>).

Os parâmetros utilizados nos geradores de sinal foram os tabulados (imagem 12).

Foram utilizadas resistências de 50Ω nos geradores de sinal de modo a simular as impedâncias de saída dos mesmos.

	I0	I0/	I1	I1/	I2	I2/
V1	0	5	0	5	0	5
V2	5	0	5	0	5	0
TD	10ns	10ns	20ns	20ns	40ns	40ns
TR	0.1ns	0.1ns	0.1ns	0.1ns	0.1ns	0.1ns
TF	0.1ns	0.1ns	0.1ns	0.1ns	0.1ns	0.1ns
PW	10ns	10ns	20ns	20ns	40ns	40ns
PER	20ns	20ns	40ns	40ns	80ns	80ns

*Imagem 12: Tabela de Variáveis dos Geradores de Sinal*

<sup>1</sup> A “/” designa o sinal negado.

Deste modo temos todos os pré-requisitos reunidos para procedermos ao cálculo dos valores teóricos e também à obtenção de valores práticos, assim como a projecção e desenho dos *layouts* em LASI.

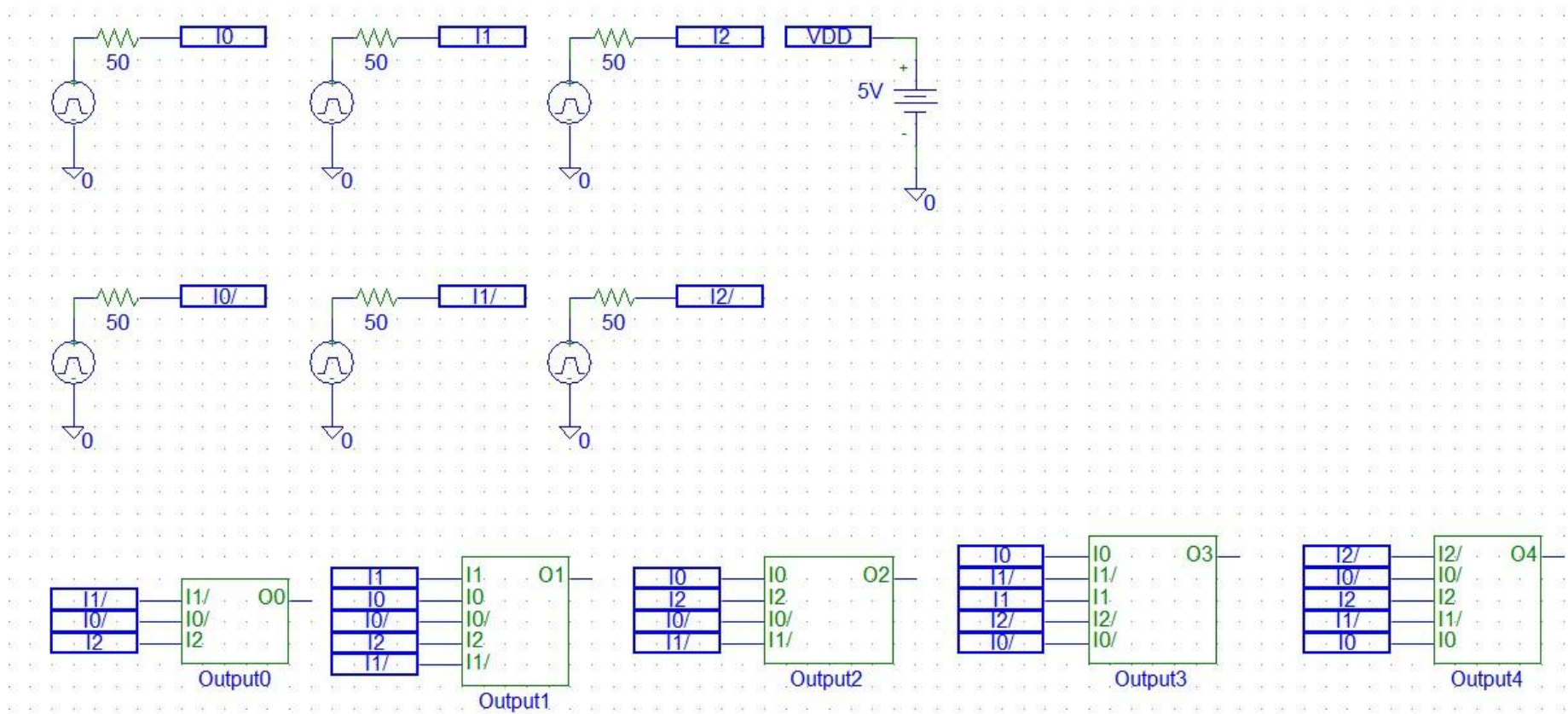


Imagem 13: Circuito de Testes

## Valores Teóricos

---

Na parte teórica deste trabalho vamos ter que calcular os tempos de propagação dos circuitos, recorrendo às seguintes fórmulas:

$$t_{pLH} = V_T \cdot R_{PMOS} \cdot C_{LOAD}$$

$$t_{pHL} = V_T \cdot R_{NMOS} \cdot C_{LOAD}$$

Sendo que  $t_{pLH}$  designa o tempo de propagação quando a tensão do circuito sobe de 0V para 5V e  $t_{pHL}$  designa o tempo de propagação quando a tensão do circuito desce de 5V para 0V.

Para podermos calcular os tempos de propagação temos que saber o  $V_T$  o qual já é um valor previamente conhecido da Electrónica I, calcular  $C_{LOAD}$ ,  $R_{NMOS}$  e  $R_{PMOS}$  os quais podem ser calculados utilizando as seguintes fórmulas:

$$R_{NMOS} = \frac{1}{\mu \cdot C_{OX} \frac{W}{L} (V_{DD} - |V_T|)} = 1.7765k\Omega$$

$$R_{PMOS} = \frac{1}{\mu \cdot C_{OX} \frac{W}{L} (V_{DD} - |V_T|)} = 1.7827k\Omega$$

$$C_{LOAD} = C_{jPMOS} \cdot LDE \cdot \sum W_{PMOS} + C_{jNMOS} \cdot LDE \cdot \sum W_{NMOS}$$

A  $R_{NMOS}$  (Resistência do Transístor NMOS) e a  $R_{PMOS}$  (Resistência do Transístor PMOS) são constantes para todos os circuitos devido ao dimensionamento dos transístores na tecnologia em uso (ORBIT CN20).

O valor  $C_{LOAD}$  (Capacidade quando em LOAD) vai variar para cada circuito devido ao tamanho e ao número de transístores do mesmo ( $\sum W_{PMOS}$  e  $\sum W_{NMOS}$ ), enquanto que os valores de LDE,  $C_{j_{PMOS}}$  e  $C_{j_{NMOS}}$  são constantes. O valor de LDE (comprimento da zona de difusão) vai ser  $7 \times 10^6 \text{ metros}$ ,  $C_{j_{PMOS}}$  (Capacidade da Junção do PMOS) é  $3.2456 \times 10^{-4} F$  e  $C_{j_{NMOS}}$  (Capacidade da Junção do NMOS) é  $1.0375 \times 10^{-4} F$ .

Para simplificar os cálculos vamos apenas considerar as portas mais perto do output, o que vai originar um erro considerável pois o tempo de propagação das outras portas também devia ser considerado. Por outro lado, vamos desenhar o circuito com as portas colocadas de modo a que o tempo de propagação seja o menor possível.

O tempo de propagação calculado teoricamente dos Outputs 0,1 e 2 vai ser o mesmo porque o desenho do circuito é exactamente o mesmo, porque não vamos considerar a velocidade dos sinais.

### Tempos de propagação teóricos dos circuitos:

#### Output 0/1/2:

$$\begin{aligned} t_{pLH} &= V_T \cdot R_{PMOS} \cdot C_{LOAD} = (0,7)(1,7827 * 10^3)(271,82 * 10^{-15}) \\ &= 338,82 * 10^{-12} s \end{aligned}$$

$$\begin{aligned} t_{pHL} &= V_T \cdot R_{NMOS} \cdot C_{LOAD} = (0,7)(1,7765 * 10^3)(271,82 * 10^{-15}) \\ &= 337,64 * 10^{-12} s \end{aligned}$$



*Output 3:*

$$\begin{aligned}t_{pLH} &= V_T \cdot R_{PMOS} \cdot C_{LOAD} = (0,7)(1,7827 * 10^3)(230,62 * 10^{-15}) \\ &= 287,79 * 10^{-12} s\end{aligned}$$

$$\begin{aligned}t_{pHL} &= V_T \cdot R_{NMOS} \cdot C_{LOAD} = (0,7)(1,7765 * 10^3)(230,62 * 10^{-15}) \\ &= 286,78 * 10^{-12} s\end{aligned}$$

*Output 4:*

$$\begin{aligned}t_{pLH} &= V_T \cdot R_{PMOS} \cdot C_{LOAD} = (0,7)(1,7827 * 10^3)(271,5 * 10^{-15}) \\ &= 338,82 * 10^{-12} s\end{aligned}$$

$$\begin{aligned}t_{pHL} &= V_T \cdot R_{NMOS} \cdot C_{LOAD} = (0,7)(1,7765 * 10^3)(271,5 * 10^{-15}) \\ &= 338,82 * 10^{-12} s\end{aligned}$$

Os tempos de propagação anteriores foram ainda verificados através de um script simples feito em MATLAB.

## ***Valores Práticos***

---

Os valores práticos foram simulados no PSPICE (através do processo já explicado na síntese deste relatório).

A simulação no PSPICE consiste em utilizar a resposta transiente com um print step de 0.1ns e um final time de 80ns.

Desta simulação foram obtidos os resultados seguintes: (Imagens 14 a 33)

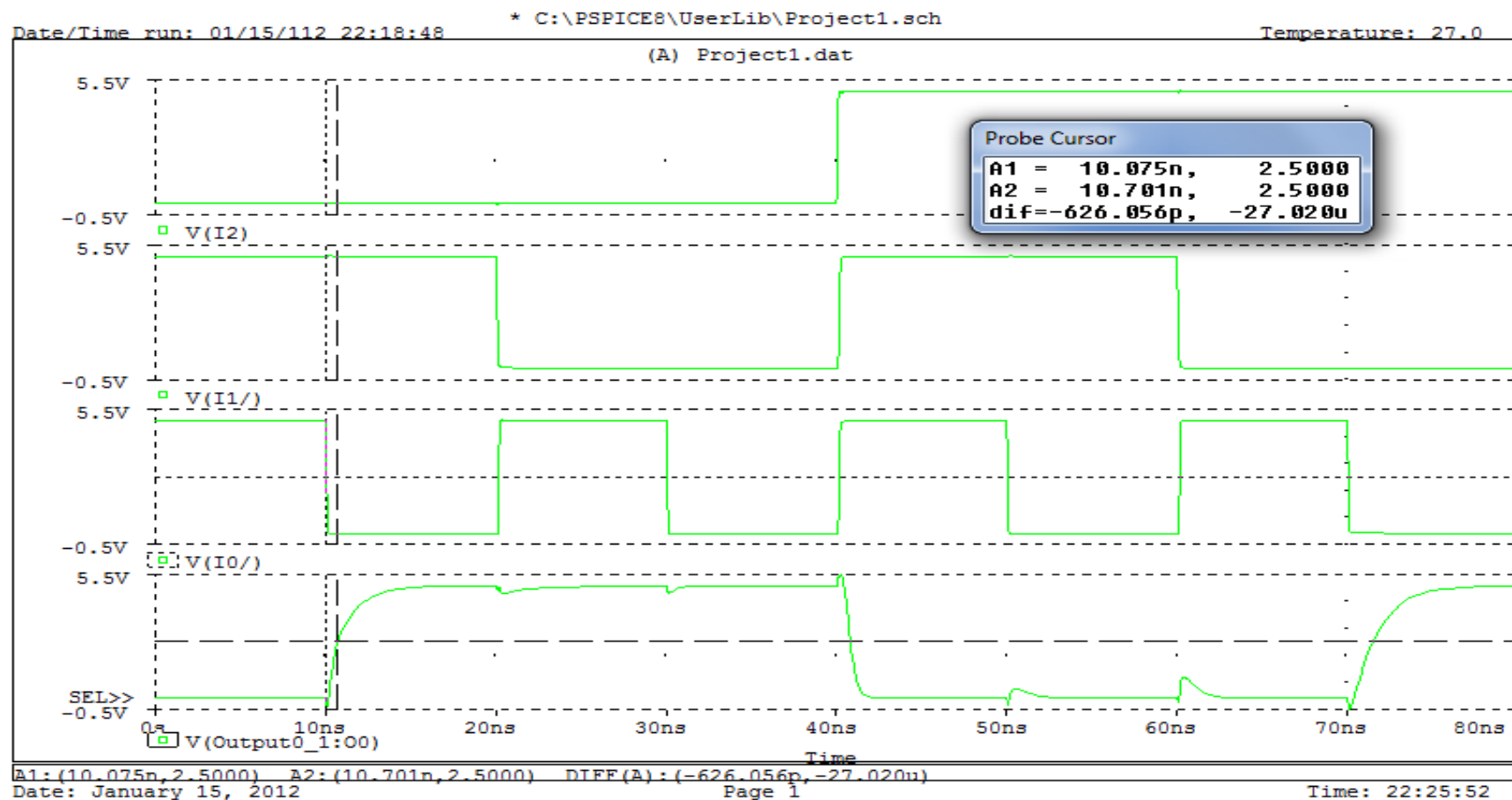


Imagem 14: Tempo de Subida (LH) do Output 0 (Zoom Out)

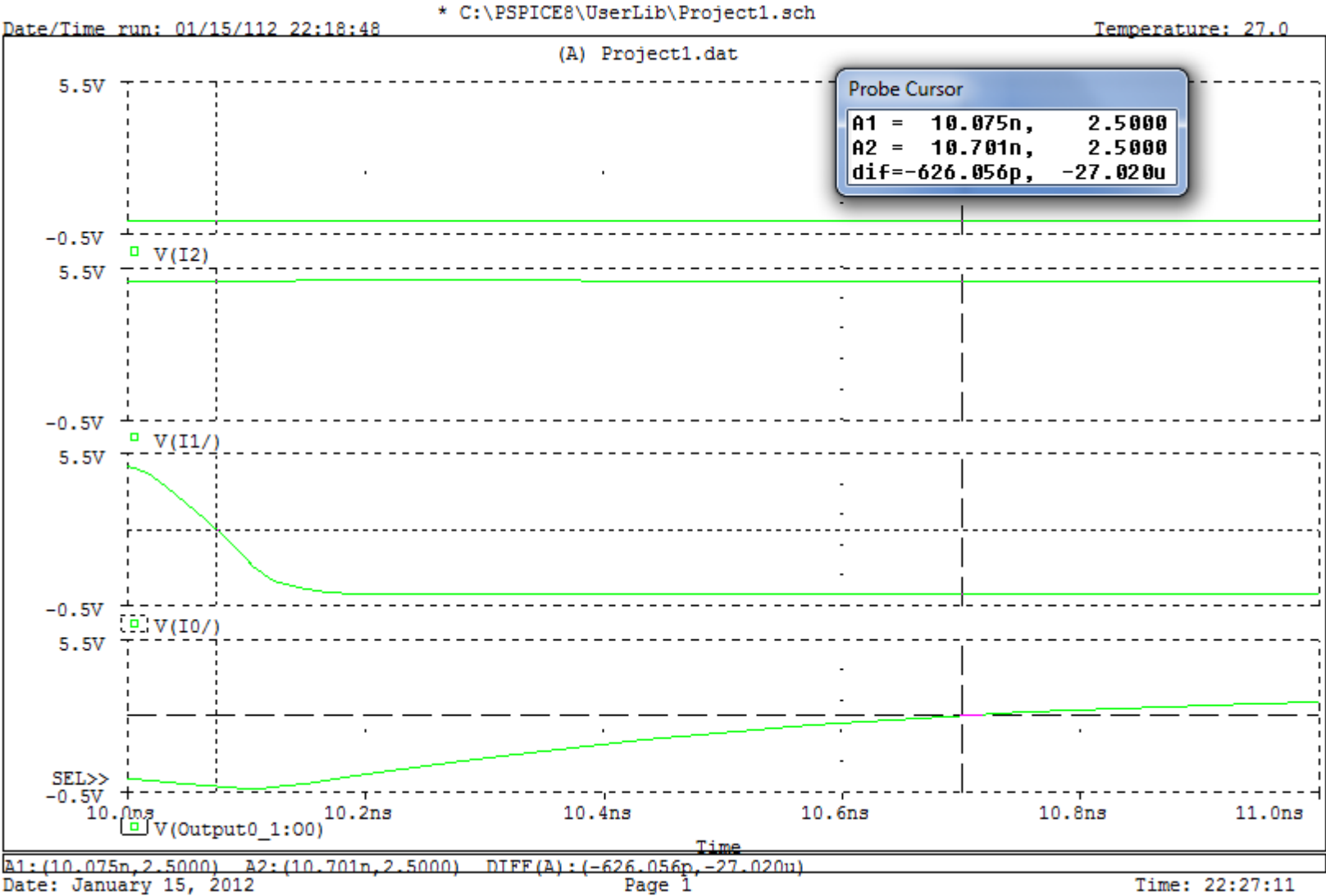


Imagem 15: Tempo de Subida (LH) do Output 0 (Zoom In)

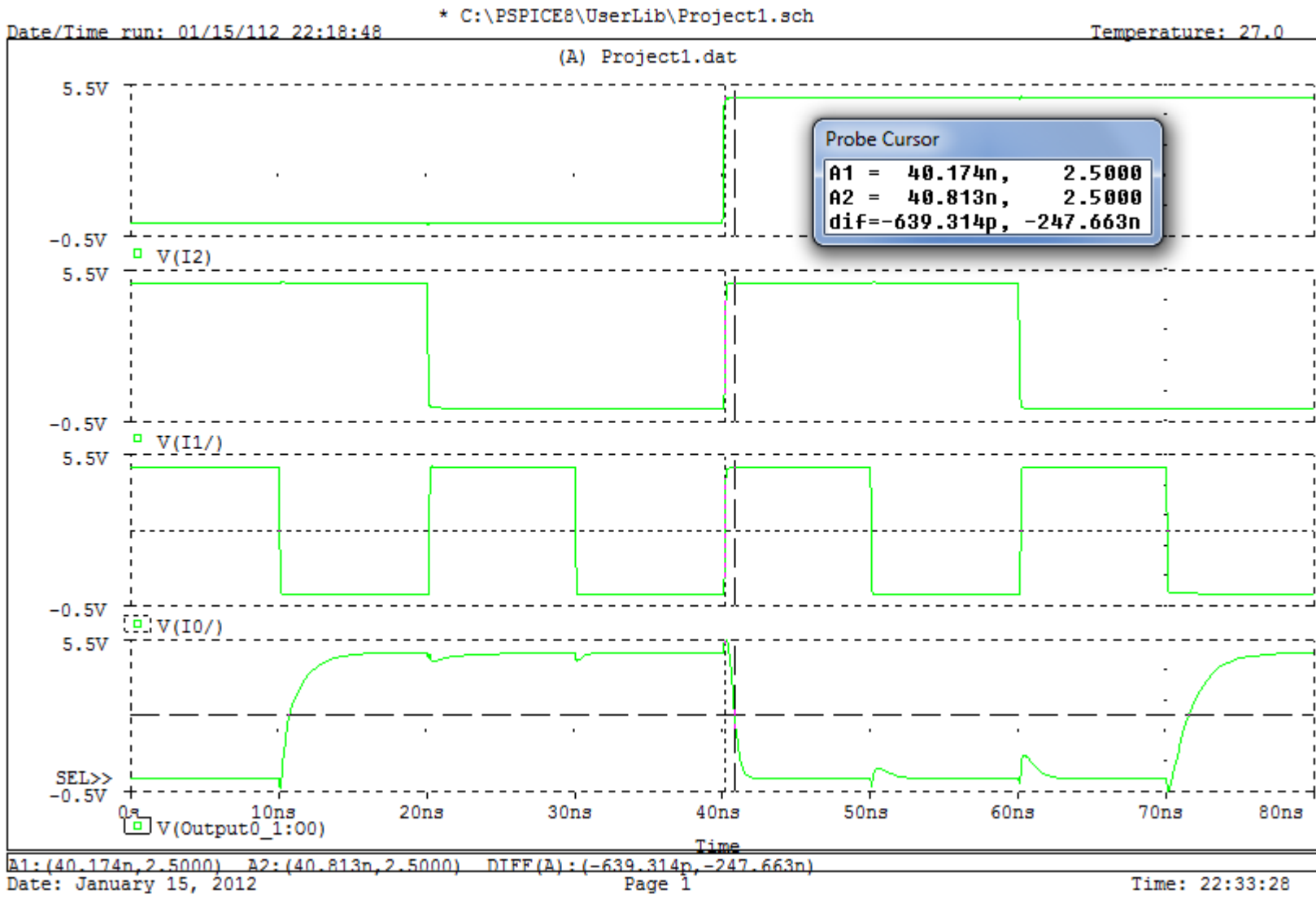


Imagem 16: Tempo de Descida (HL) do Output 0 (Zoom Out)

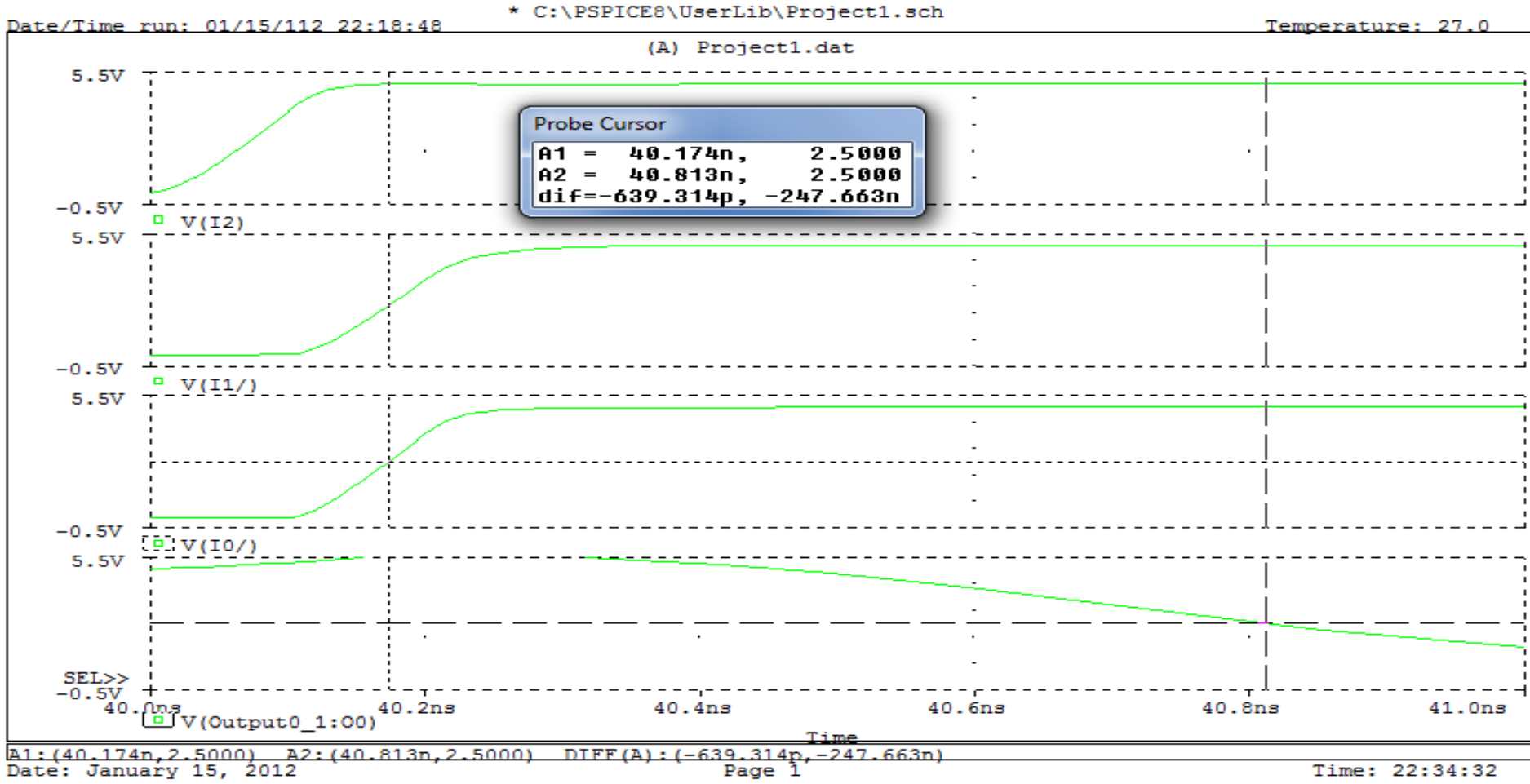


Imagem 17: Tempo de Descida (HL) do Output 0 (Zoom In)

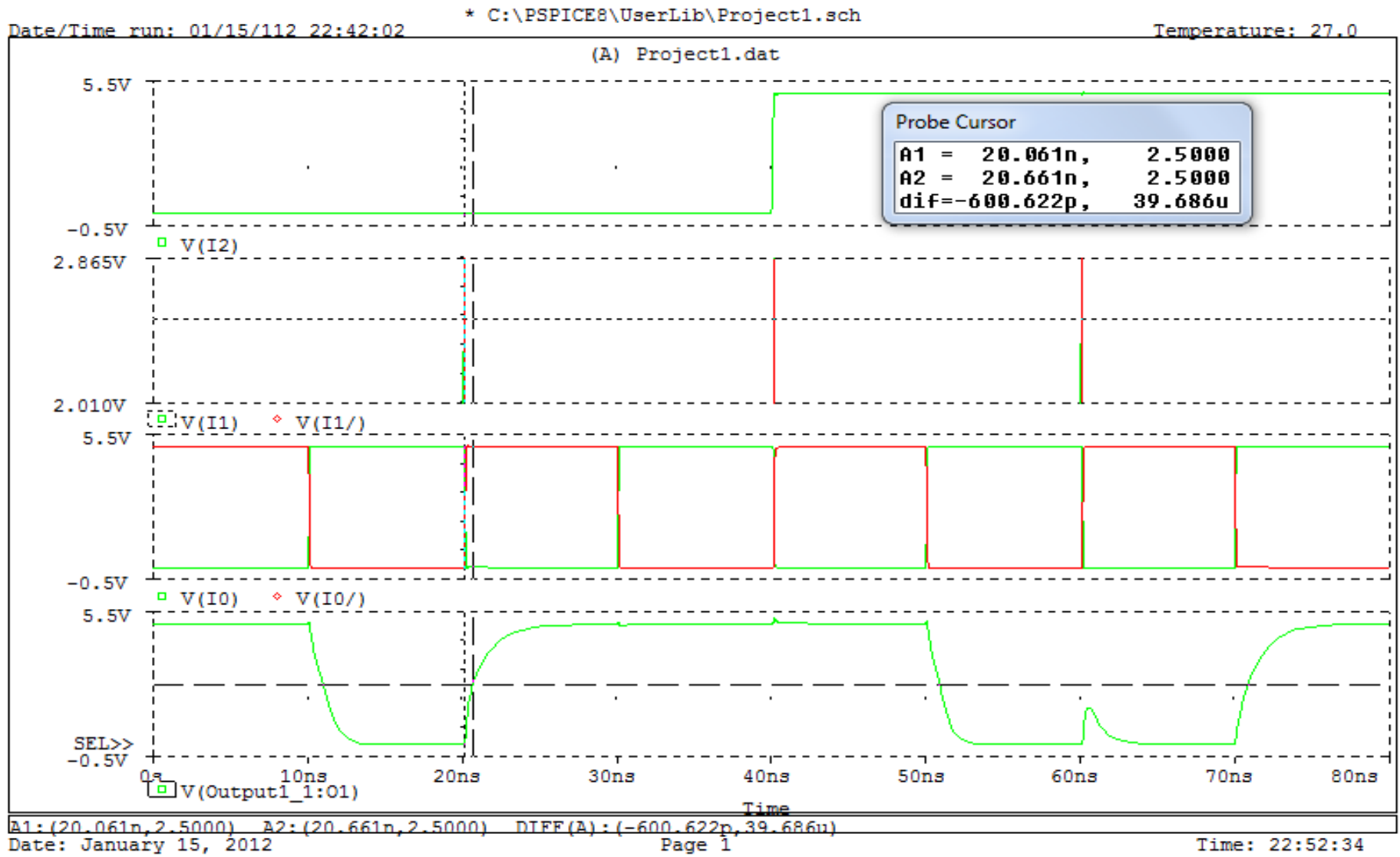


Imagem 18: Tempo de Subida (LH) do Output 1 (Zoom Out)

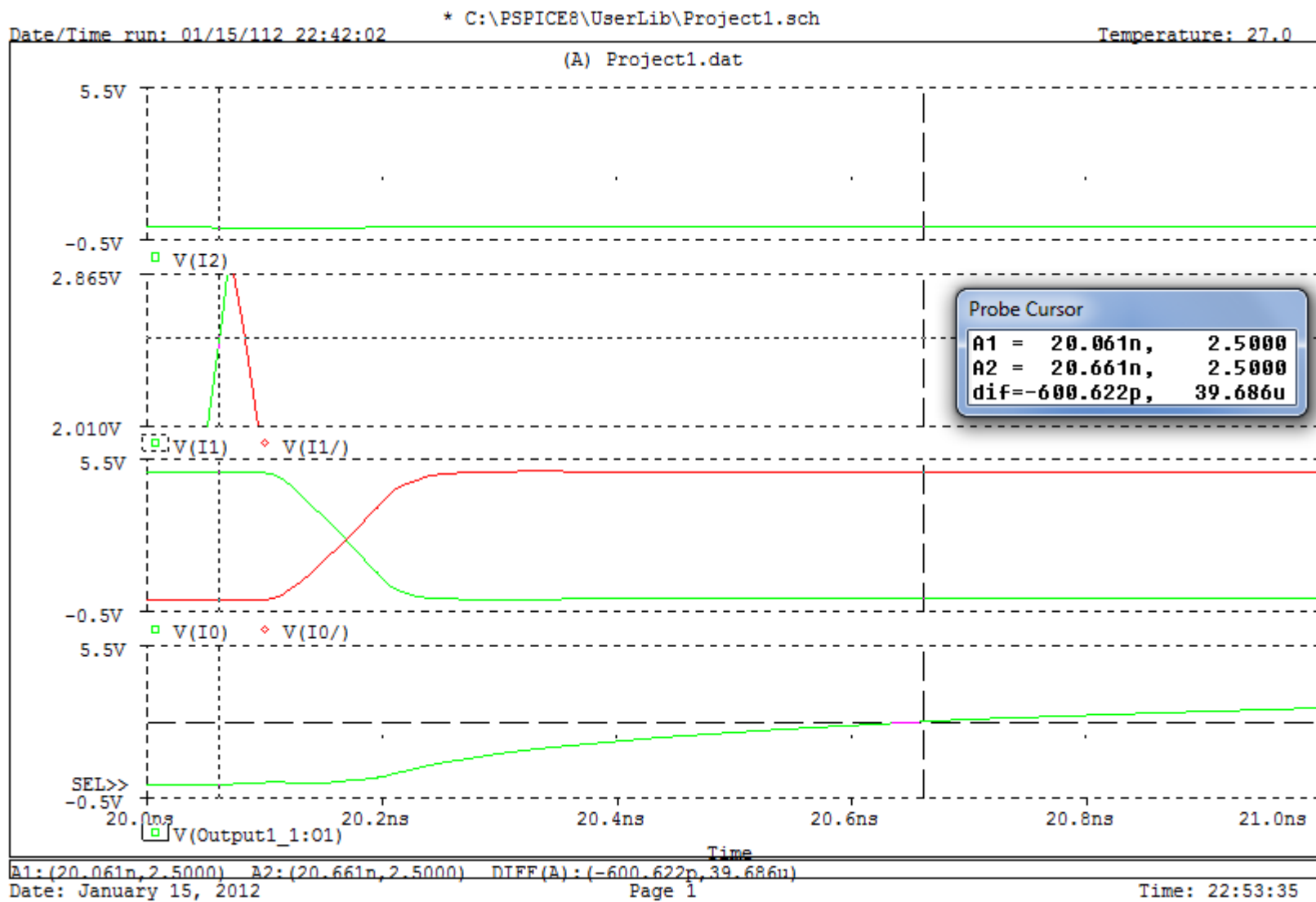


Imagem 19: Tempo de Subida (LH) do Output 1 (Zoom In)

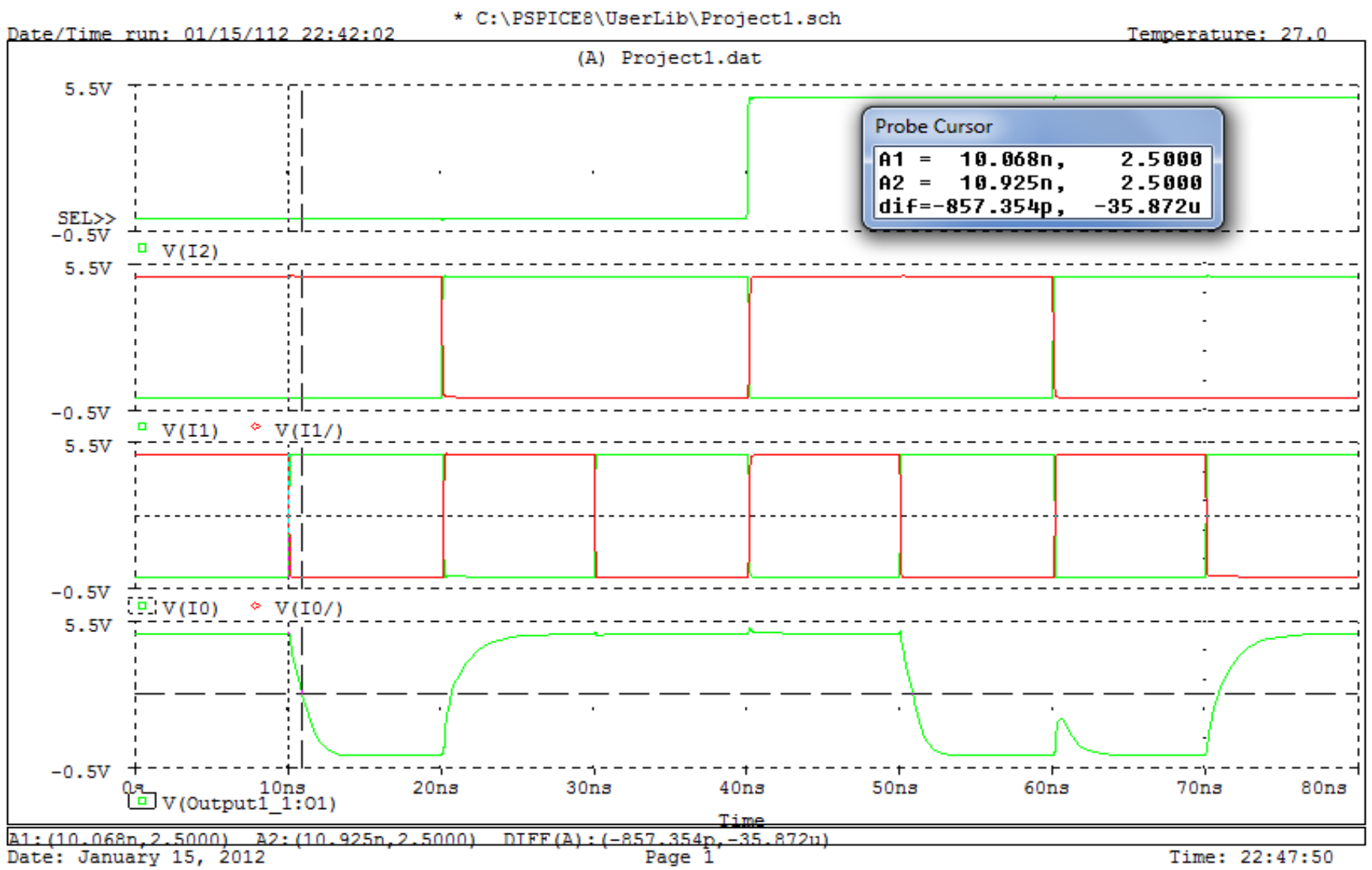


Imagem 20: Tempo de Descida (HL) do Output 1 (Zoom Out)



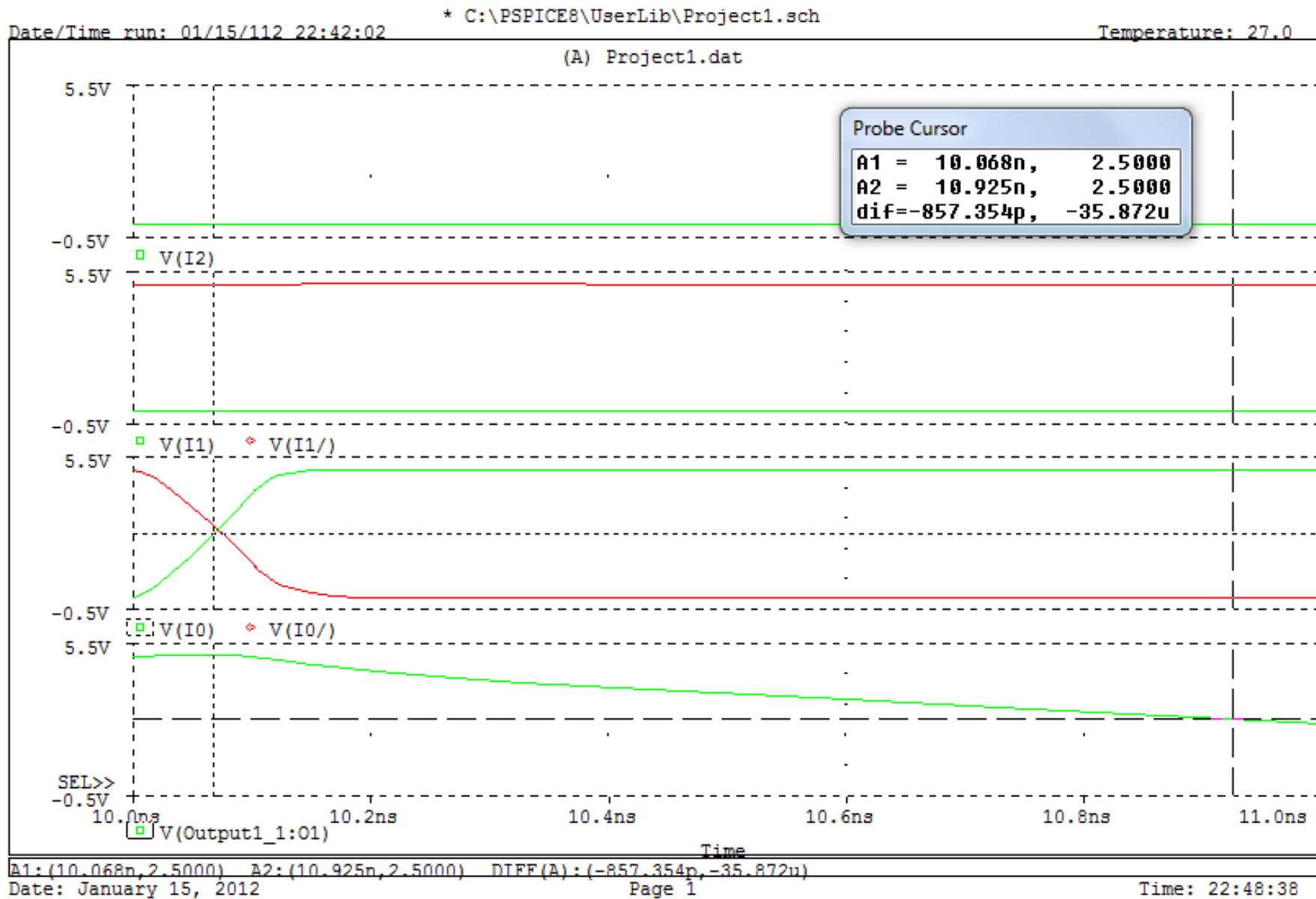


Imagem 21: Tempo de Descida (HL) do Output 1 (Zoom In)

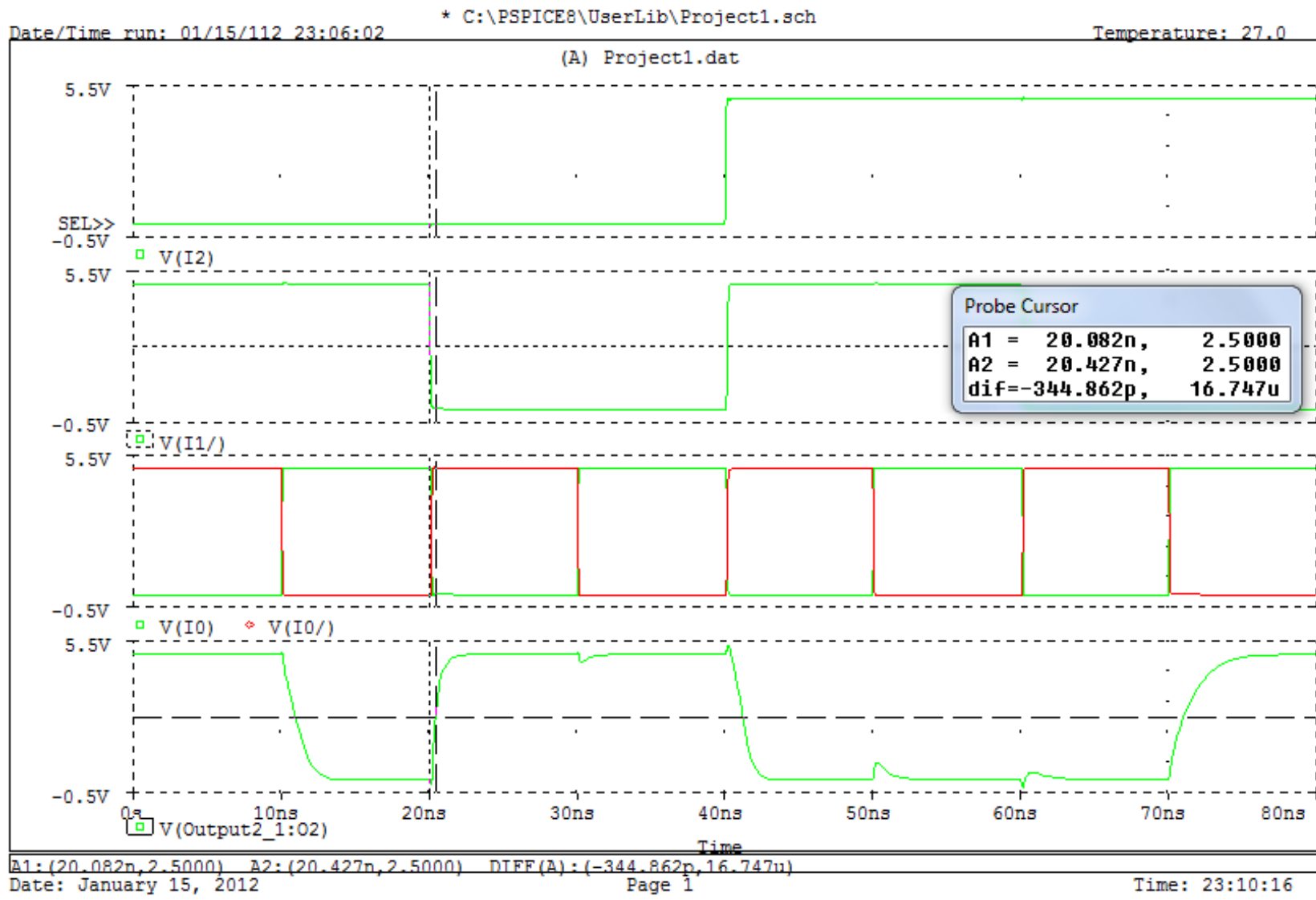


Imagem 22: Tempo de Subida (LH) do Output 2 (Zoom Out)

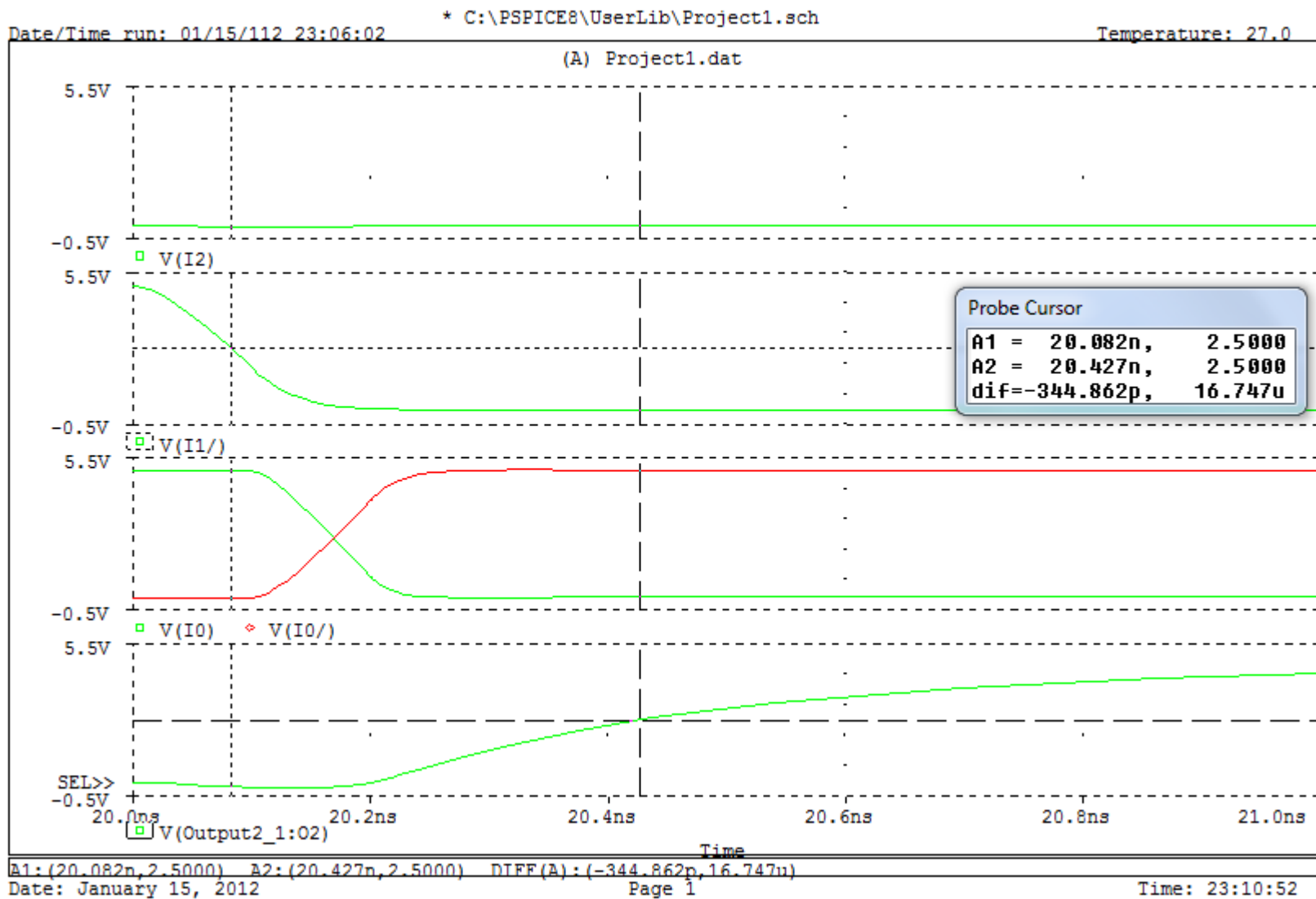


Imagem 23: Tempo de Subida (LH) do Output 2 (Zoom In)

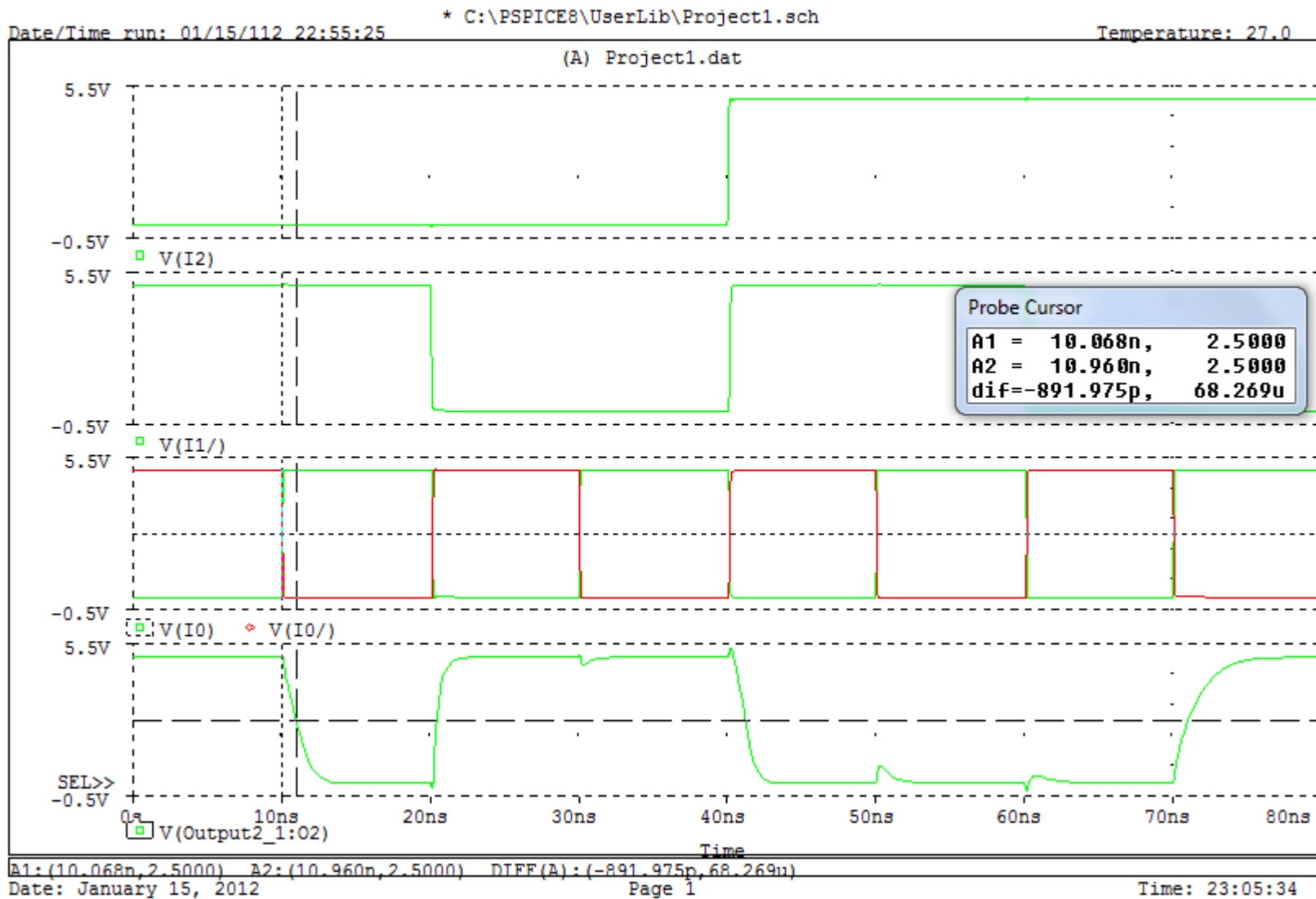


Imagem 24: Tempo de Descida (HL) do Output 2 (Zoom Out)

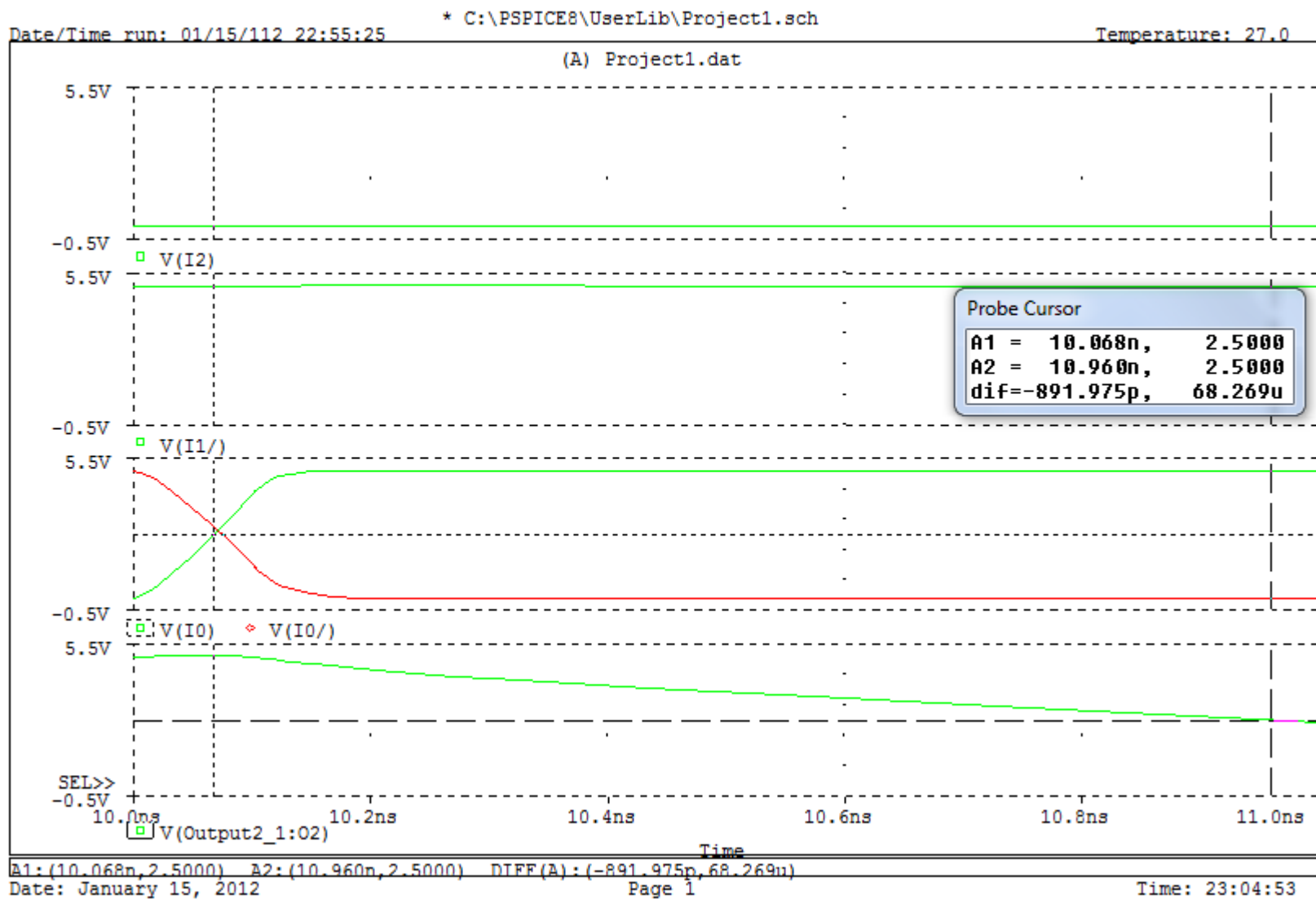


Imagem 25: Tempo de Descida (HL) do Output 2 (Zoom In)

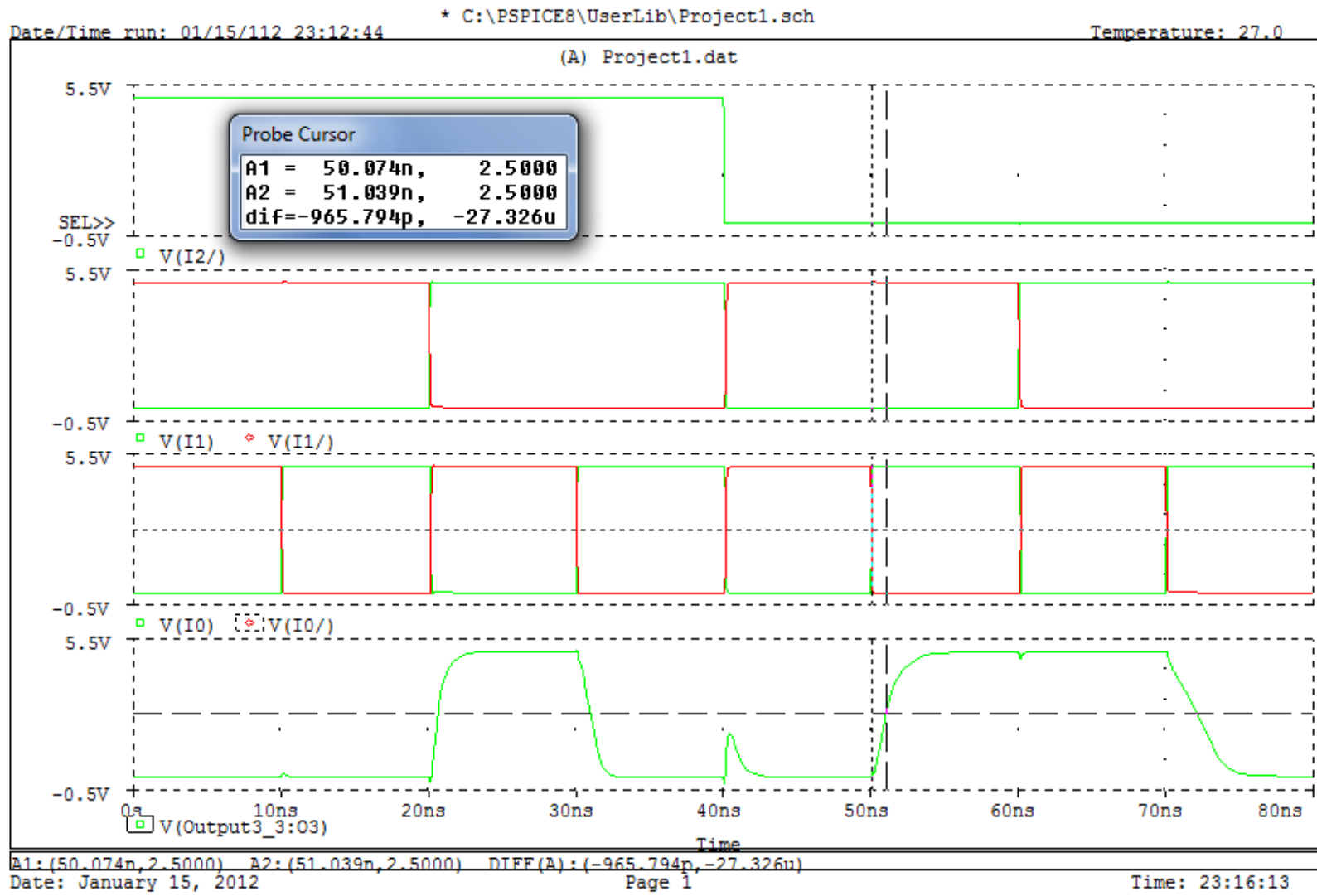


Imagem 26: Tempo de Subida (LH) do Output 3 (Zoom Out)

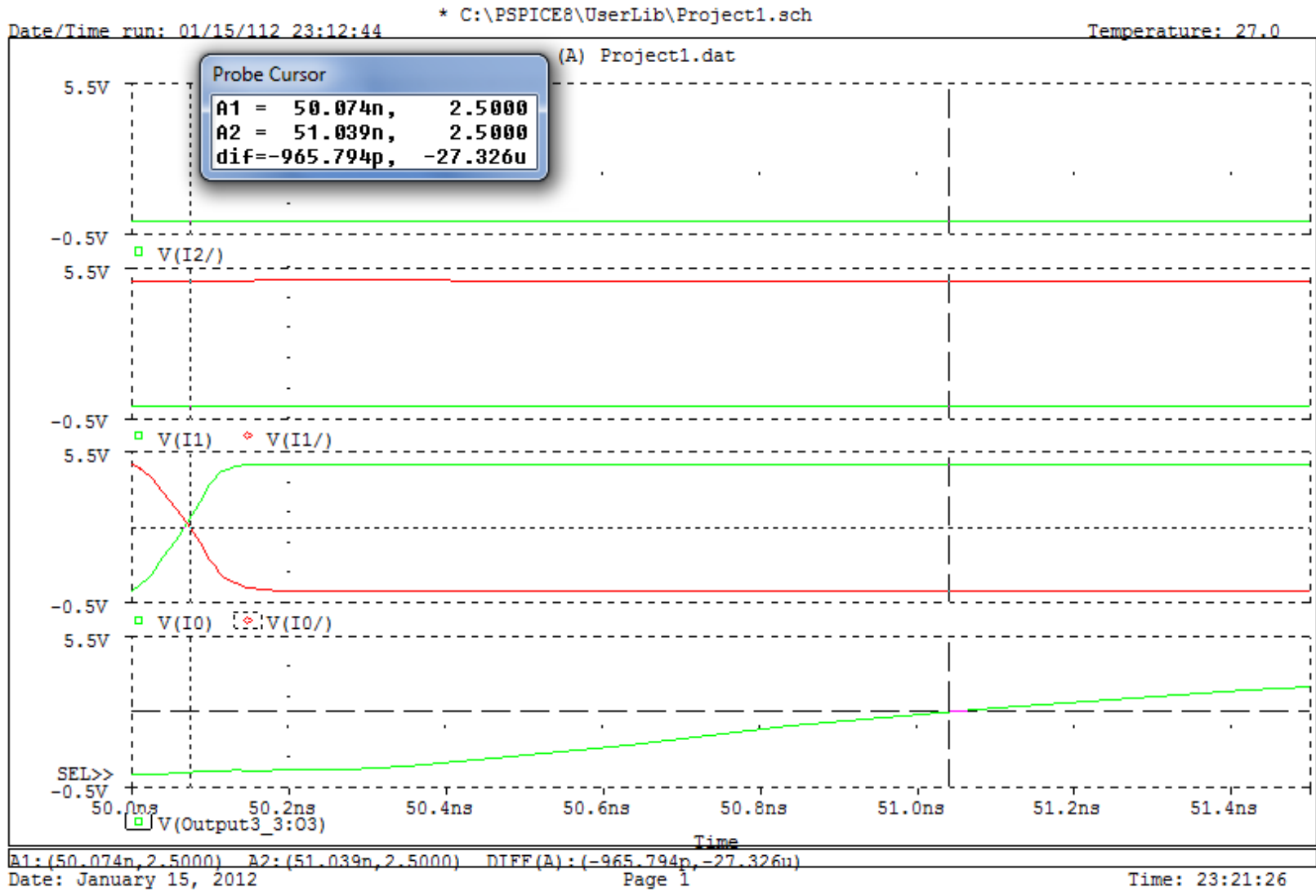


Imagem 27: Tempo de Subida (LH) do Output 3 (Zoom In)

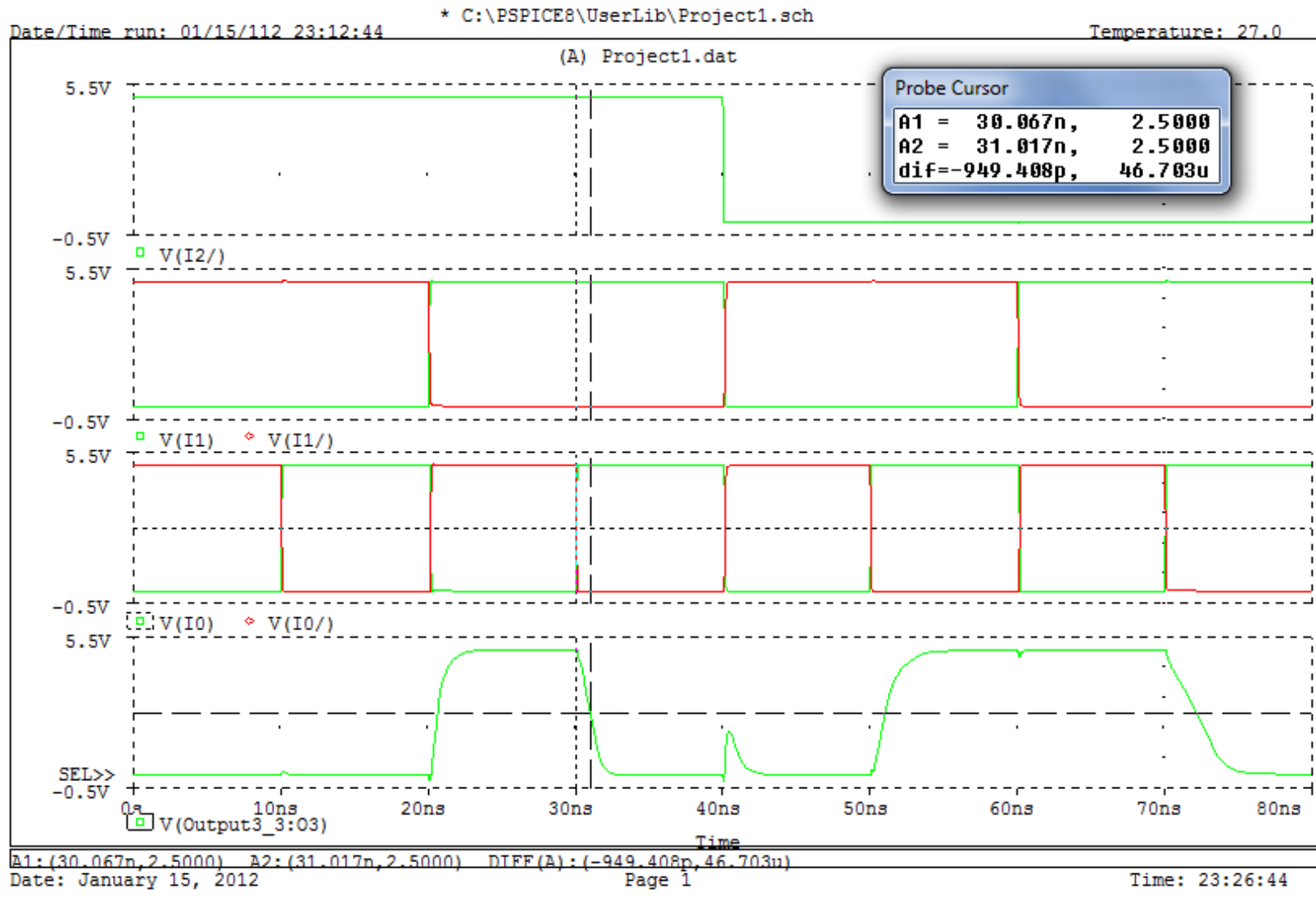


Imagem 28: Tempo de Descida (HL) do Output 3 (Zoom Out)



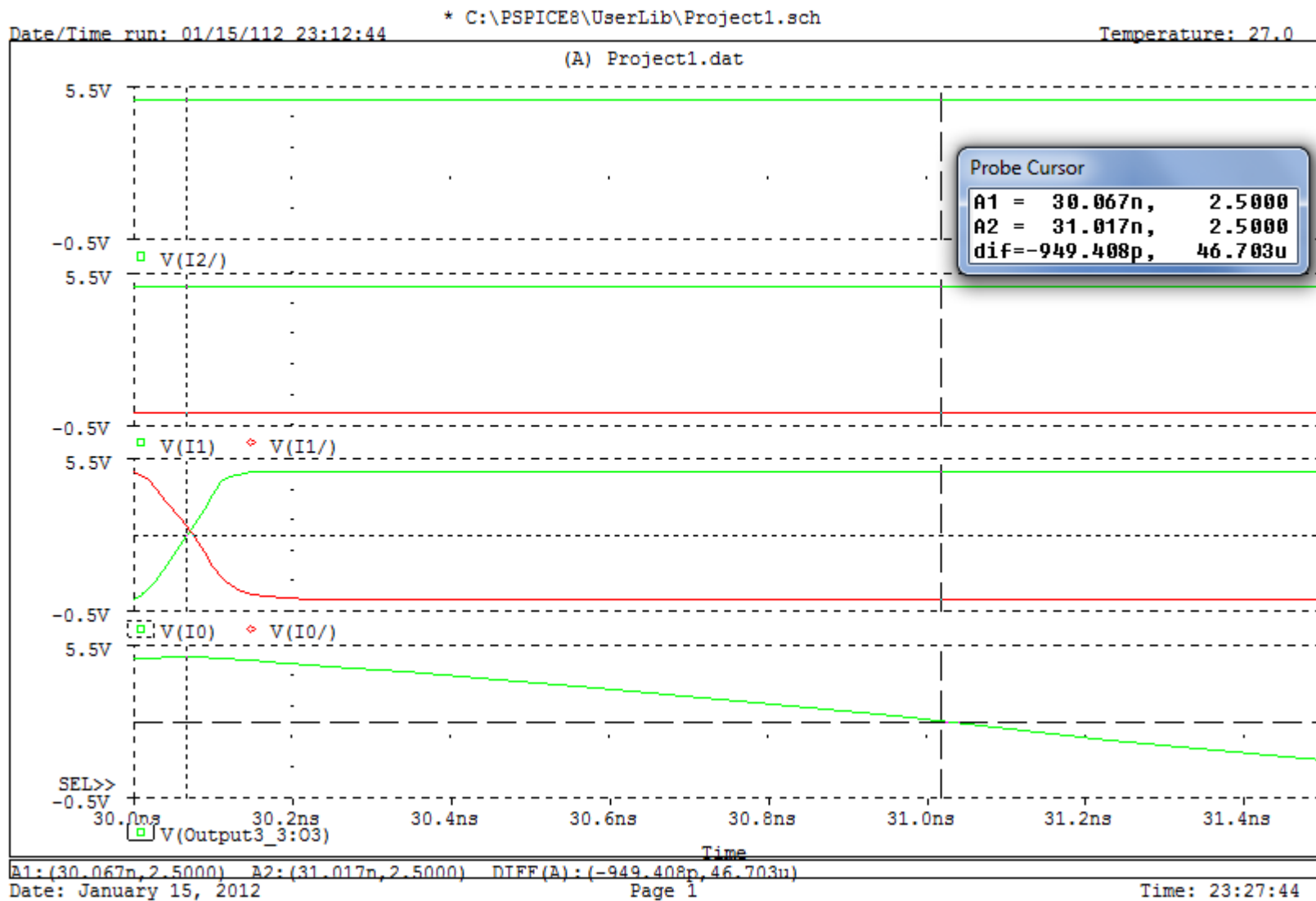


Imagem 29: Tempo de Descida (HL) do Output 3 (Zoom In)

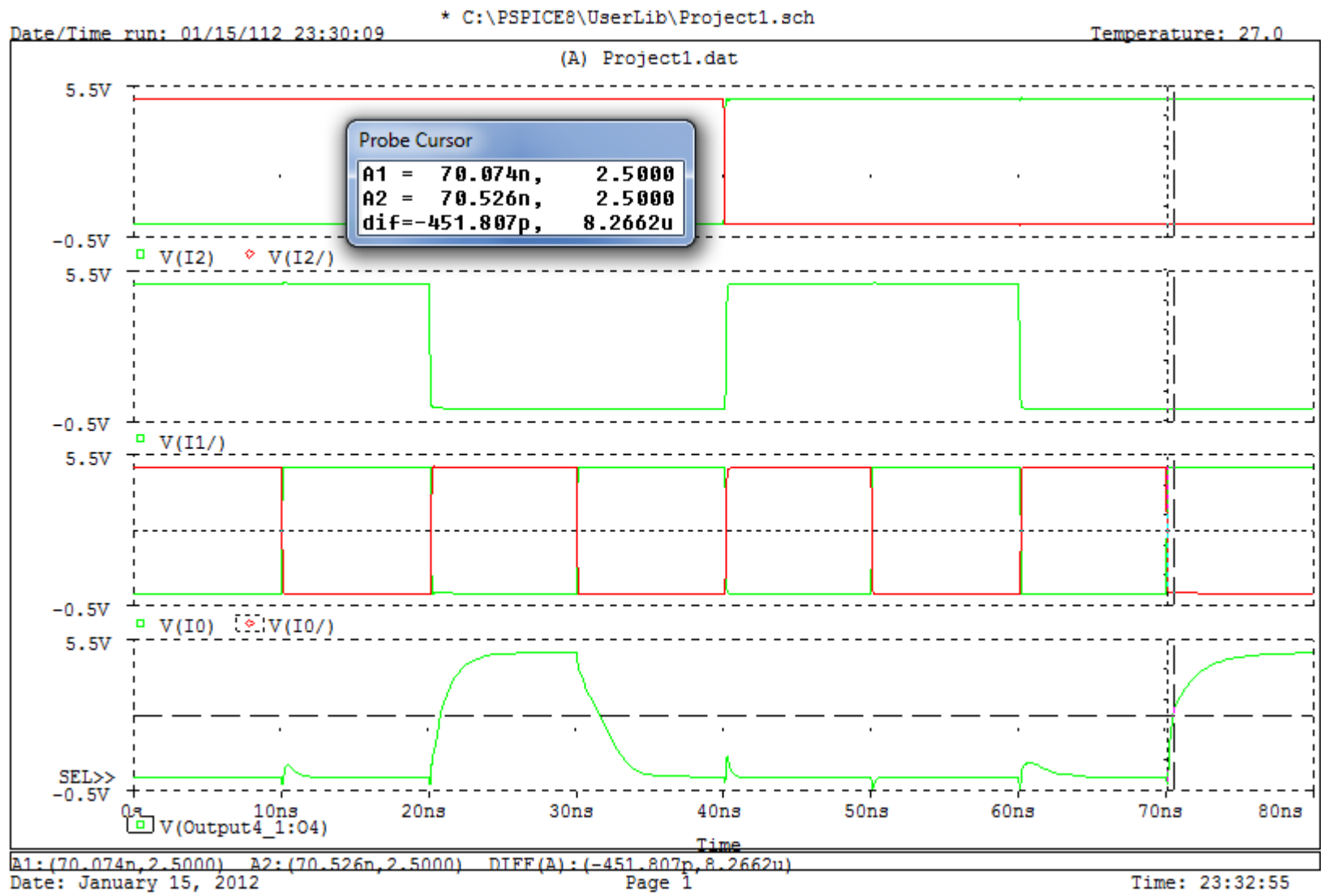


Imagem 30: Tempo de Subida (LH) do Output 4 (Zoom Out)

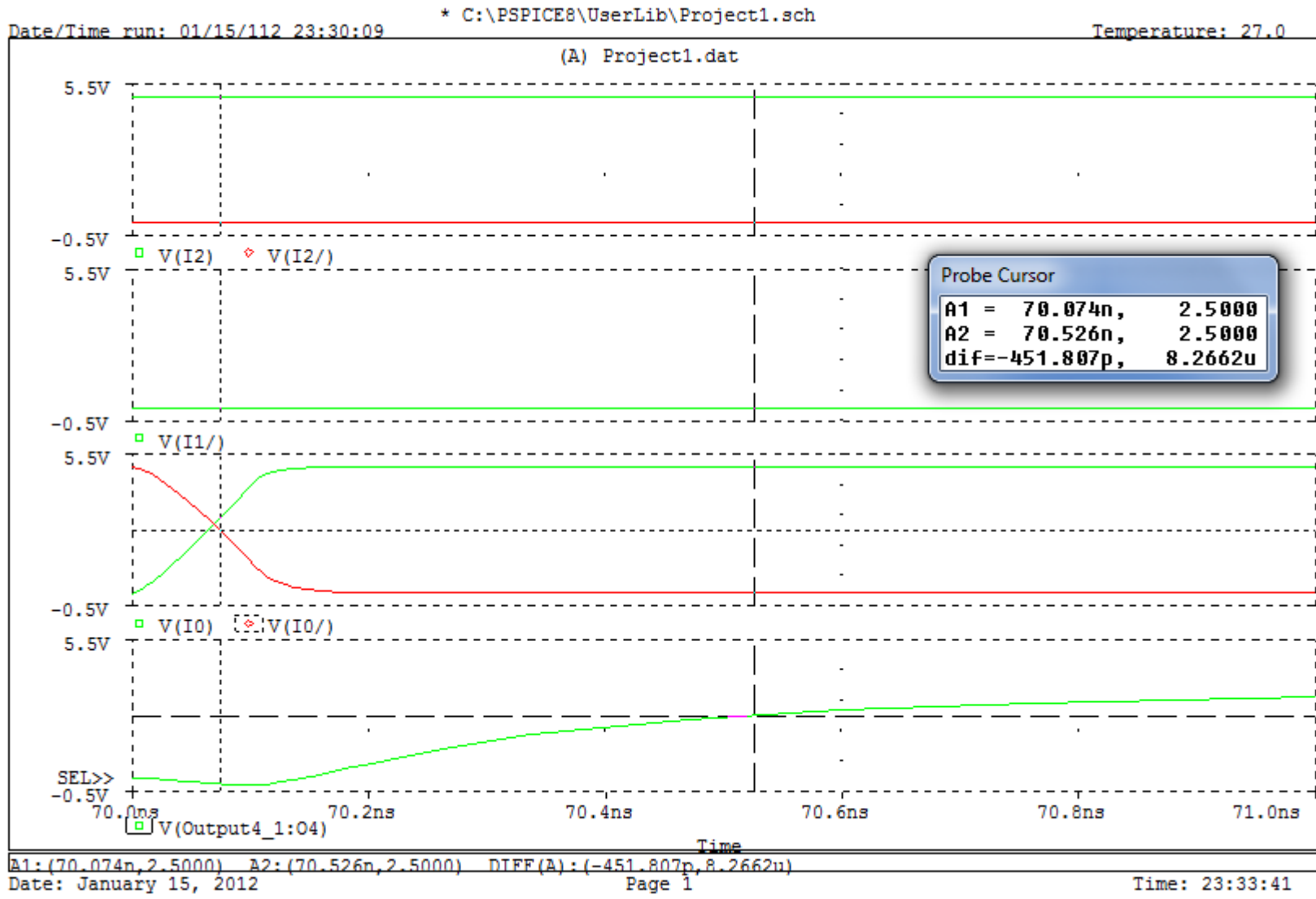


Imagem 31: Tempo de Subida (LH) do Output 4 (Zoom In)

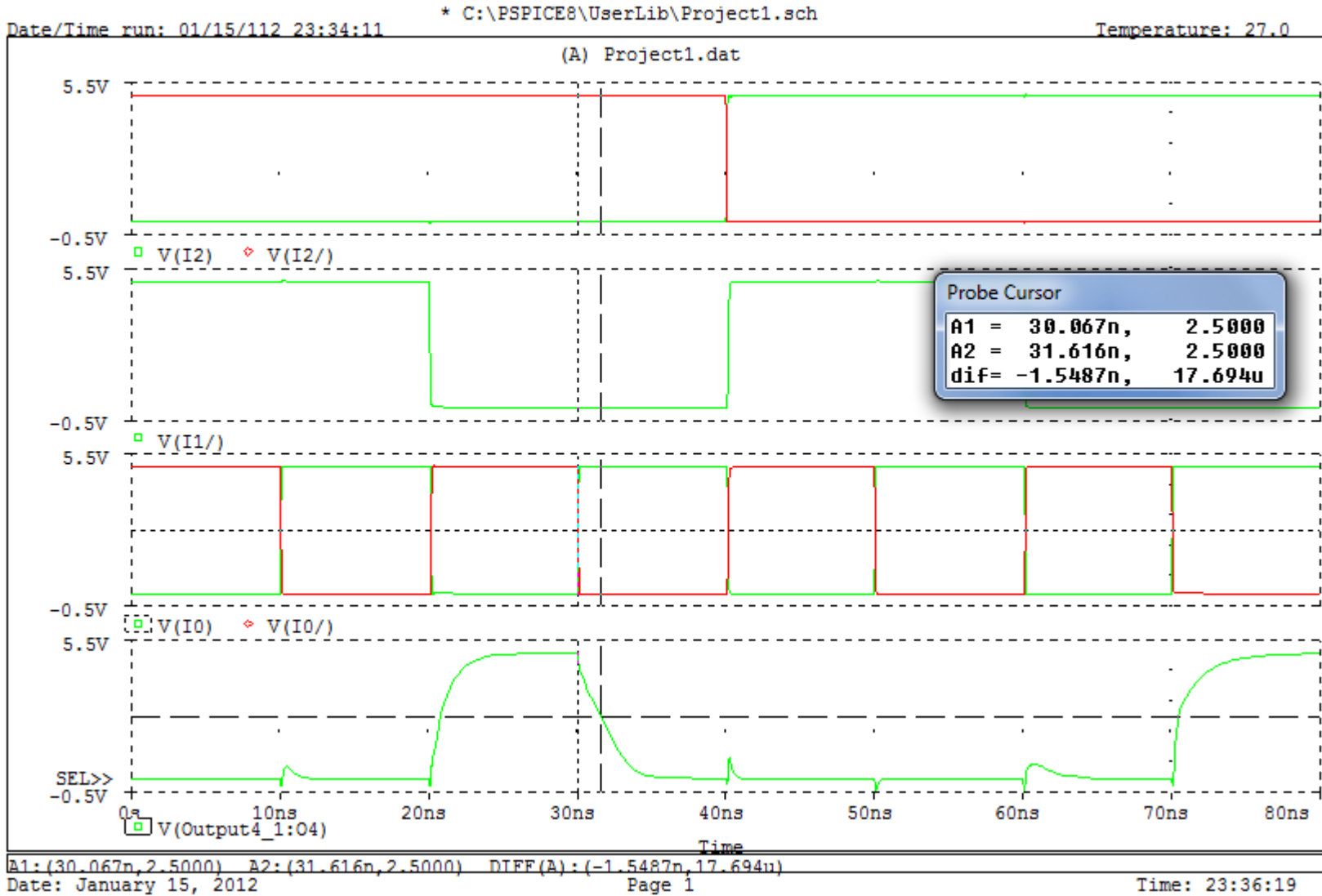


Imagem 32: Tempo de Descida (HL) do Output 4 (Zoom Out)

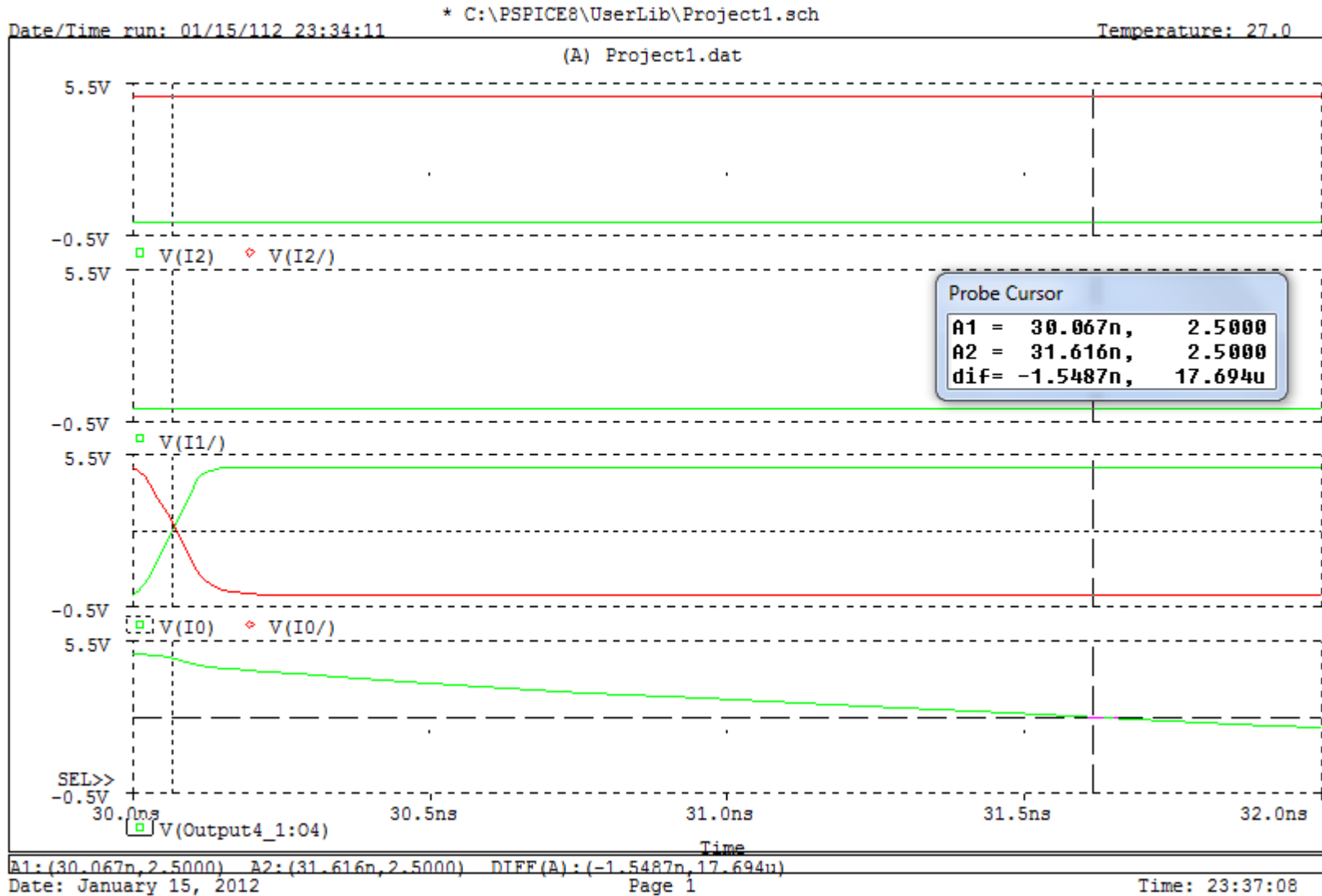


Imagem 33: Tempo de Descida (HL) do Output 4 (Zoom In)

Dos gráficos anteriores podemos tabular os tempos de propagação (Imagem 34)

	Output 0	Output 1	Output 2	Output 3	Output 4
$t_{pLH}$	626,1ps	600,62ps	344,86ps	965,8ps	451,81ps
$t_{pHL}$	639,31ps	857,35ps	891,98ps	949,41ps	1,59ns

*Imagem 34: Tabela com Tempos de Propagação Práticos*

Os tempos de propagação práticos foram calculados medindo a distância entre o valor de VDD/2 do sinal que afecta directamente o sinal (Inputs) e o VDD/2 do sinal de saída (Output), como está focado nas imagens acima (ver imagens com Zoom In na descrição).

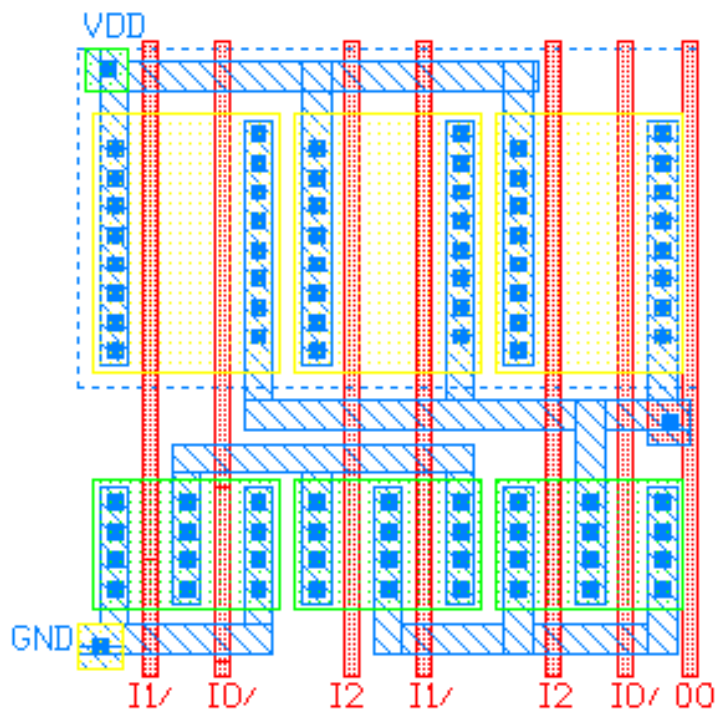
Comparando a tabela de verdades com os gráficos dos circuitos (imagens 14 a 33) podemos verificar que todos os sinais se comportam como esperado.

# Layout

---

O Layout foi desenhado no LASI, como introduzido na síntese do relatório. De seguida encontram-se os mesmos (Imagens 35 a 39).

Todos os circuitos foram submetidos ao verificador de erros do LASI (DRC) para ter a certeza que não há Flags (Erros). Foram testadas também todas as medidas para ter a certeza que não era possível minimizar mais o circuito, sempre utilizando as medidas calculadas teoricamente para o tamanho dos transístores.



*Imagem 35: Layout do Output 0*

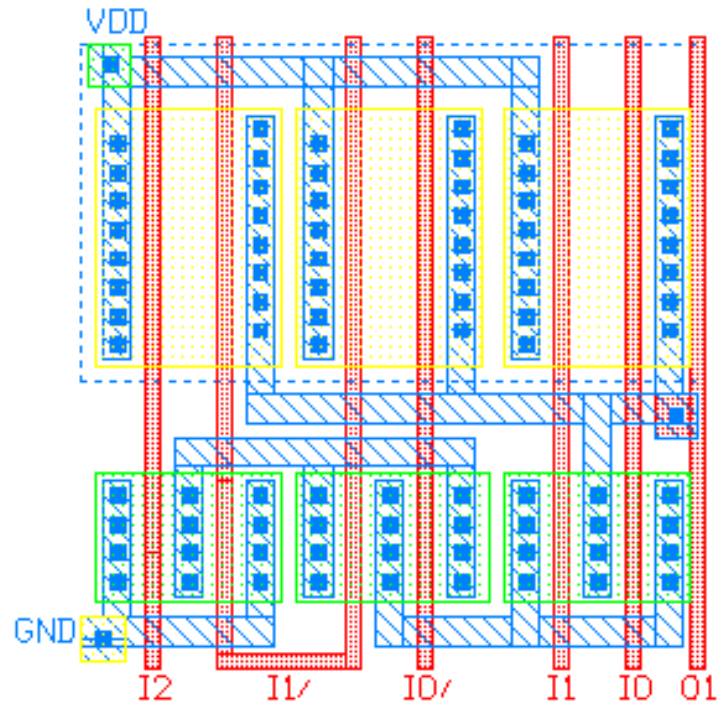


Imagem 36: Layout do Output 1

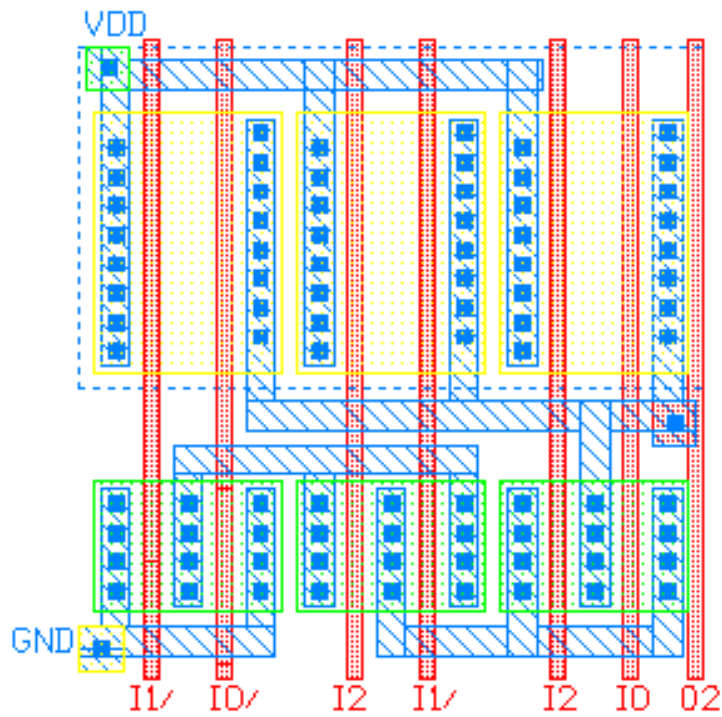


Imagem 37: Layout do Output 2



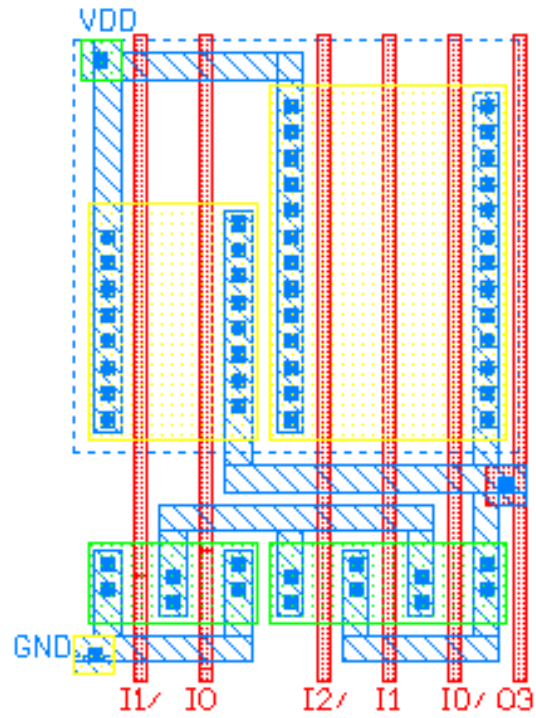


Imagem 38: Layout do Output 3

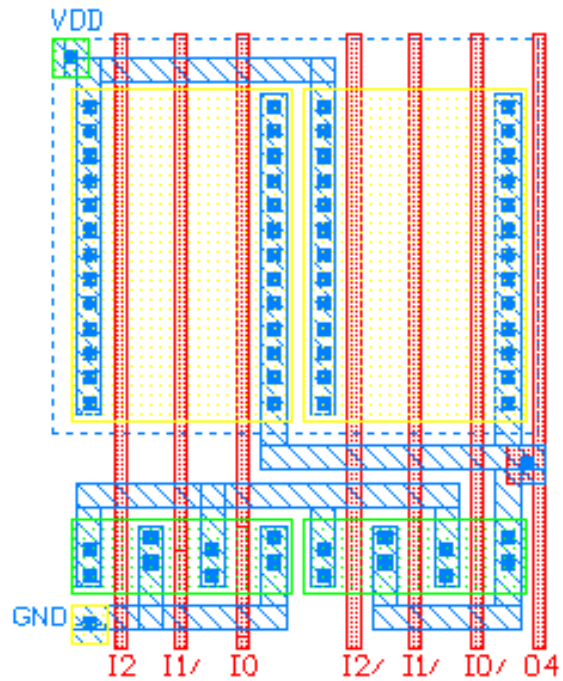


Imagem 39: Layout do Output 4

# Conclusão

Para concluir este relatório vamos comparar os valores práticos com os teóricos (Imagem 40) e analisar os resultados obtidos.

	Valores Teóricos		Valores Práticos		Rácio (Teórico/Prático)	
	$t_{pLH}$	$t_{pHL}$	$t_{pLH}$	$t_{pHL}$	$t_{pLH}$	$t_{pHL}$
Output 0	338,82 $\cdot 10^{-12}$	337,64 $\cdot 10^{-12}$	632,89 $\cdot 10^{-12}$	646,92 $\cdot 10^{-12}$	0,54	0,52
Output 1	338,82 $\cdot 10^{-12}$	337,64 $\cdot 10^{-12}$	600,62 $\cdot 10^{-12}$	857,35 $\cdot 10^{-12}$	0,56	0,39
Output 2	338,82 $\cdot 10^{-12}$	337,64 $\cdot 10^{-12}$	344,86 $\cdot 10^{-12}$	891,98 $\cdot 10^{-12}$	0,98	0,38
Output 3	287,79 $\cdot 10^{-12}$	286,78 $\cdot 10^{-12}$	965,8 $\cdot 10^{-12}$	949,41 $\cdot 10^{-12}$	0,3	0,3
Output 4	338,82 $\cdot 10^{-12}$	338,82 $\cdot 10^{-12}$	451,81 $\cdot 10^{-12}$	1,55 $\cdot 10^{-9}$	0,75	0,22

Imagem 40: Comparação dos tempos de propagação

Podemos ainda calcular as frequências de funcionamento das portas, tanto na descida como na subida (Imagem 21).

	Valores Teóricos		Valores Práticos	
	$f_{pLH}$	$f_{pHL}$	$f_{pLH}$	$f_{pHL}$
Output 0	2,95 Ghz	2,96 Ghz	1,58 Ghz	1,55 Ghz
Output 1	2,95 Ghz	2,96 Ghz	1,66 Ghz	1,17 Ghz
Output 2	2,95 Ghz	2,96 Ghz	2,9 Ghz	1,12 Ghz
Output 3	3,47Ghz	3,49 Ghz	1,04 Ghz	1,05 Ghz
Output 4	2,95 Ghz	2,96 Ghz	2,21 Ghz	645,16 Mhz

*Imagem 41: Frequências de funcionamento*

Segundo as frequências e os tempos de propagação o circuito tem em média um bom tempo de propagação mas estamos sempre limitados á porta mais fraca, ou seja, ao tempo de descida do Output 4.

O desempenho geral do circuito é bom, apesar da porta mais lenta ser duas vezes mais lenta do que a segunda porta mais lenta; Podemos definir a frequência de funcionamento do circuito em 645,16 Mhz.

Através do rácio (Imagem 40) podemos ainda verificar que a porta com rácio menor, ou seja, a com maior erro é também o Output 4.

As elevadas discrepâncias entre os valores teóricos e os valores práticos podem ser justificadas por vários factores, sendo eles:

- O Tempo de Carga das Portas: os transístores demoram tempo a carregar, o que faz com que o circuito seja mais lento do que o esperado.

- As Impedâncias da Saída dos Geradores de Sinais: vai fazer com que as portas sejam drasticamente mais lentas e induzem ruído, mas por outro lado vai proteger o circuito.
- Não termos considerado, para os cálculos teóricos, todas as portas circuito; apenas utilizámos as portas mais próximas das saídas

Por outro lado, a ausência de inversores faz com o circuito se comporte melhor, ou seja, este vai funcionar a frequências superiores porque não há o atraso de mais uma porta que nesse caso ia ser utilizada para inverter os sinais originais.

Podemos ainda concluir que as portas do circuito vão trabalhar a uma frequência muito inferior á que podem trabalhar, ou seja, não vão estar em LOAD constante; apenas o Output 4 vai ter que estar mais carregado (com uma carga de trabalho superior).