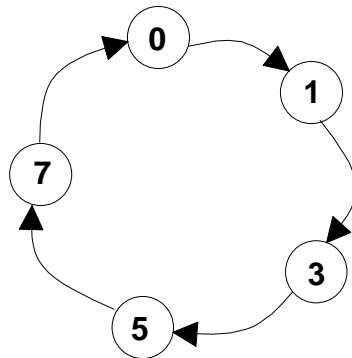


Electrónica III

LAB 08 - GERADOR DE SEQUÊNCIA EM LÓGICA C2MOS

1. Projecte e simule em SPICE um circuito sequencial em lógica dinâmica C2MOS que implemente a seguinte sequência em binário natural:



- Os sinais de relógio necessários são implementados com um oscilador em anel com o número de andares julgado necessário.
- Com o fim de aumentar a frequência de funcionamento e regenerar os sinais de saída dimensione e implemente buffers para o oscilador e para os sinais de saída de dimensão conveniente. Experimente colocar os buffers de saída em posições diferentes do circuito.
- Faça uma estimativa teórica dos tempos de propagação nos andares do circuito e determine por simulação à máxima frequência de operação do circuito
- Repita o estudo assumindo agora a seguinte sequência: 0, 1, 3, 5, 1, 7, 0 ...

SOLUÇÃO PARCIAL

1. Nº estados

O nº estados tem que ser maior ou igual a 2^n , onde n é o número de flip-flops. No caso concreto, sendo 5 estados, vamos precisar de três flip-flops: A, B, C

2. Tabela de estados

A tabela de estados do circuito em questão é a seguinte

Estado presente n			Estado seguinte n+1			Estado presente n		
QC	QB	QA	QC	QB	QA	DC	DB	DA
0	0	0	0	0	1	0	0	1
0	0	1	0	1	1	0	1	1
0	1	0	X	X	X	X	X	X
0	1	1	1	0	1	1	0	1
1	0	0	X	X	X	X	X	X
1	0	1	1	1	1	1	1	1
1	1	0	X	X	X	X	X	X
1	1	1	0	0	0	0	0	0

Notas:

- Para os estados não utilizados, o estado seguinte é "X-don't care"

- Em lógica dinâmica C2MOS o flip-flop de eleição é o flip-flop D. A sua tabela de excitação é

Q_n	Q_{n+1}	D_n
0	0	0
0	0	0
0	1	1
0	1	1
1	0	0
1	0	0
1	1	1
1	1	1

Isto é, a entrada D do flip-flop no periodo presente deve ter o valor que se deseja que a saída Q do flip-flop assuma no periodo seguinte

3. Minimização lógica

Minimização utilizando mapas de Karnaugh:

QC \ QB QA	00	01	11	10
0	0	0	1	x
1	x	1	0	x

QC \ QB QA	00	01	11	10
0	0	1	0	x
1	x	1	0	x

QC \ QB QA	00	01	11	10
0	1	1	1	x
1	x	1	0	x

4. Equações lógicas

$$D_C = \overline{Q_C} \overline{Q_B} + \overline{Q_C} Q_B$$

$$D_B = \overline{Q_B} Q_A$$

$$D_A = \overline{Q_C} + \overline{Q_B}$$

$$D_C = \overline{Q_C} \overline{Q_B} + \overline{Q_C} Q_B$$

$$D_B = \overline{Q_B} Q_A$$

$$D_A = \overline{Q_C} + \overline{Q_B}$$

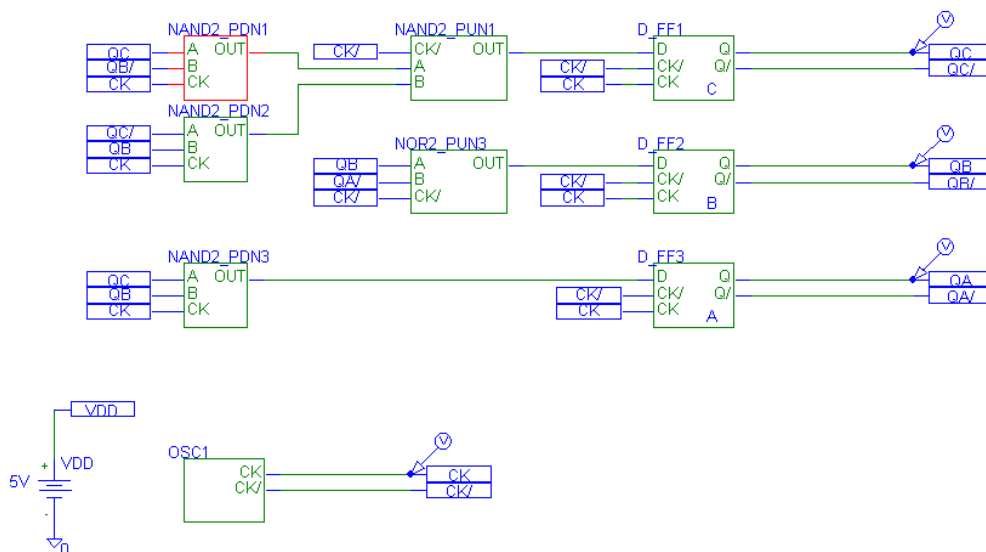
$$D_C = \overline{Q_C} \overline{Q_B} \cdot \overline{Q_C} Q_B$$

$$D_B = Q_B + \overline{Q_A}$$

$$D_A = \overline{Q_C} \cdot \overline{Q_B}$$

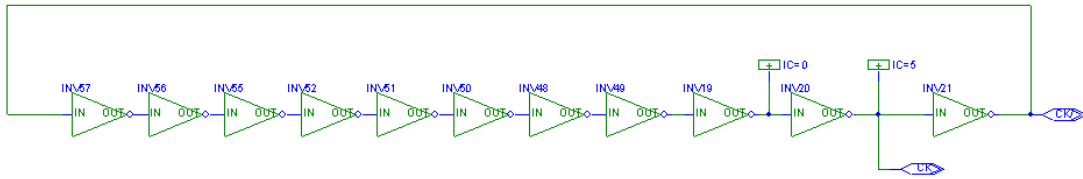
5. Diagrama esquemático

O circuito será realizado com portas fundamentais (NOR2 e NAND2) utilizando 2 andares de logica na entrada DC, alternando entre blocos "PDN" e "PUN":



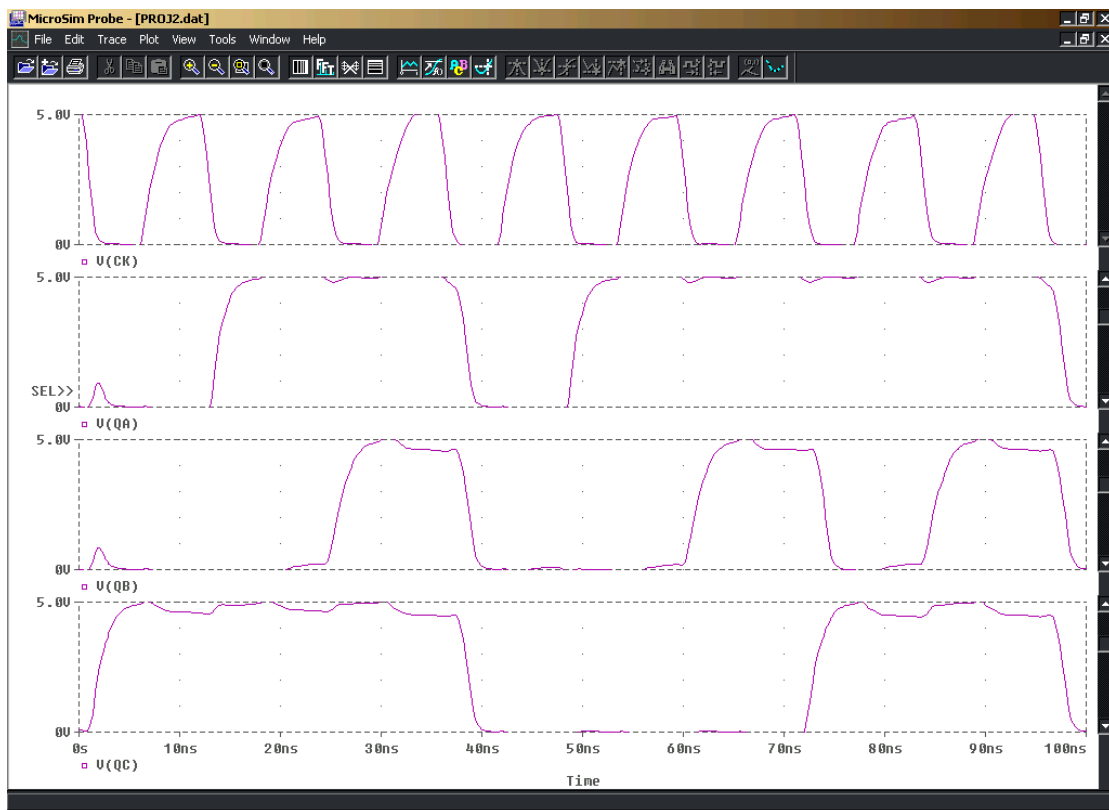
O circuito está realizada numa forma hierarquica utilizando objectos, NAND2_PDN, NAND2_PUN, NOR2_PUN, D_FF, e OSC:

O oscilador é um oscilador em anel constituído por 11 inversores:

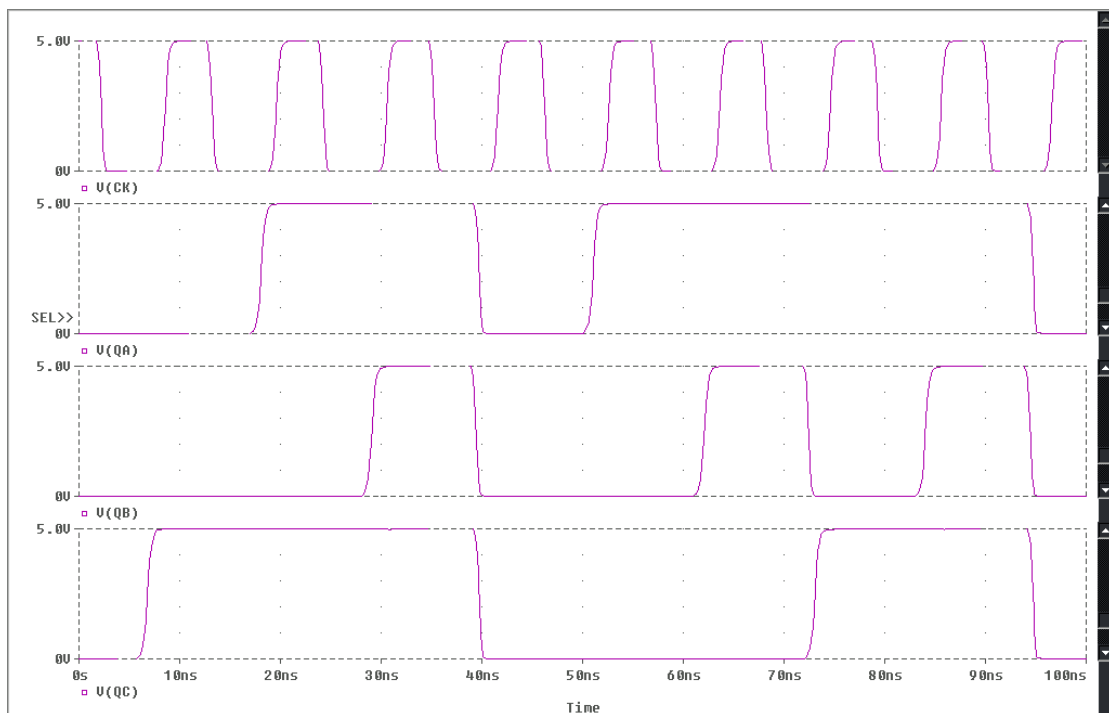
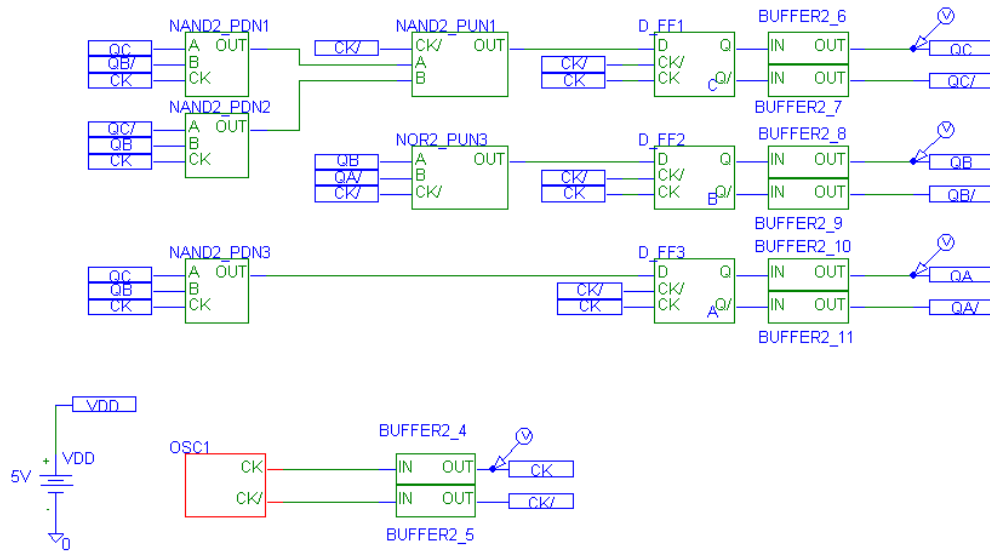


6. Simulação

Foi realizada uma simulação transiente com uma duração de 100ns:



7. Utilizando buffers



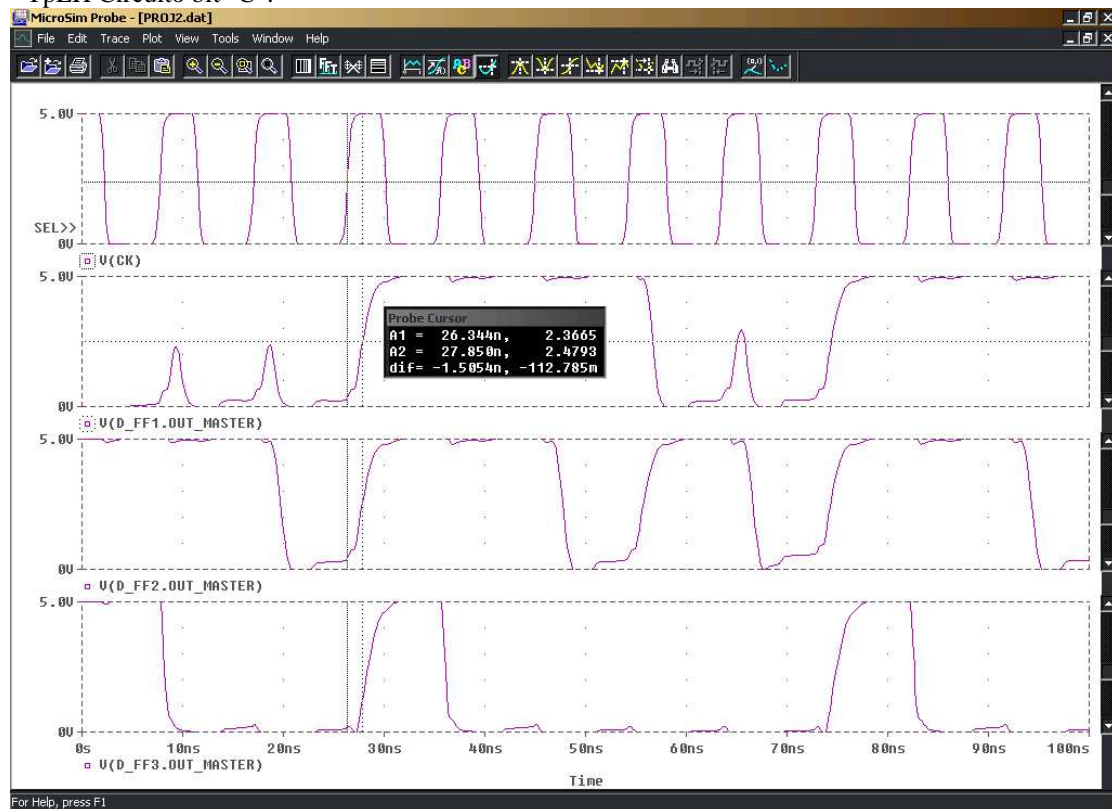
8. Tempos de propagação

1º andar

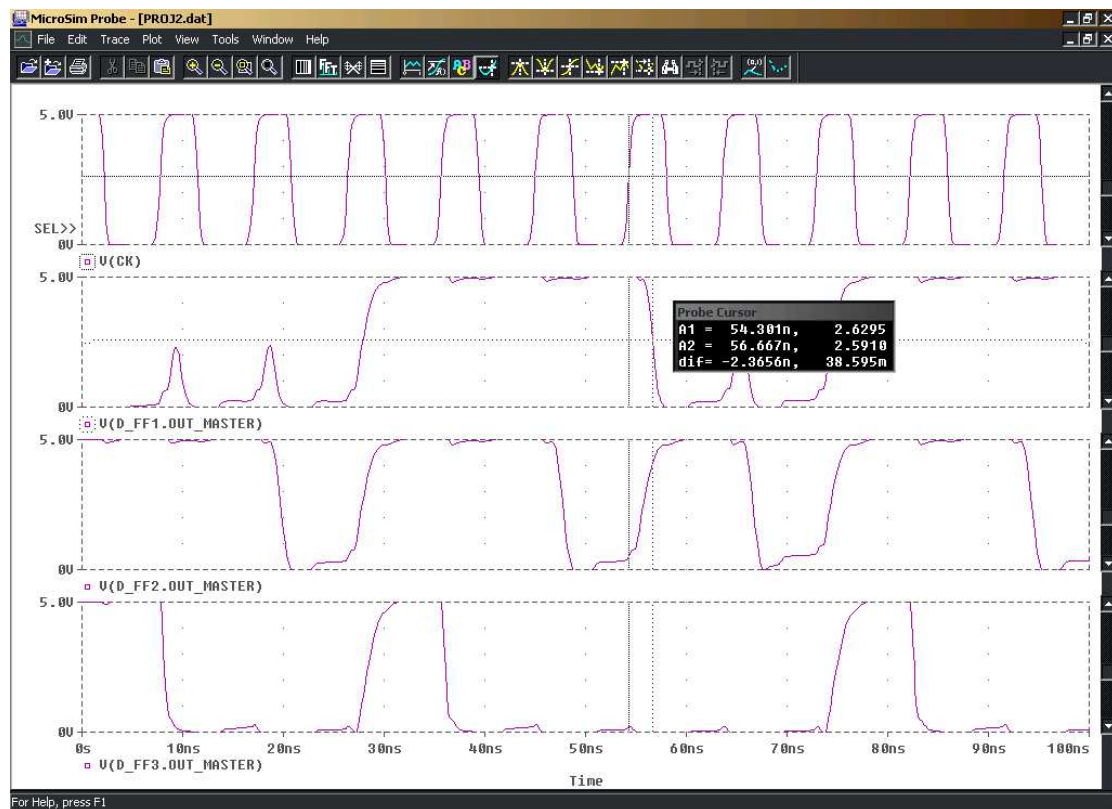
Para medir os tempos de propagação do 1º andar, teve que se colocar uma ponta de prova à saída do "master" do flip-flop. O sinal de relógio que inicia o período de avaliação é o flanco positivo do sinal "CK".

Mostra-se nos gráficos como foi medido os tempos de propagação t_{pLH} e t_{pHL} na saída "MASTER" do flip-flop 1, que gera o bit C da sequência (não foi feito "zoom" de propósito para ser mostrada a sequência completa)

- T_pLH Circuito bit "C":



- T_pHL Circuito bit "C":



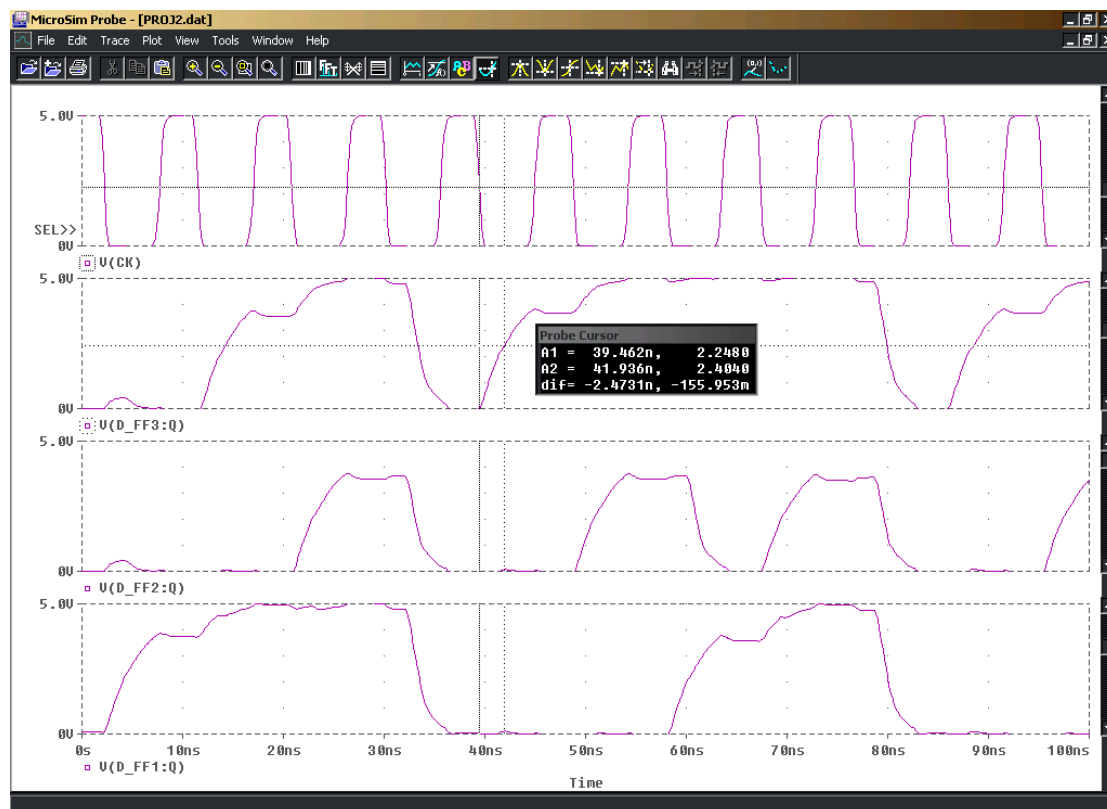
Apresenta-se em resumo na próxima tabela os tempos de propagação medidos:

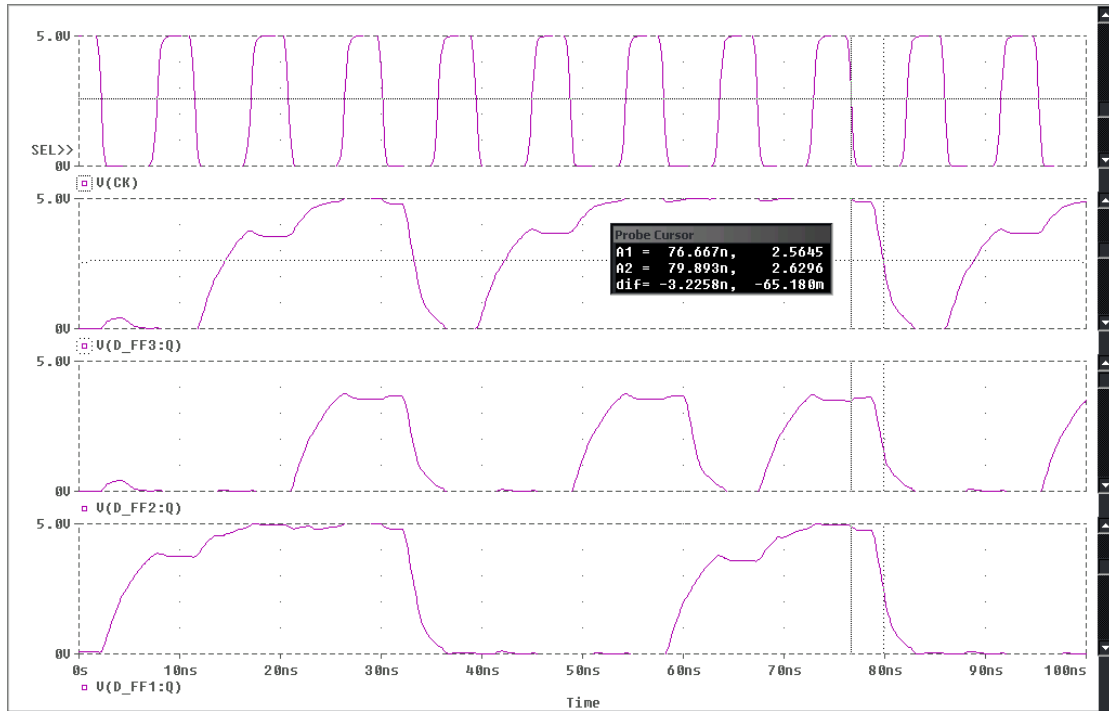
Tempo propagação 1º andar	tpLH	tpHL
Circuito bit "C"	1.5ns	2.3ns
Circuito bit "B"	1.4ns	2.8ns
Circuito bit "A"	2.0ns	0.38ns

É pertinente notar que NÃO é o circuito mais complexo, o circuito bit "C" com 2 andares de lógica, que apresenta o tempo de propagação mais elevado, mas sim o circuito bit "B". Isto deve-se ao facto da porta NOR2_PUN, com 3 transistores PMOS em série, ser mais lenta que a associação da porta NAND2_PDN com a porta NAND2_PUN.

2º andar

Os tempos de propagação do 2º andar medem-se de forma semelhante, mas agora tendo como referência o flanco negativo do sinal de relógio "CK". O sinal a medir é a saída do andar "SLAVE", que coincide com a saída do flip-flop





Tempo propagação 2º andar	tpLH	tpHL
Circuito bit "C"	2.2ns	3.2ns
Circuito bit "B"	2.2ns	2.6ns
Circuito bit "A"	2.6ns	3.2ns

Note-se que os tempos de propagação entre circuitos são agora muito semelhantes, com a particularidade de tpHL ser sistematicamente maior que tpLH devido ao atraso do sinal "CK/" (relativamente a "CK") que origina a transição.