

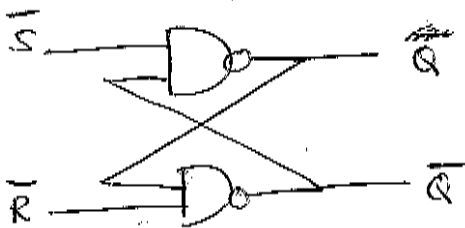
LÓGICA SEQUENCIAL ESTÁTICA E DINÂMICA

2 modos de criar circuitos c/ MEMÓRIAS:

- Ⓐ usando feedback positivo (circuitos estáticos)
- Ⓑ usando as capacidades intrínsecas para armazenagem de carga (circuitos dinâmicos - necessitam de ser "refrescados" regularmente)

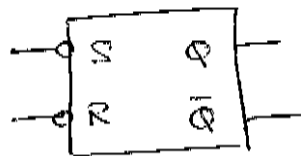
LÓGICA SEQUENCIAL ESTÁTICA

FLIP FLOP S-R



c/ NANDS

(funciona com lógica negativa)

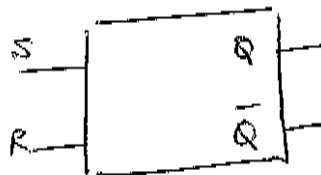
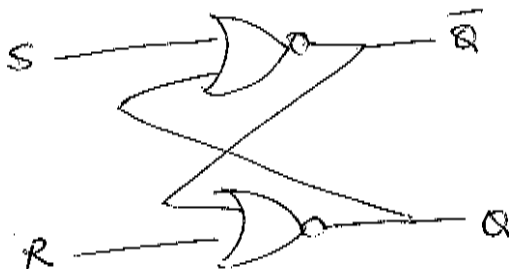


S	R	Q	Q̄
0	0	1	1
0	1	1	0
1	0	0	1
1	1	Q	Q̄

estados *
n permutados

estados
com memória

c/ NORs



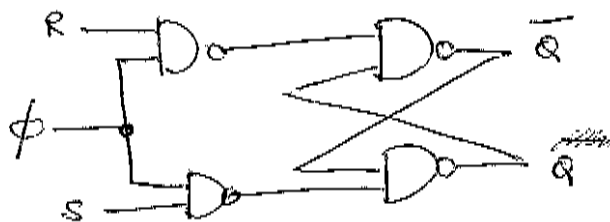
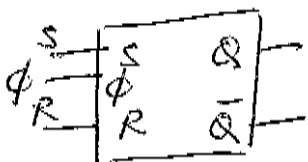
S	R	Q	Q̄
0	0	Q	Q̄
0	1	0	1
1	0	1	0
1	1	Q	Q̄

← memória

← não permitido

Introdução de sincronismo → sinal de relógio adicional

Exemplo NANDS



S	R	Q _{n+1}	Q̄ _{n+1}
0	0	Q _n	Q̄ _n
0	1	0	1
1	0	1	0
1	1	1	1

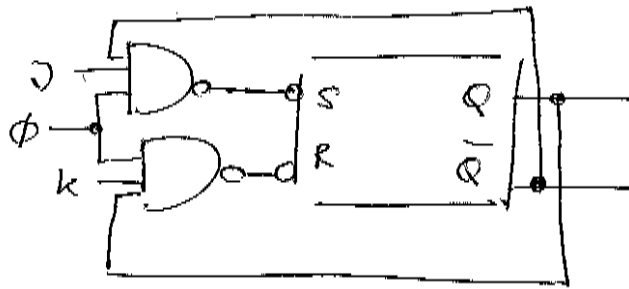
← memória

n permitido

* porque qdo os sinais de entrada saírem (subirem) o estado dos bits muda

Resolução do problema do modo proibido: →

FLIP-FLOP J-K

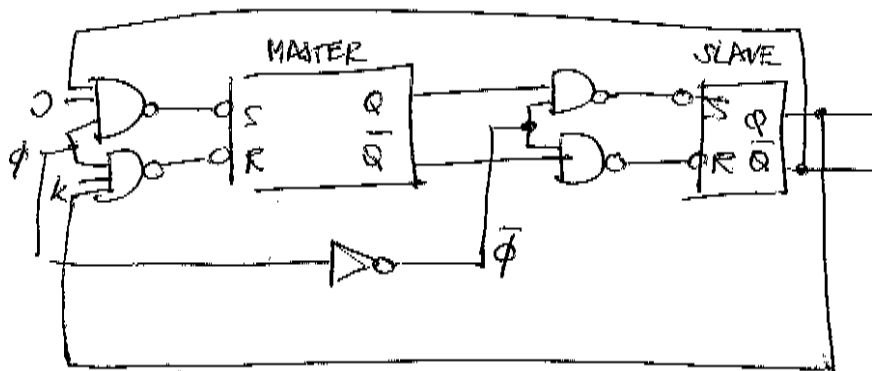


J	K	Q_{n+1}	\bar{Q}_{n+1}
0	0	Q_n	\bar{Q}_n ← memória
0	1	0	1
1	0	1	0
1	1	\bar{Q}_n	Q_n ← toggle

PROBLEMA se ϕ High for maior que o tempo de propagação, as saídas começam a oscilar

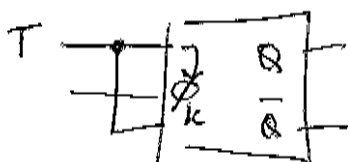
SOLUÇÃO: QUEBRAR A MALHA DE REALIMENTAÇÃO →

FLIP-FLOP J-K MASTER SLAVE



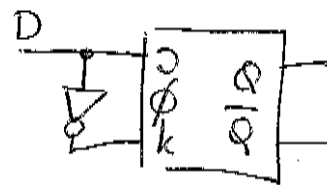
Agora o ciclo de sinal não se pode propagar de saída p/ entradas antes que seja completado um ciclo completo do relógio.

Derivados do flip-flop J-k



Toggle flip-flop

T	Q_{n+1}
0	Q_n
1	\bar{Q}_n



Deby flip-flop

D	Q_{n+1}
0	0
1	1

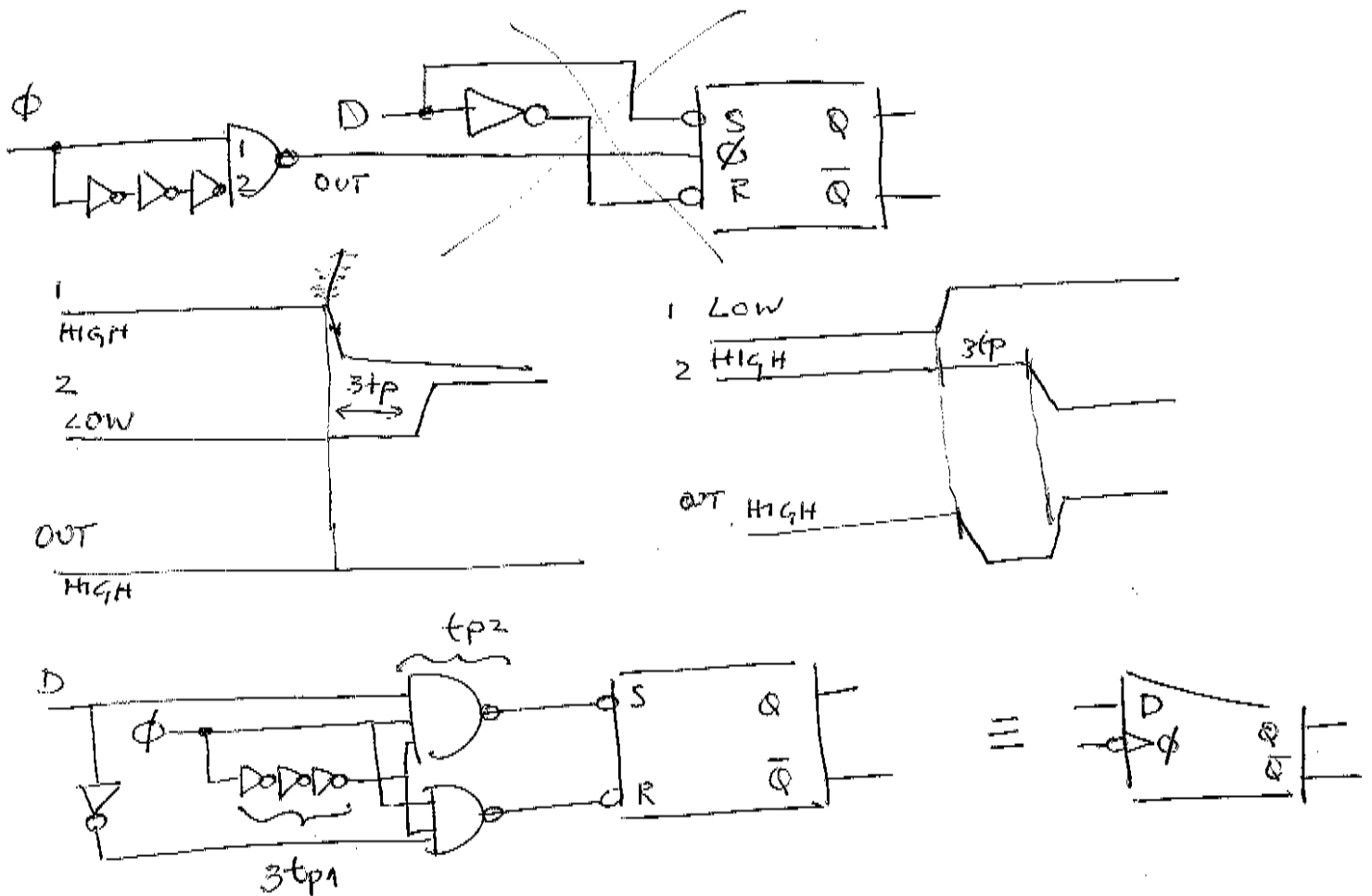
$Q_{n+1} = D_n$

EDGE - TRIGGERED FLIP - FLOP

ATÉ AGORA : Todos os flip-flops são sensíveis a ruído enquanto o relógio está HIGH

SOLUÇÃO PERMITIR A MUDANÇA DE ESTADO APENAS NO FLANCO DO RELÓGIO

Exemplo: (Com o flip-flop tipo D)

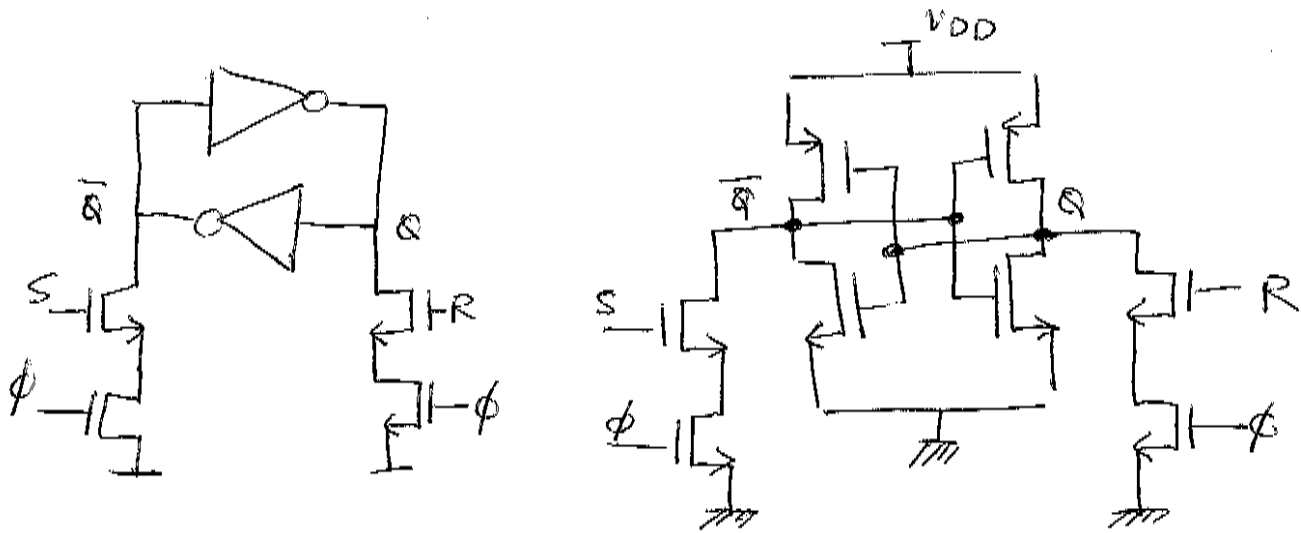


CONDICÃO : $3tp_1 > tp_2$

CONSTRUÇÃO:

Genericamente SÃO CIRCUITOS BASTANTE COMPLEXOS qdo a construção é feita em lógica complementar (fig —)

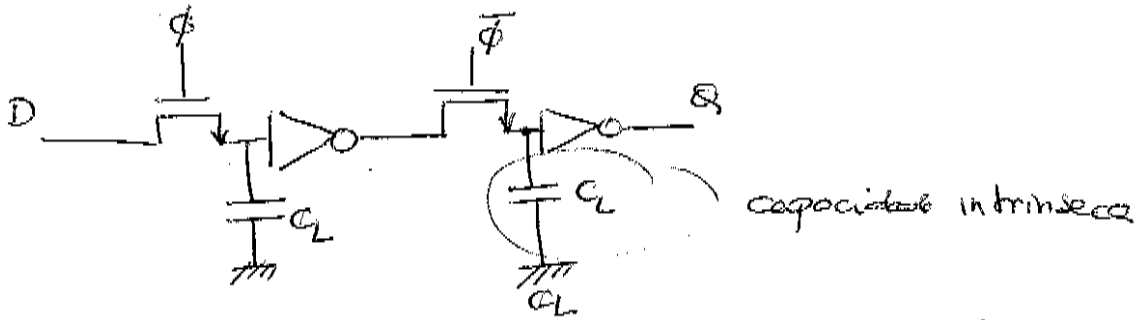
EXEMPLO EM RATIOED LÓGICA



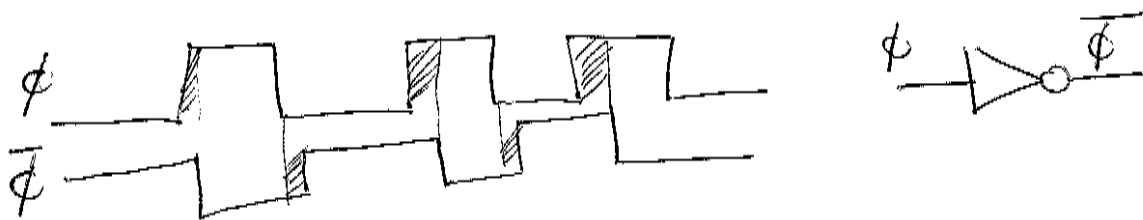
NOTAR QUE O FLIP-FLOP É transparente isto é a entrada segue a saída qdo o clock está HIGH → clama-se a isto um LATCH pq a saída em "congelada" (agarrada) qdo o clock vem LOW

LOGICA SEQUENCIAL DINÂMICA

FLIP-FLOP MASTER-SLAVE DINÂMICO



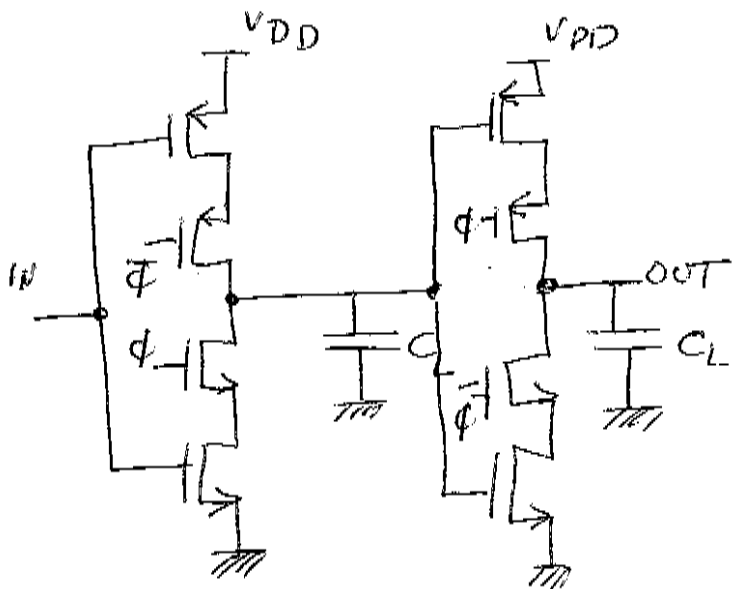
PROBLEMA : se ϕ e $\bar{\phi}$ se sobrepõem há um caminho directo entre a entrada e a saída



e o circuito pode NÃO funcionar

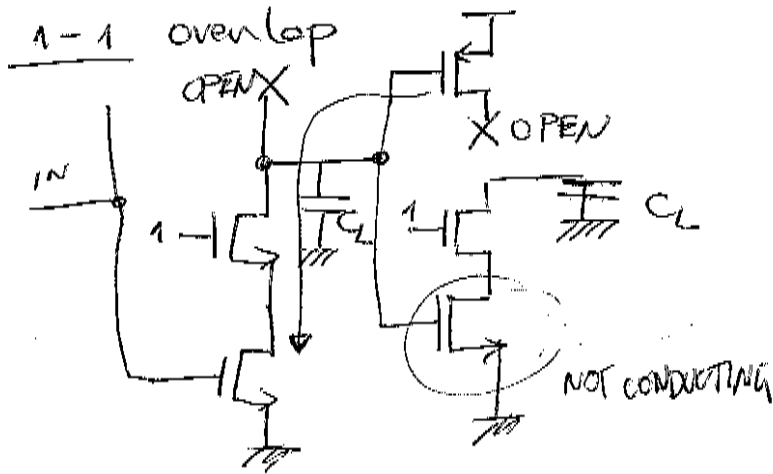
SOLUÇÃO

LATCH C²MOS



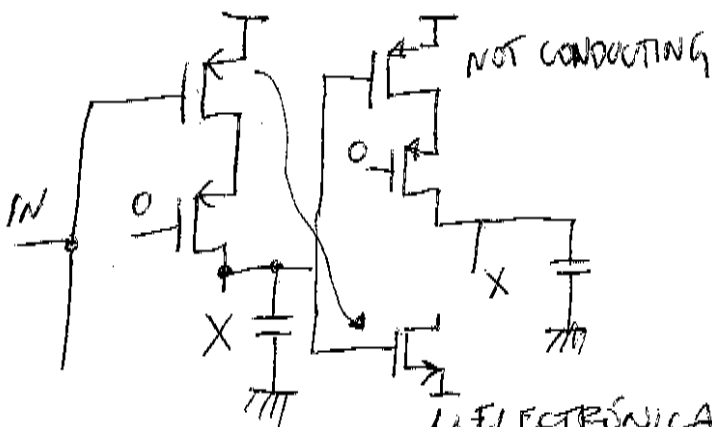
o circuito funciona em duas fases

- 1) $\phi = 1$ MASTER EM Avaliação
SLAVE EM HOLD
- 2) $\phi = 0$ MASTER EM HOLD
SLAVE EM Avaliação



Sinal $\bar{\phi}$ chega à saída

$\phi - \phi$ overlap



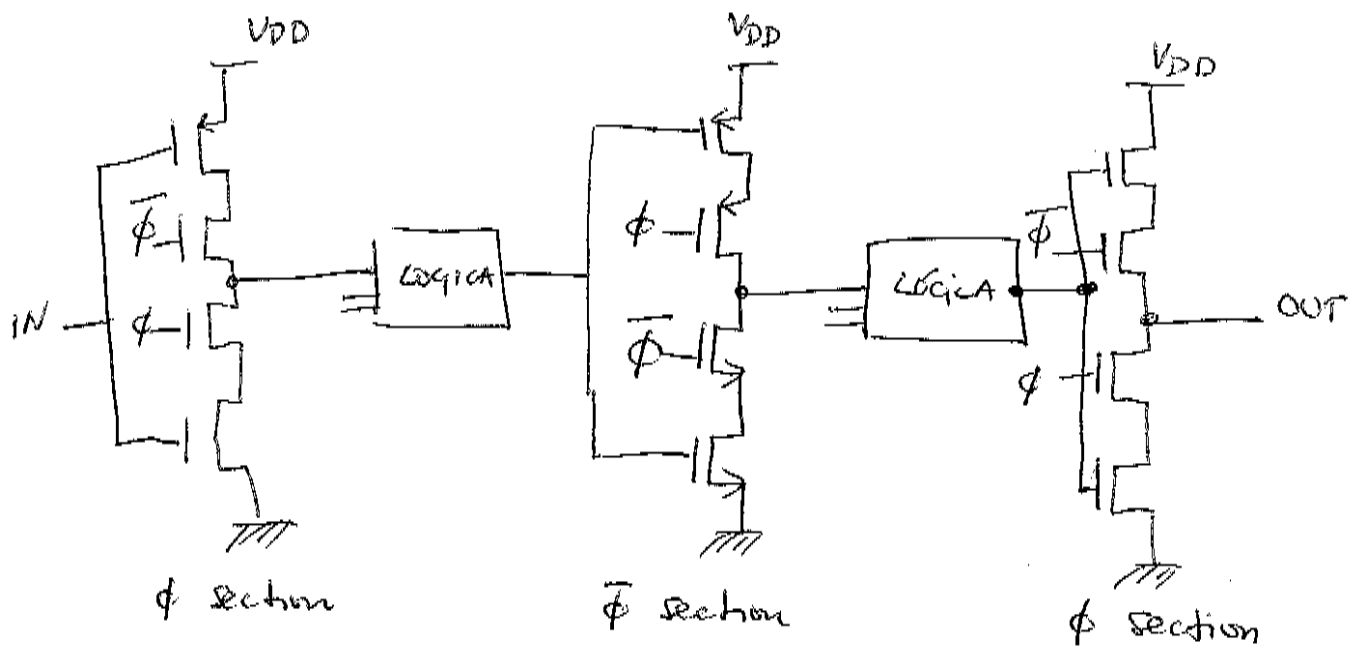
IN $\bar{\phi}$ chega à saída

Problema rise/fall times não podem ser longos — senão os inversores entram em condução e as capacidades descarregam!

NORA CMOS — NO RACE LOGIC STYLE [Gonçalves 83]

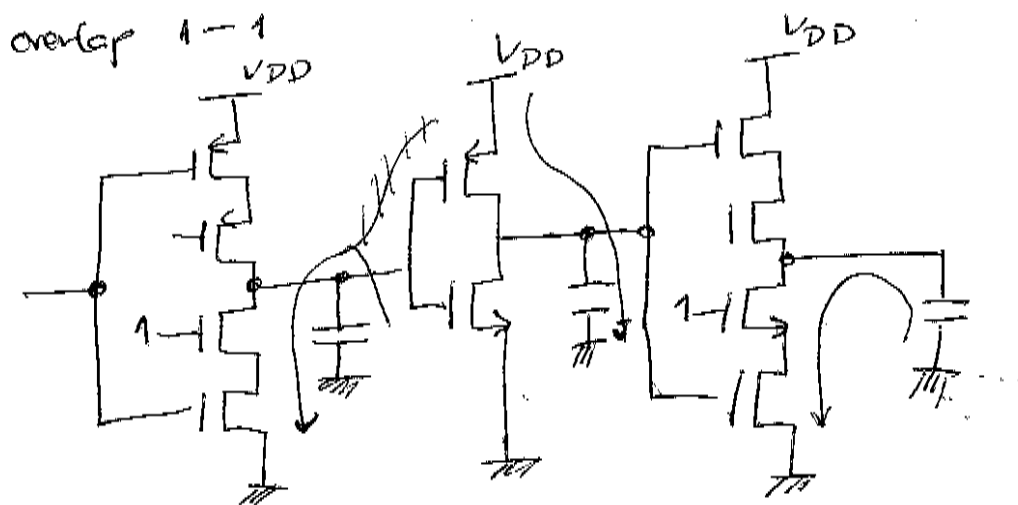
(1º 32 bit processador)

Princípio



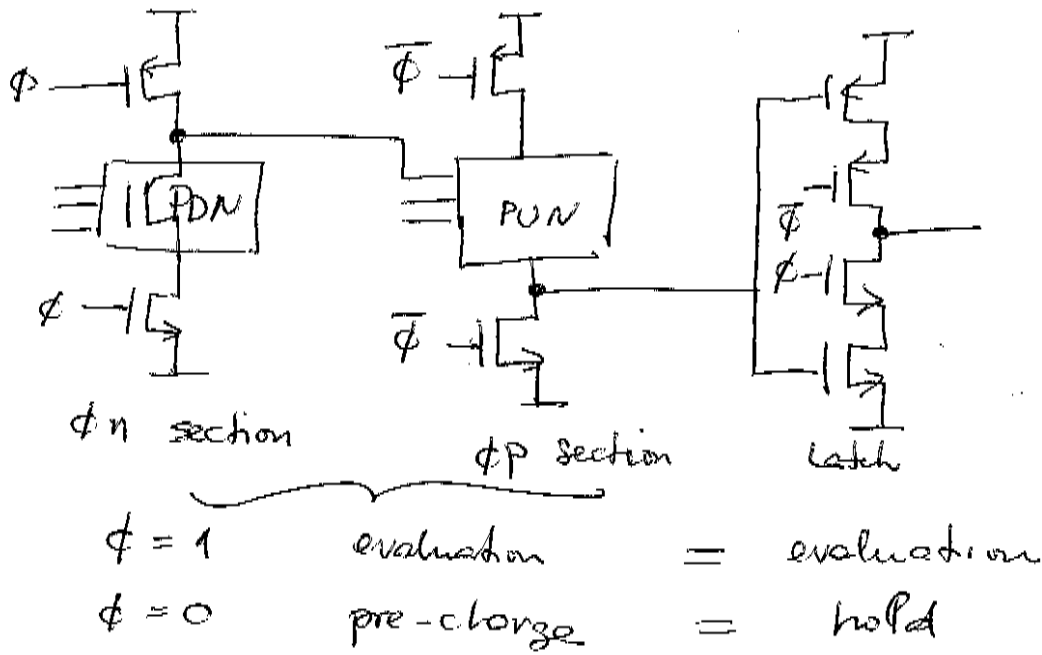
CONDIÇÃO LÓGICA NÃO INVERSORA entre os LATCHES

Exemplo do que pode correr mal



(As capacidades carregam/descarregam — os valores memorizados são perdidos)

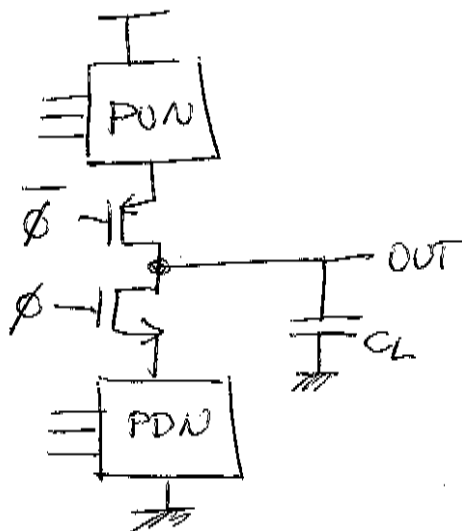
INTEGRAÇÃO DO BLOCO COMBINATÓRIO



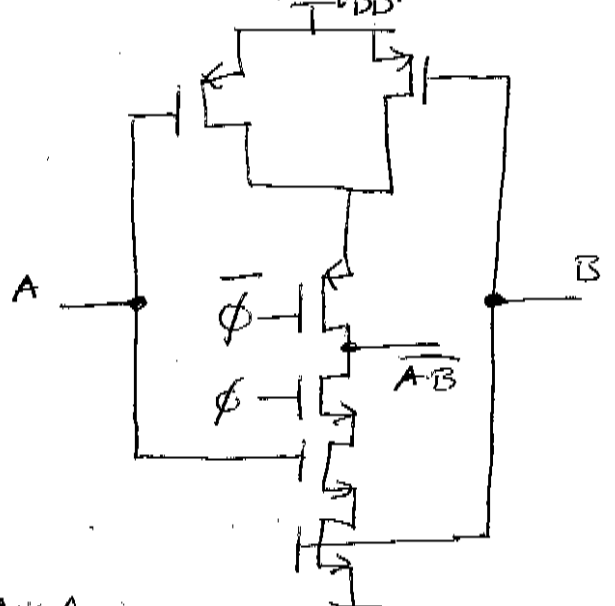
Regras

- 1 (Regra de lógica dinâmica). As entradas apenas podem fazer transições $0 \rightarrow 1$ no bloco ϕ_n e $1 \rightarrow 0$ no bloco ϕ_p
- 2 o número de inversões tem que ser par entre blocos
- 3 o número de inversões ^{lógicas} tem que ser par entre latches e portas dinâmicas

LATCH COM LÓGICA



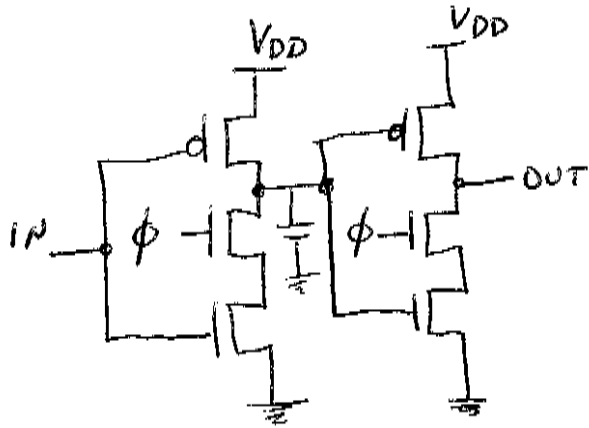
EXEMPLO NAND de LATCH



TRUE SINGLE PHASE CLOCKED LOGIC (TSPCL)

- 1 single clock (\bar{n} e necessário $\bar{\phi}$)

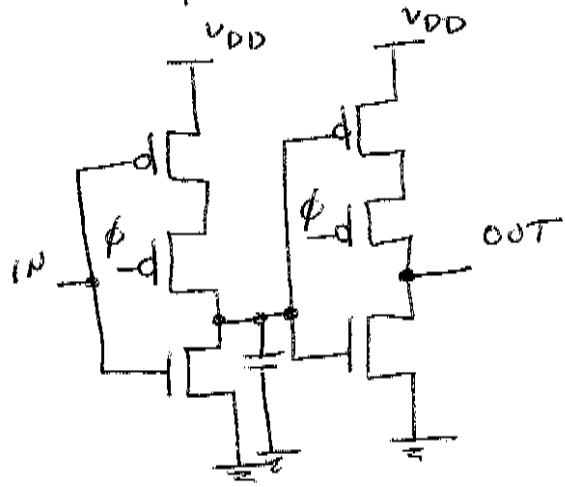
n-c² MOS latch



ϕ high \rightarrow (enabled) transparent mode
 ϕ low \rightarrow (disabled) hold

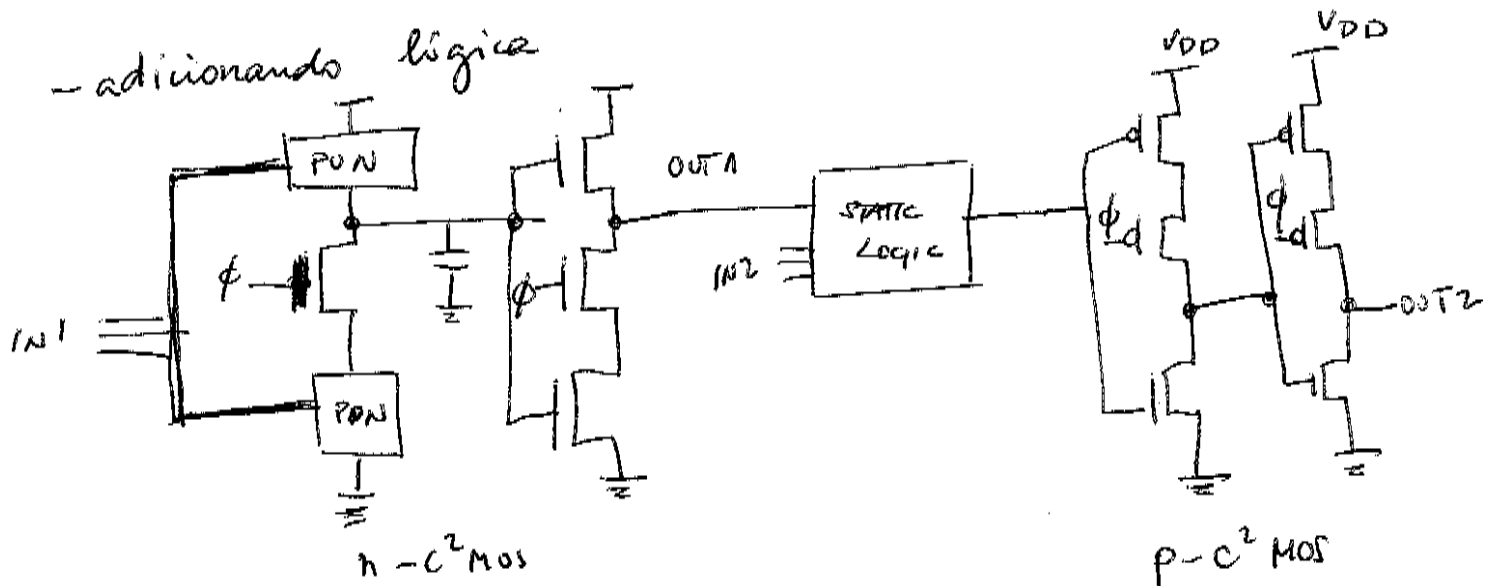
(o valor armazenado as capacidades internas determina o valor de saída)

p-c² MOS latch

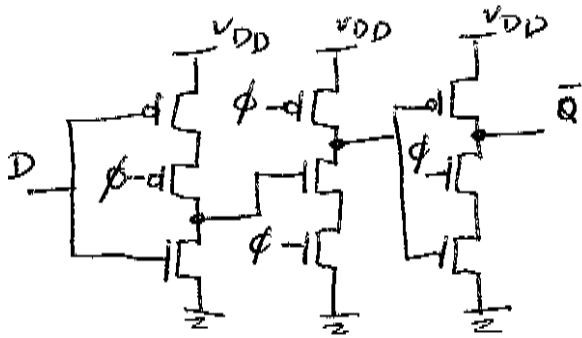


ϕ low - (enabled) transparent
 ϕ high - (disabled) hold

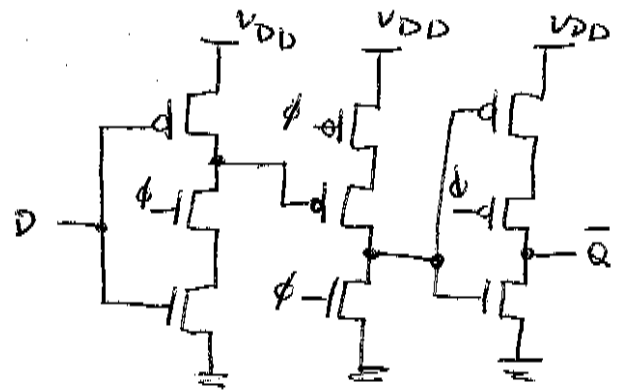
- adicionando lógica



- D FLIP FLOP

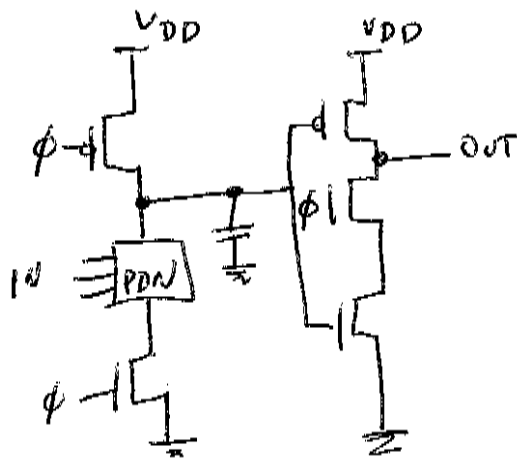


(a) positive edge triggered



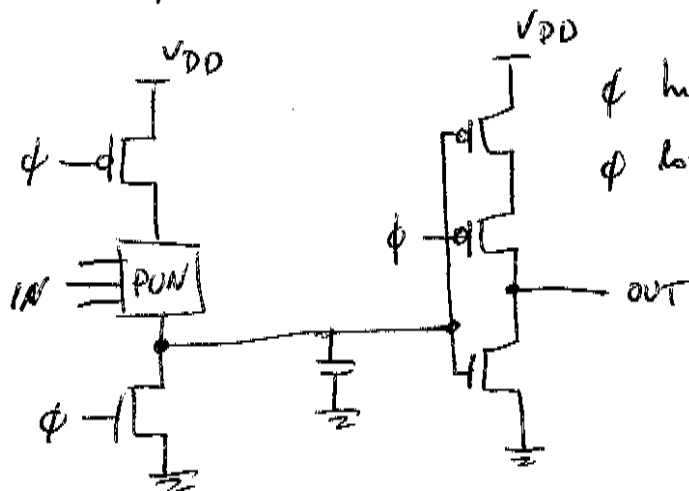
(b) negative edge triggered

- NORA phi section in TSPCL



ϕ low - precharge (hold)
 ϕ high - evaluate (transparent)

- NORA phi-bar section in TSPCL



ϕ high - precharge (hold)
 ϕ low - evaluate (transparent)