

INVERSOR CMOS, tempo de subida, de queda, e de propagação.
 Casca de inversor; oscilador em Anel.

Símbolo lógico

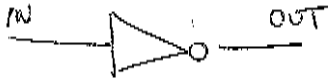


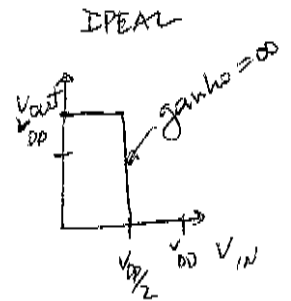
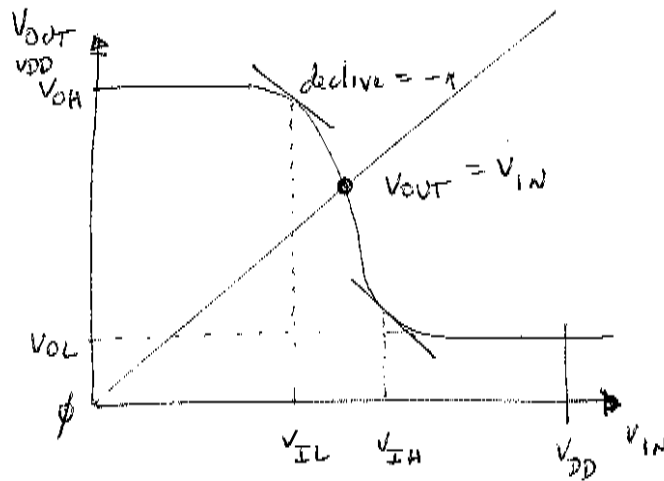
TABELA DE VERDADE

IN	OUT
0	1
1	0

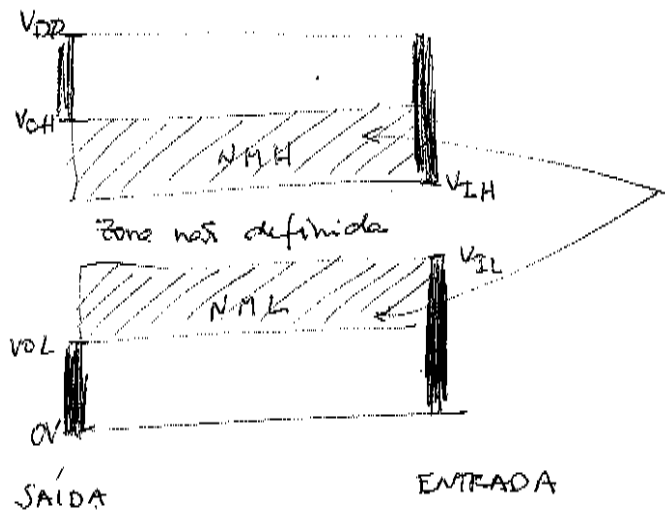
~~OUT = IN~~
 $OUT = \overline{IN}$

CURVA CARACTERÍSTICA ENTRADA-SAÍDA (EM TENSÃO)

V_{IN}	V_{OUT}
V_{IH}	V_{OH}
V_{IL}	V_{OL}



Margens de Ruído (noise margin)



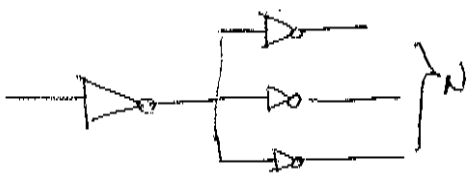
margens de ruído (deveriam ser tão grandes qto possível)

$$NMH = V_{OH} - V_{IH}$$

$$NML = V_{IL} - V_{OL}$$

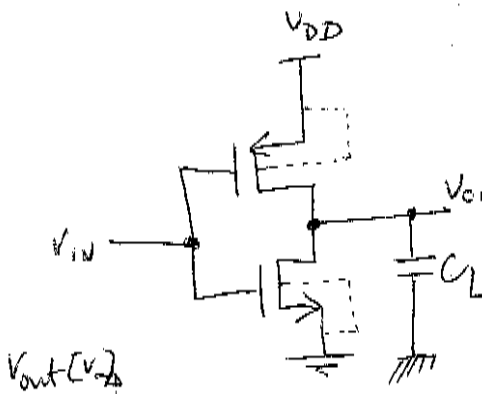
Fan OUT - no de gates N ligado à saída

FAN IN - no de portas de entrada no gate

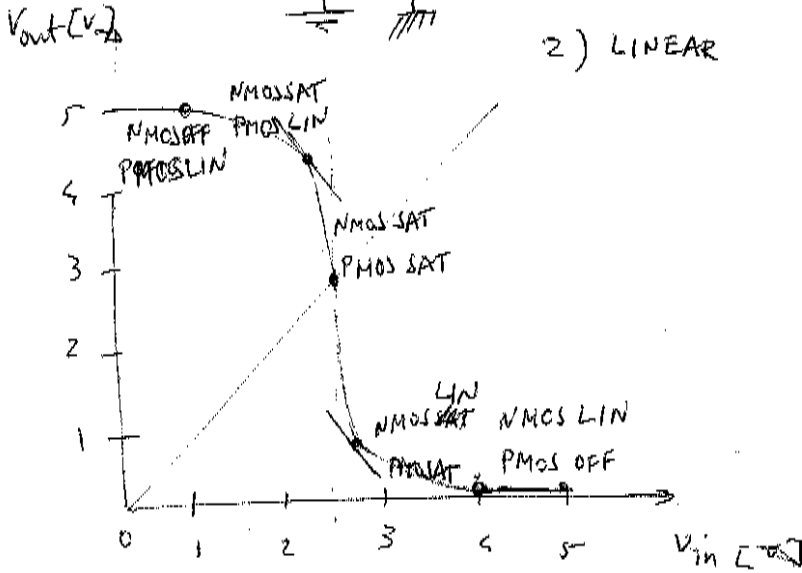


INVERSOR CMOS

O transistor possui por 3 modos de funcionamento

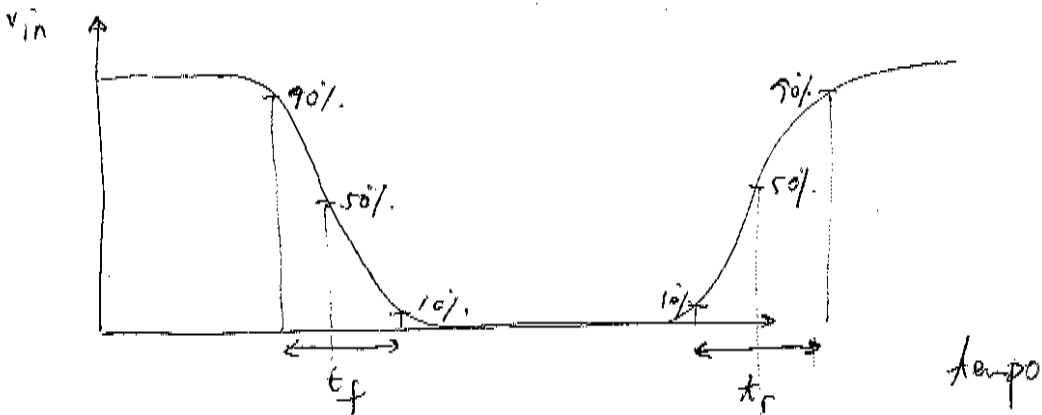


- 1) OFF $V_{GS} < V_T$
- 2) SATURACÃO $V_{GS} > V_T$ E $V_{DS} > V_{GS} - V_T$
- 2) LINEAR $V_{GS} > V_T$ E $V_{DS} < V_{GS} - V_T$



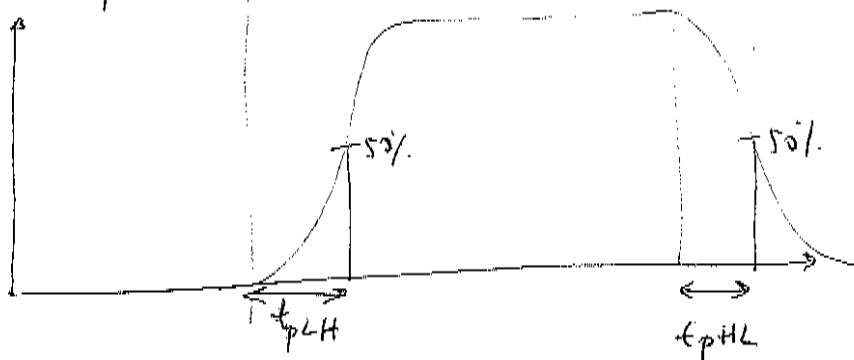
PROPRIÉDADES DINÂMICAS

t_r , t_f , t_p



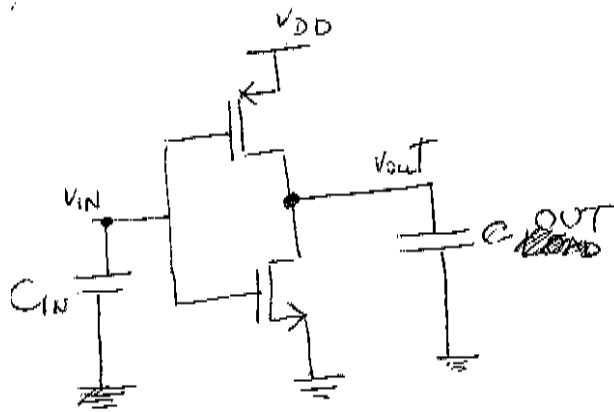
tempo

t_f , t_r tempos de subida e descida definidos a 10% - 90%

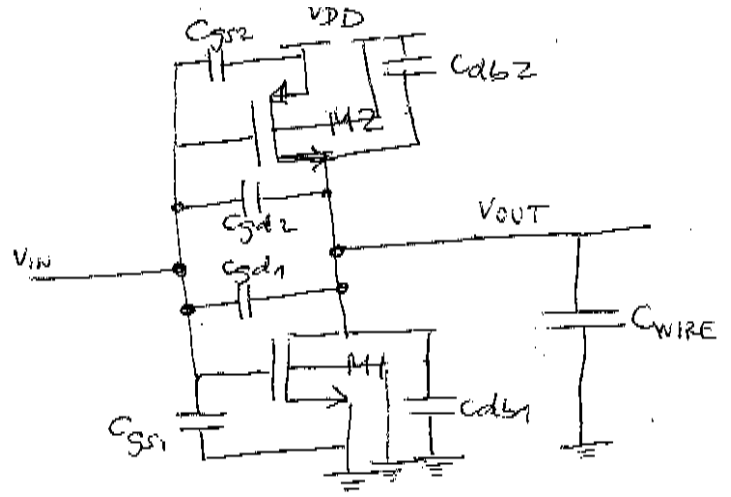


$$t_p = \frac{t_{PLH} + t_{PHL}}{2}$$

CAPACIDADES ENVOLVIDAS



MODELO SIMPLIFICADO



MODELO COMPLETO

Problemas: os transistores mudam de região de funcionamento durante a transição

Solução aproximada: a maior variação de tensão dá-se pelo os transistores estar ambos na região de saturação

$$C_{GS1} = \frac{2}{3} C_{ox} (WL)_1 \quad C_{GD1} = 2 C_{gd0} W_1 \quad C_{db1} = C_j (WL)_1 \quad [Q = CV]$$

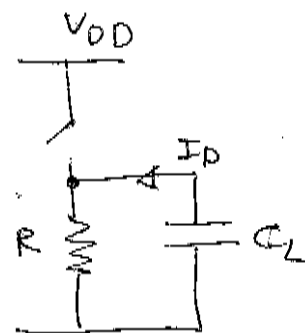
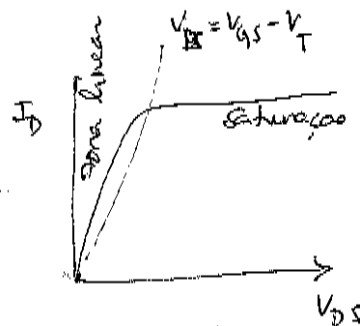
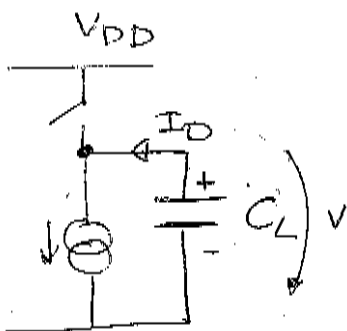
$$C_{GS2} = \frac{2}{3} C_{ox} (WL)_2 \quad C_{GD2} = 2 C_{gd0} W_2 \quad C_{db2} = C_j (WL)_2$$

↑
efeito Miller

C_{OUT}

$$C_{LOAD} = C_{IN} + C_{OUT} + C_{WIRE}$$

FALL TIME ESTIMATION t_f



1) Saturação

$$V_{DS} = V_{DD} \rightarrow V_{DS} = (V_{GS} - V_{TH}) = (V_{DD} - V_{TH})$$

$$I_D = \frac{k_p \mu_n}{2L} (V_{GS} - V_{TH})^2$$

2) Zona linear

$$V_{DS} = (V_{DD} - V_{TH}) \rightarrow 0.1 V_{DD}$$

$$I_D = k_p \mu_n$$

$$C_L \frac{dv}{dt} + \frac{k_p \mu_n}{2L} (V_{DD} - V_{TH})^2 = 0$$

$$C_L \frac{dv}{dt} = - \frac{k_p \mu_n}{2L} (V_{DD} - V_{TH})^2$$

$$= \frac{2 C_L}{\frac{W}{L} k_{Pn} (V_{DD} - V_T)^2} \int_{0.9 V_{DD}}^{V_{DD} - V_{Tn}} dv = \int_{t_{f1}}^{t_{f2}} dt$$

$$t_{f1} = (t_{f2} - t_{f1}) = \frac{2 C_L}{\frac{W}{L} k_{Pn} (V_{DD} - V_T)^2} (V_{Tn} - 0.1 V_{DD})$$

$$\textcircled{2} -C_L \frac{dv}{dt} = k_{Pn} \frac{W}{L} \left[(V_{DD} - V_{Tn}) v - \frac{v^2}{2} \right]$$

$$t_{f2} = \frac{C_L}{\left(\frac{W}{L}\right) k_{Pn} (V_{DD} - V_{Tn})} \int_{0.1 V_{DD}}^{V_{DD} - V_{Tn}} \frac{1}{\frac{v^2}{2} - v} dv$$

$$= \frac{C_L}{\left(\frac{W}{L}\right) k_{Pn} (V_{DD} - V_{Tn})} \ln \left(\frac{19 V_{DD} - 20 V_{Tn}}{V_{DD}} \right)$$

$$t_f = t_{f1} + t_{f2} = \frac{2 C_L}{\left(\frac{W}{L}\right) k_{Pn} (V_{DD} - V_{Tn})} \left[\frac{V_{Tn} - 0.1 V_{DD}}{V_{DD} - V_{Tn}} + \frac{1}{2} \ln \left(\frac{19 V_{DD} - 20 V_{Tn}}{V_{DD}} \right) \right]$$

POR SIMETRIA, O TEMPO DE SUBIDA É

$$t_r = \frac{2 C_L}{\left(\frac{W}{L}\right) k_{Pp} (V_{DD} - |V_{Tp}|)} \left[\frac{|V_{Tp}| - 0.1 V_{DD}}{V_{DD} - |V_{Tp}|} + \frac{1}{2} \ln \left(\frac{19 V_{DD} - 20 |V_{Tp}|}{V_{DD}} \right) \right]$$

TEMPO DE PROPAGAÇÃO 50% — 50%

$$t_{pr} \approx \frac{t_r}{2} \quad t_{pf} \approx \frac{t_f}{2}$$

MÉDIA

$$t_p \approx \frac{t_{pr} + t_{pf}}{2} \approx \frac{t_r + t_f}{4}$$

DIMENSIONAMENTO DOS TRANSISTORES NMOS E PMOS

A situação ideal é que o tempo de propagação seja mínimo. Isso acontece quando $t_r = t_f$ isto é quando as formas de onda são simétricas.

Assumindo que $V_{Tn} = |V_{Tp}|$ tem-se que $\left(\frac{W}{L}\right)_p k_{Pp} = \left(\frac{W}{L}\right)_n k_{Pn}$

isto é'

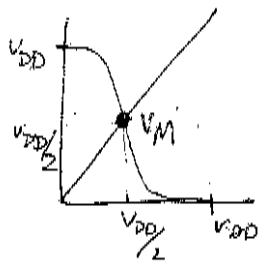
$$\frac{k_{Pn}}{k_{Pp}} = \frac{\left(\frac{W}{L}\right)_p}{\left(\frac{W}{L}\right)_n}$$

Sendo $k_{Pn} \approx 3 k_{Pp}$ (isto é a mobilidade do electrões $\mu_n \approx 3 \mu_p$ é 3 vezes maior que a mobilidade dos buracos)
vem para L mínimo (por questões de velocidade)

$$\boxed{W_p \approx 3 W_n}$$

Usando este critério, o ponto de comutação V_M é igual a $V_{DD}/2$

A corrente nos dois transistores $M1$ e $M2$ é igual:



$$\frac{k_{Pn}}{2} \left(\frac{W}{L}\right)_n (V_M - V_{Th})^2 = \frac{k_{Pp}}{2} \left(\frac{W}{L}\right)_p (V_{DD} - V_M - |V_{TP}|)^2$$

Resolvendo para V_M

$$V_M = \frac{\sqrt{\frac{k_{Pp}}{k_{Pn}} (V_{DD} - |V_{TP}|) + V_{Th}}}{1 + \sqrt{\frac{k_{Pp}}{k_{Pn}}}} \Rightarrow V_M = \frac{V_{DD}}{2} \quad \text{qdo} \quad k_{Pn} \left(\frac{W}{L}\right)_n = k_{Pp} \left(\frac{W}{L}\right)_p$$

para $V_{Th} = |V_{TP}|$

TEMPO DE PROPAGAÇÃO NA PRESENÇA DE CAPACIDADES DE CARGA ELEVADAS

$$t_{PLH} = C_L \int_0^{V_{DD}/2} \frac{dv}{i(v)} \approx C_L \frac{V_{DD}/2}{I_{av}} = C_L \frac{V_{DD}}{2 I_{av}}$$

$$\left(i = \frac{dQ}{dt} = C_L \frac{dv}{dt} \right)$$

Assumindo que o transistor funciona sempre em saturação ie, como fonte de corrente $I_{av} = \frac{k_{Pp}}{2} (V_{DD} - |V_{TP}|)^2$

$$t_{PLH} = \frac{C_L V_{DD}}{k_{Pp} (V_{DD} - |V_{TP}|)^2} \quad ; \quad t_{PHL} = \frac{C_L V_{DD}}{k_{Pn} (V_{DD} - V_{Th})^2}$$

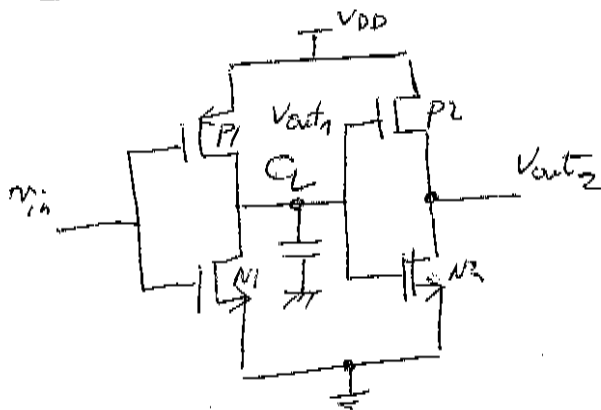
$$\approx \frac{C_L}{k_{Pp} (V_{DD} - |V_{TP}|)^2} \quad ; \quad \approx \frac{C_L}{k_{Pn} (V_{DD} - V_{Th})^2}$$

$$t_p = \frac{1}{2} (t_{pLH} + t_{pHL}) = \frac{C_L}{2V_{DD}} \left(\frac{1}{k_{Pp}} + \frac{1}{k_{Pn}} \right)$$

NOTAS

- 1 t_p óptimo (mínimo) qdo $k_{Pp} = k_{Pn} \Rightarrow W_p = \frac{\mu_n}{\mu_p} W_n$
- 2 t_p aumenta linearmente com C_L ; t_p torna-se um problema para capacidades elevadas $t_p \propto C_L$
- 3 t_p inv proporcional a V_{DD} ; problema V_{DD} está a diminuir para novas tecnologias (actualmente 3.3V) $t_p \propto \frac{1}{V_{DD}}$

t_p / INVERSORES IDENTICOS EM CASCATA



$$C_L = (C_{dP1} + C_{dn1}) + (C_{gn2} + C_{gp2}) + C_n$$

$$C_{dP1} = \alpha C_{dn1}$$

$$C_{gp2} = \alpha C_{gn2}$$

$$C_L = (1 + \alpha) C_{dn} + (1 + \alpha) C_{gn} + C_w$$

$$= (1 + \alpha) C_n + C_w$$

$$\text{com } C_n = C_{dn} + C_{gn}$$

$$t_p = \frac{(1 + \alpha) C_n + C_w}{2 V_{DD}} \left(\frac{1}{k_{Pn}} + \frac{1}{k_{Pp}} \right) = \frac{(1 + \alpha) C_n + C_w}{2 V_{DD} k_{Pn}} \left(1 + \frac{k_{Pn}}{k_{Pp}} \right)$$

$$\left[\begin{array}{l} W_p = \alpha W_n \\ \mu_n = \varepsilon \mu_p \end{array} \right] = \frac{(1 + \alpha) C_n + C_w}{2 V_{DD} k_{Pn}} \left(1 + \frac{\varepsilon}{\alpha} \right)$$

$$\frac{\partial t_p}{\partial \alpha} = 0 \Rightarrow \alpha = \sqrt{\varepsilon \left(1 + \frac{C_w}{C_n} \right)} \approx \sqrt{\varepsilon}$$

$C_w \approx 0$

ANTES $\alpha_{\text{optimo}} = \varepsilon (\approx 3)$

AGORA $\alpha_{\text{optimo}} = \sqrt{\varepsilon} (\approx \sqrt{3})$

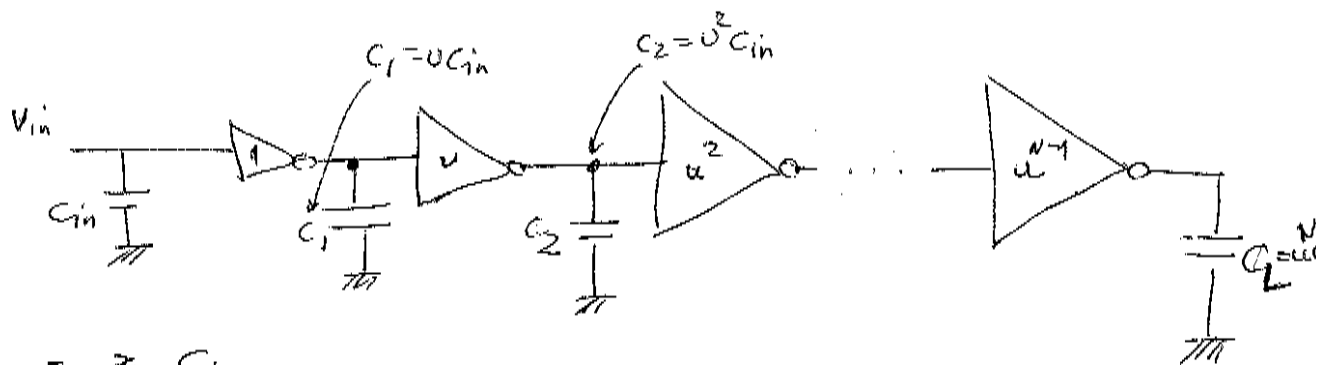
CONCLUSÃO:

QUANDO SE COLUCA INVERSORES (E DE MODO GERAL) EM CASCATA DEVE-SE FAZER W_p DO TRANSISTOR PMOS $W_p = \sqrt{E} W_n$.

VANTAGENS: 1 MAIOR AREA
2 MAIOR VELOCIDADE

DES VANTAGEM: 1 tempo subida e descida assimétricos (pior margem de modo)

BIMENSIONAMENTO DE UMA CASCATA DE BUFFERS PARA FAZER O "DRIVE" A UMA CAPACIDADE ELEVADA



$$C_L = u^N C_{in}$$

Exemplo

se $u = 1000$ $t_p = 1000 t_{p0}$ "inaceitável!"

Soluções

cascata de N buffers cada um u vezes maior que o anterior

$$C_L = u^N C_{in}$$

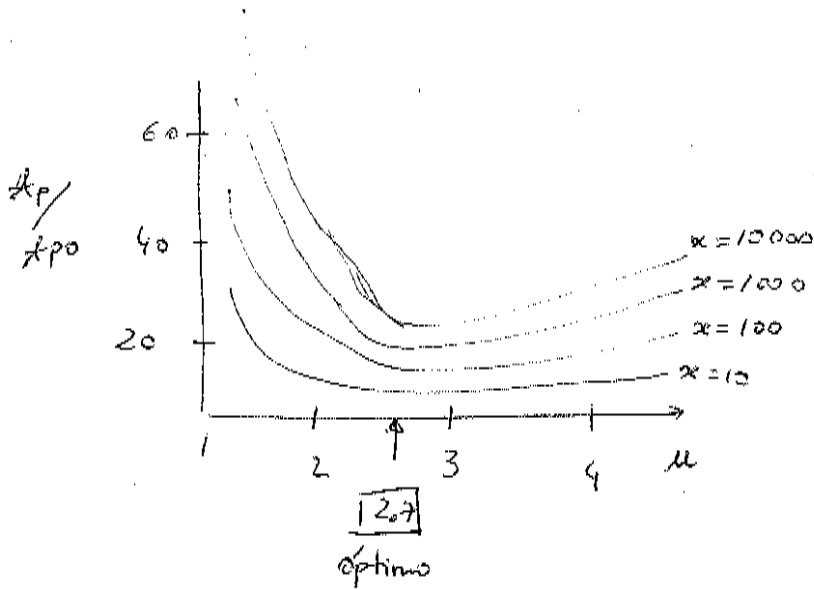
tempo de propagação idêntico em cada andar

$$t_p = N \times (u \times t_{p0})$$

$$u = u^N \Leftrightarrow N = \frac{\ln(u)}{\ln(u)}$$

$$t_p = \frac{\ln(u)}{\ln(u)} u \times t_{p0}$$

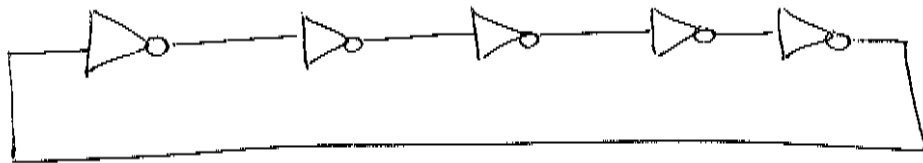
$$\frac{\partial t_p}{\partial u} = 0 \Rightarrow u = e = 2.7182$$



Na prática: $n \approx 3$, $n \approx 4$

OBSERVAR O MELHORAMENTO IMPRESSIONANTE NO TEMPO DE PROPAGAÇÃO QUANDO α é ELEVADO

O OSCILADOR EM ANEL



$$N_{min} = 5$$

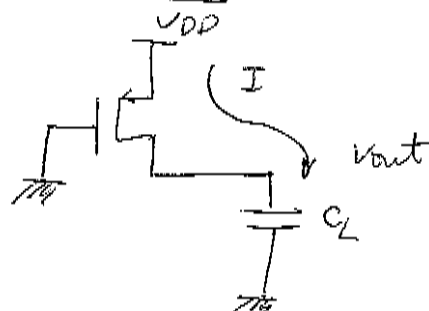
$$N_{typ} = 31$$

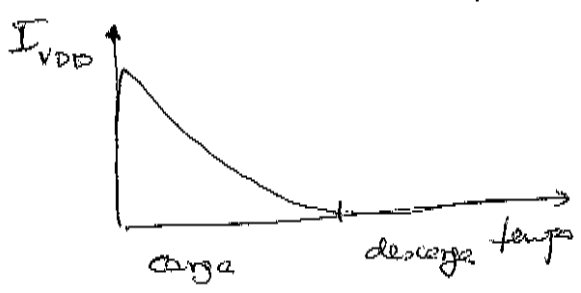
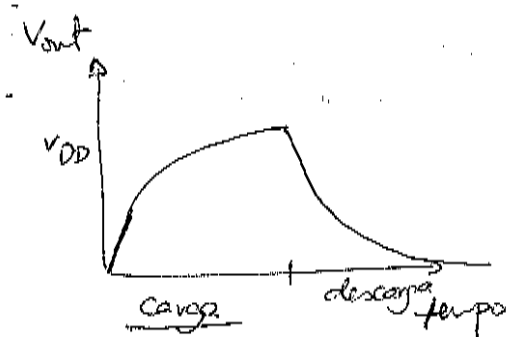
RING - OSCILLATOR - o de fato simbólico para medir tempos de propagação. Em todas as etapas fabricadas é incluído um ring oscillator para monitorizar a ^{variacao} performance ^{spread} de tecnologia

O período de oscilação $T = N \times 2 \times t_p$ (o \neq t_{pLH} e t_{pHL})
 e resulta de n ciclos de 2 transições (t_{pLH} e t_{pHL})

CONSUMO (DINÂMICO) DE POTÊNCIA

(Exemplo H-L transition)





Cálculo da energia dissipada:

$$E_{VDD} = \int_0^{\infty} i_{VDD}(t) V_{DD} dt = V_{DD} C_L \int_0^{\infty} \frac{dv}{dt} dt$$

$$= V_{DD} C_L \int_0^{V_{DD}} dv = C_L V_{DD}^2$$

Energia acumulada no condensador

$$E_C = \int_0^{\infty} i_{VDD}(t) v_{out}(t) dt$$

$$= C_L \int_0^{V_{DD}} \frac{dv_{out}}{dt} v_{out} dt = C_L \int_0^{V_{DD}} v_{out}^2 dv_{out}$$

$$= \frac{1}{2} C_L V_{DD}^2$$

APENAS METADE DA ENERGIA GASTA É ACUMULADA NO CONDENSADOR!

SE O INVERSOR COMUTA f vezes por segundo a POTÊNCIA DISSIPADA É

$$P = \frac{E}{T} \Rightarrow \boxed{P_{dyn} = C_L V_{DD}^2 f}$$

NOTA

- 1 P_{dyn} aumenta com V_{DD} ao quadrado \Rightarrow reduzir V_{DD} para diminuir a potência (isto explica por que os μp operam com V_{DD} inferior a V_{DD} máxima)
- 2 P aumenta linearmente com $f \Rightarrow$ aumentar a frequência para o dobro significa duplicar a potência dissipada!

Exemplo 5V, 30 fF/gate, 100 MHz, 200 000 gates $\Rightarrow P = 15 W$!

(Felizmente nem todos os gates comuta simultaneamente...)

FIGURA DE MÉRITO DE UMA TECNOLOGIA PDP

$$PDP = P_{dyn} \times (t_{PHL} + t_{PLH}) = C_L V_{DD}^2$$

Potência
tempo de propagação