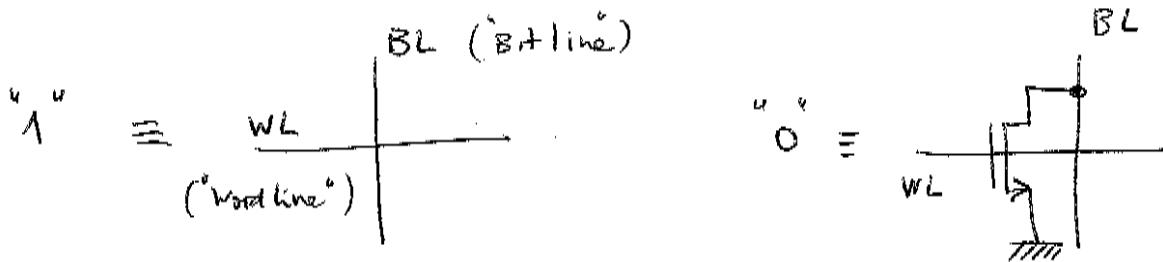


MICROELECTRÓNICA AULA 10

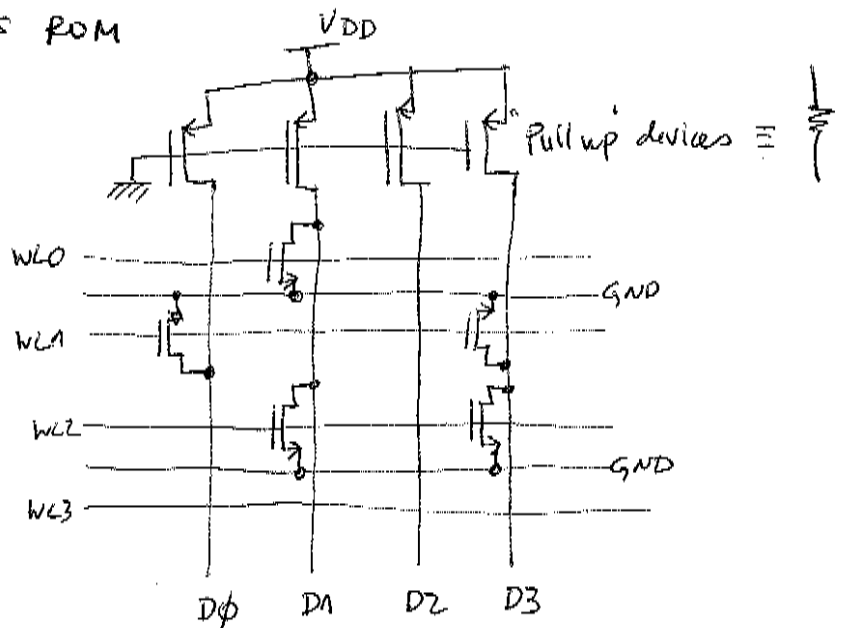
MEMÓRIAS RAM, ROM

- Células elementares numa ROM CMOS



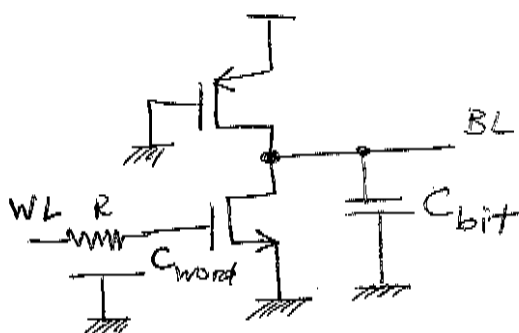
- Exemplo: a 4x4 MOS ROM

Address	Conteúdo			
	D0	D1	D2	D3
0	1	0	1	1
1	0	1	1	0
2	1	0	1	0
3	1	1	1	1



Na prática, existem transistores em todas as células da ROM — apenas o contacto entre o dreno e a 'bit line' é que existe só nos casos em que o bit é ϕ .

Características dinâmicas



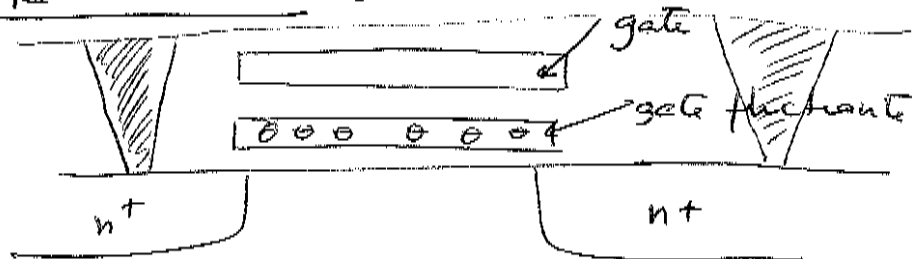
2 constantes de tempo

(1) Capacidades intrínsecas

(2) capacidades (distribuídas) nas ligações às portas

PROM - programmable ROM. São introduzidos fusíveis isto é pontos de ligação que são arresentados por uma corrente elevada. Exemplo: pin em D0...D3 uma palavra (negada) e aplicar em VDD uma tensão elevada. As ligações aos transistores em que os Ds está a zero volts arresentam.

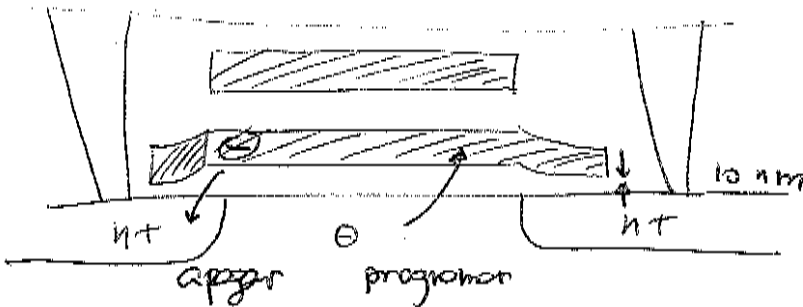
READ-WRITE MEMÓRIAS



Uma tensão elevada, gera um campo eléctrico muito elevado e por efeito avalanche faz electões que atravessam o óxido e ficam aglomeradas no gate flutuante.

U^{FP} / V_{ROM} - a luz ultravioleta torna o óxido condutor e as electões saem do gate flutuante.

EE PROM (FLASH)



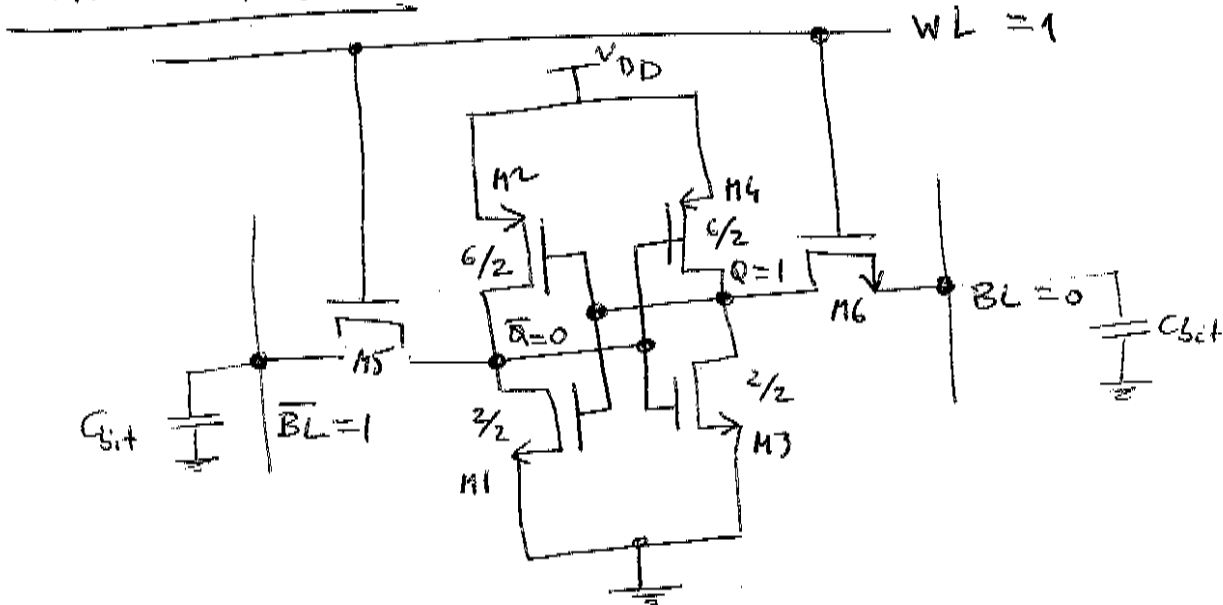
Uma tensão ± 10 V faz com que os electões saem / entrem no gate flutuante (efeito tunel)

FLASH - Todas as posições de memória são gravadas simultaneamente.

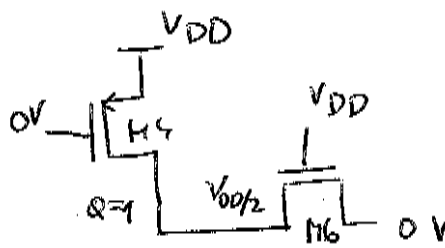
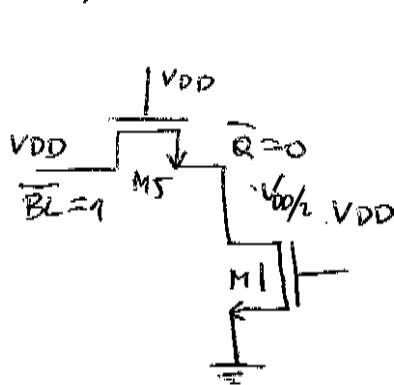
Tabela of Tipos de Memória

ROM	NV RWM	RWM
(programmable) PROM	EPROM EEPROM FLASH	SRAM DRAM

STATIC RAM



Condições necessárias para a célula mudar de estado (WRITE OPERATION)



$$\frac{K_{Pn}}{2} \left(\frac{W}{L}\right)_5 (V_{DD/2} - V_{Th})^2 =$$

$$= K_{Pn} \left(\frac{W}{L}\right)_1 (V_{DD} - V_{Th}) \frac{V_{DD}}{2} - \frac{V_{DD}^2}{8}$$

Para $V_{DD} = 5V$, $V_{Th} = 0.8V$

$$\left(\frac{W}{L}\right)_5 > 9 \left(\frac{W}{L}\right)_1$$

$$K_P \left(\frac{W}{L}\right)_6 \left((V_{DD} - V_{Th}) \frac{V_{DD}}{2} - \frac{V_{DD}^2}{8} \right) =$$

$$= K_{Pp} \left(\frac{W}{L}\right)_4 \left((V_{DD} - |V_{Tp}|) \frac{V_{DD}}{2} - \frac{V_{DD}^2}{8} \right)$$

Logo

$$K_P \left(\frac{W}{L}\right)_6 > K_{Pp} \left(\frac{W}{L}\right)_4$$

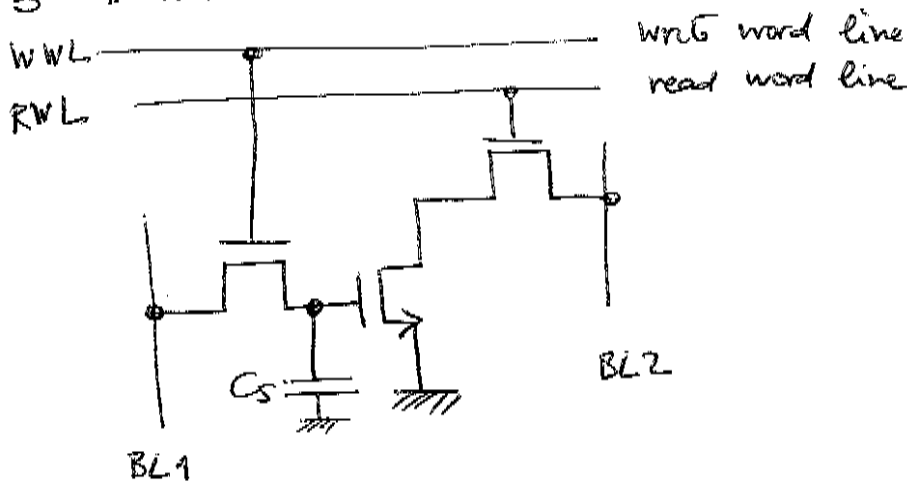
READ OPERATION - As capacidades nas linhas BIT LINE tem que ser carregadas / descarregadas. Idealmente deve haver um pre-charge a $V_{DD}/2$ para minimizar a variação de tensão.

Tb neste caso é necessário um correcto dimensionamento dos transistors porque podem dar-se o caso da célula mudar de estado devido às tensões nas capacidades parásitas

Em geral $\left(\frac{w}{L}\right)_S > \left(\frac{w}{L}\right)_1$ mas $\left(\frac{w}{L}\right)_S < 9 \left(\frac{w}{L}\right)_1$

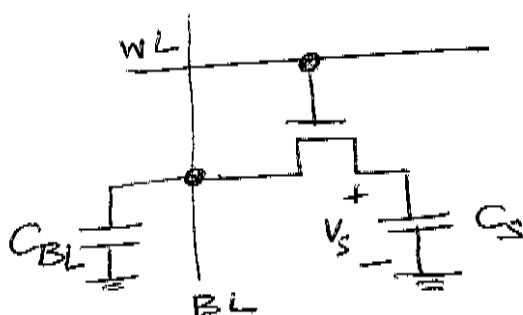
MEMÓRIA DINÂMICA (DRAM)

- 3 transistor cell:



write - por valor em BL1 e activar linha WWL
read - activar linha RWL e ler valor em BL2 (precharged)

- 1 Transistor cell



- a leitura é destrutiva!

$$\Delta V_{out} = \frac{C_s}{C_s + C_{BL}} (V_s - V_{PREcharge})$$

- Antes da leitura a bit line é pré-carregada a V_{PRE}

- ΔV pequeno, logo é necessário um

"sense amplifier" para restaurar os níveis lógicos