

# MICROELECTRÓNICA

## Exercício 6 - PORTAS CMOS PARA LÓGICA COMBINATÓRIA

1. Desenhe um NAND de 3 entradas em lógica complementar obedecendo ao seguinte critério:

$t_{pLH} = t_{pHL}$ . Considere as dimensões do transistor elementar  $W = 6 \mu\text{m}$  e  $L = 2 \mu\text{m}$ .

- Calcule o tempo de propagação  $t_p$  se a porta for implementada na tecnologia CN20.
- Simule o circuito em SPICE. Verifique o funcionamento correcto do circuito (resposta transiente). Meça o tempo de propagação.
- Faça o layout em LASI seguindo de perto o layout sugerido na figura [Baker98, pág. 236].

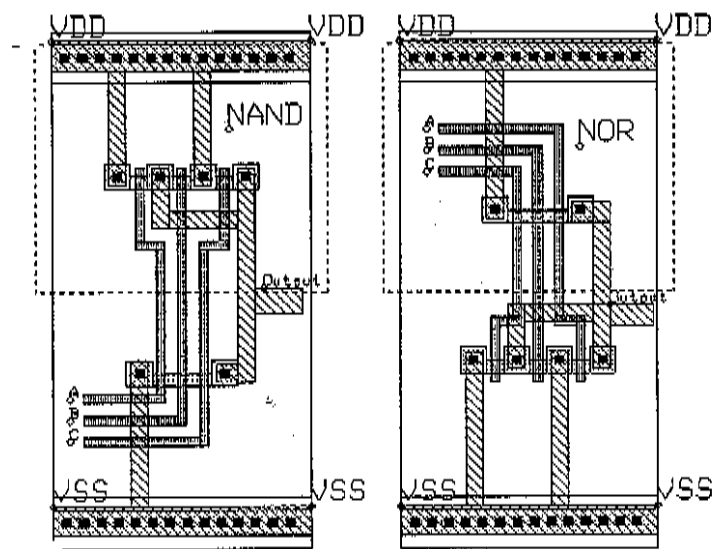
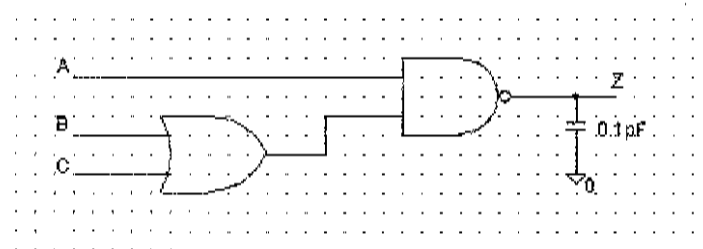


Figure 12.5 Layout of the NAND and NOR gate.

2. Implemente o seguinte circuito em lógica complementar:



Dimensione os transistores tendo em consideração uma capacidade de carga de  $0.1 \text{ pF}$ . Minimize o tempo de propagação  $t_p$  e a área  $A$  do circuito de acordo com a seguinte função objectivo

$$\min\{ A \times t_p^2 \}$$

Repita as alíneas a) b) e c) do problema anterior.