

AVLA 1 - ETAPAS DE PROCESSO CMOS
CAPACIDADE DA JUNÇÃO PN

MICROELECTRÓNICA

- ETAPAS -
- 1 OXIDAÇÃO
 - 2 DIFUSÃO
 - 3 IMPLANTAÇÃO
 - 4 DEPOSIÇÃO
 - 5 ETCHING
 - 6 FOTOLITOGRAFIA

1 Oxidação - formação de óxido de silício SiO_2 à superfície do silício
top $< 50\text{ nm}$; field oxide $> 1\mu\text{m}$
Temperatura $T \approx 1100^\circ\text{C}$

2 Difusão - movimento de impurezas devido a um gradiente de concentração
 $T \approx 800^\circ\text{C} \sim 1400^\circ\text{C}$
Drive-in = annealing?
Etapa básica na criação da junção pn $x_j \approx 0.5\mu\text{m}$

3 Implantação de iões - iões de uma certa impureza (dopante) são acelerados por um campo eléctrico elevado e projectados no silício $x_j \approx 0.1\mu\text{m}$
 $\sim 0.6\mu\text{m}$
- Annealing at 800°C para reparar a estrutura cristalina
+ controle exacto da dopagem
+ implante através de uma camada (fina)

4 Deposição
wet (no estado de vapor), óxido de silício, silício policristalino

5 Etching
Remoção de material \bar{n} protegido usando óxido (wet etching)
e gases iónicos (dry etching)

6 fotolitografia
A máscara fotográfica protege a camada de fotoresist (material sensível à luz) da luz ultravioleta.

(Figura 2-1.4
pág 37
Allen e Holberg)
Fotoresist - polímero orgânico cujas características se alteram quando exposto à luz UV

Parte exposta é removida - positivo fotoresist - não é atacado quando protegido da luz
negativo fotoresist - é atacado quando protegido da luz

- contacto directo

- projecção

- direct step

- feixe de electrões (não necessita máscara porque a ausência

wafer - feito de silício cristalino puro + impurezas

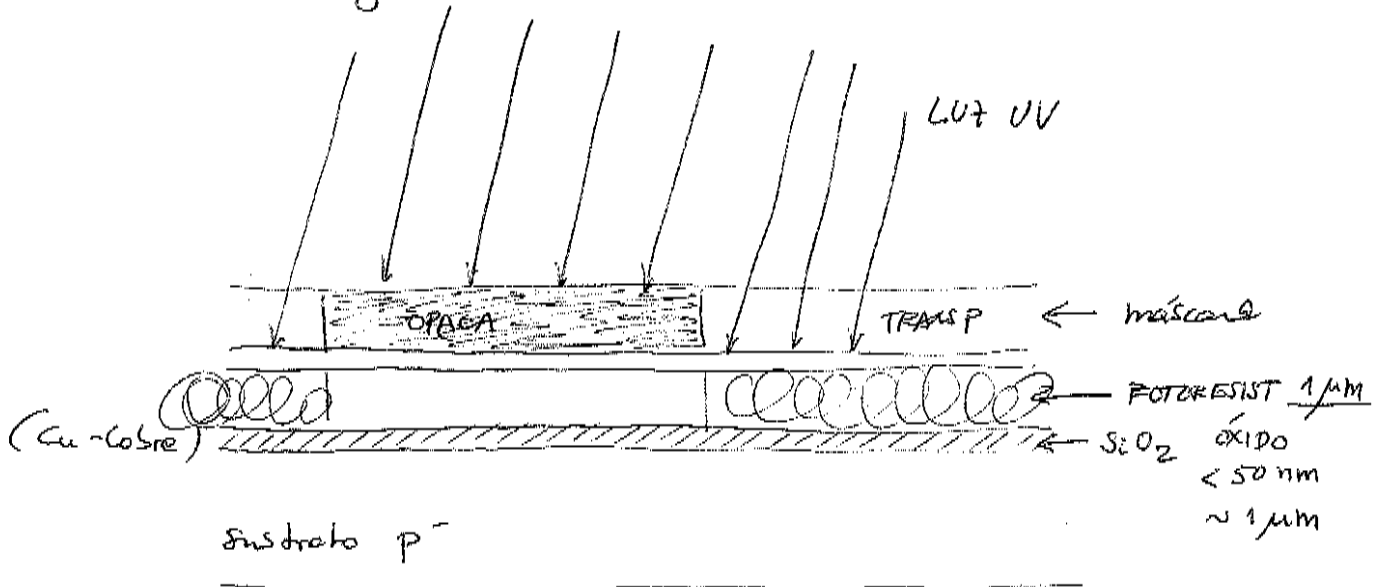
Método Czochralski - silício no estado líquido é aquecido lentamente em torno de um cristal de silício.

A barra de silício (aprox 1m, 20cm diâmetro) é cortada em fatias de 1mm - 0.5mm de diâmetro

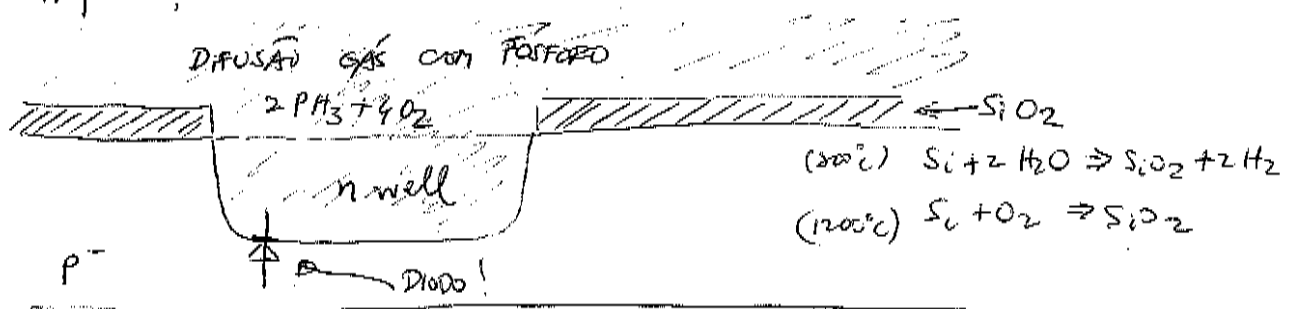
Layer epitaxial (ou Epi layer). Silício cristalino + dopado é depositado à superfície do wafer

Resistividade típica do substrato $\rho \sim 10 \sim 22 \Omega \cdot \text{cm}$ $R = \rho \frac{L}{wH}$

Fotolitografia e Patterning -



Difusão e Implantação - óxido não protegido é removido por um ácido

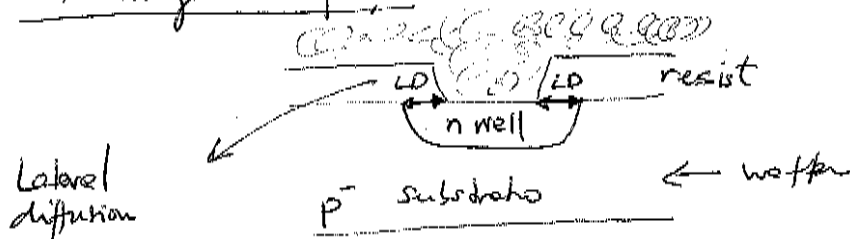


Implantação (Fig 2.3 pag 86 Martins & Dohus) -

Danos na estrutura cristalina reparados por ANNEALING: wafer aquecido até 1000°C e depois deixado amolecer lentamente.

(Fig 2.3 pag 25 Becker)

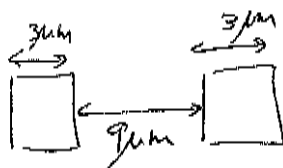
Patterning do poço



Lateral diffusion

Regras de layout

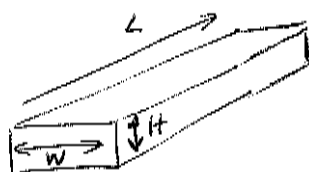
(especificadas pelo engenheiro de processo)



Cálculo das Resistências

$$R = \rho \frac{L}{WH}$$

↑
resistividade
 ρ [$\Omega \cdot \text{m}$]



Em muitos casos a altura H é fixa, ou pensa só pode controlar L, W . A fábrica fornece $R_{\square} = \frac{\rho}{H}$

(resistência de unidade de área) R_{\square} [Ω / \square]

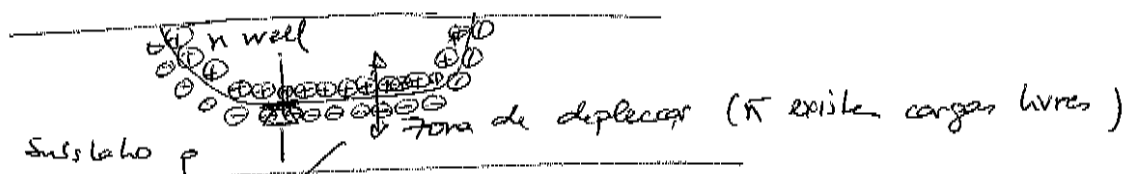
Exemplo

$$R_{\square, \text{n well}} = 2.500 \Omega / \square$$

Calcular a resistência do poço com $W = 10\mu\text{m}$ $L = 100\mu\text{m}$

$$R = 2.500 \times \frac{L}{W} = 2.500 \times \frac{100}{10} = 25 \text{ k}\Omega$$

Capacidade numa junção



isto é um condensador cujos "placas" se afastam ou aproximam \rightarrow capacidade variável!

A capacidade de junção C_j é dada por

$$C_j = \frac{C_{j0}}{\left[1 + \frac{V_d}{\phi}\right]^m}$$

onde C_{j0} capacidade para $V_d = 0$; V_d é a tensão aos terminais do diodo; m é apenas um coeficiente que tem haver com o perfil da difusão ($m = 1/2$) e ϕ é o potencial intrínseco da junção:

$$\phi = V_T \ln \left[\frac{N_A N_D}{n_i^2} \right]$$

N_A , N_D concentrações de átomos e receptores [átomos/cm³]

n_i concentração de elétrons livres no silício puro $n_i = 14.5 \times 10^9$ at/cm³

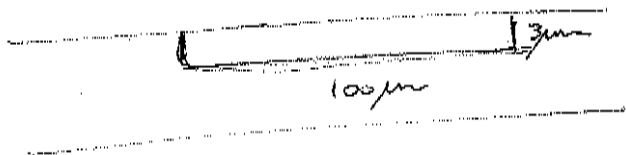
Exemplo

Calcular a capacidade de um poço de $100 \mu\text{m} \times 100 \mu\text{m}$

com $N_D = 10^{16}$ at/cm³; $N_A = 10^{16}$ at/cm³ com $C_{j0} = 0.1 \text{ pF}/\mu\text{m}^2$ e $m = 0.333$

$$\phi = 0.26 \ln \frac{10^{16} \cdot 10^{16}}{14.5 \times 10^9} = 0.7 \text{ V}$$

A profundidade do poço é $2\mu\text{m}$, $3\mu\text{m}$



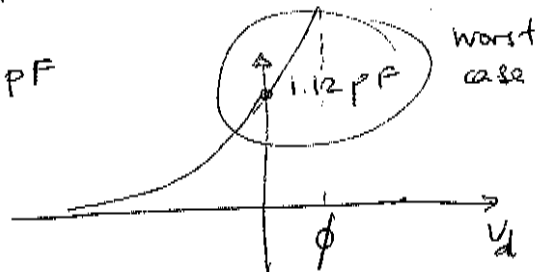
$$A_{\text{bottom}} = 100 \times 100 \mu\text{m}^2$$

$$A_{\text{side wall}} = 4 \times (100 \times 3) \mu\text{m}^2$$

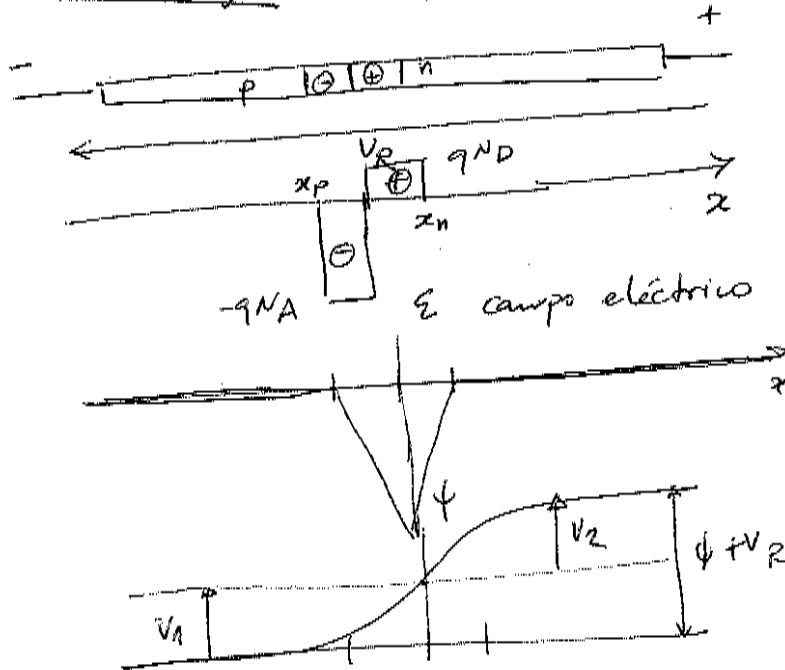
$$C_{j0 \text{ bottom}} = A_{\text{bottom}} \times C_{j0} = 1 \text{ pF}$$

$$C_{j0 \text{ sw}} = A_{\text{side wall}} \times C_{j0} = 0.12 \text{ pF}$$

$$C_j = \frac{1 \text{ pF} + 0.12 \text{ pF}}{\left[1 + \frac{V_d}{0.7}\right]^{0.33}}$$



Cálculo de C_j



Equação de Poisson (2 uma dimensão)

$$\frac{d^2V}{dx^2} = - \frac{\rho}{\epsilon_{Si}} \quad \begin{array}{l} \rho \text{ unidade de carga} \\ \epsilon_{Si} \text{ permissividade eléctrica do silício} \end{array}$$

$$= \frac{qN_A}{\epsilon_{Si}} \quad -x_p < x < 0$$

$$= -\frac{qN_D}{\epsilon_{Si}} \quad 0 < x < x_n$$

integrando

$$\frac{dV}{dx} = \frac{qN_A}{\epsilon_{Si}} x + \text{Constante}$$

mas: $E = -\frac{dV}{dx} = 0$ para $x = -x_p$

logo

$$\frac{dV}{dx} = \frac{qN_A}{\epsilon_{Si}} (x + x_p)$$

integrando

$$V = \frac{qN_A}{\epsilon_{Si}} \left(\frac{x^2}{2} + x_p x \right) + Cte$$

mas $V = 0$ para $x = -x_p$
 e $x = 0$

logo $Cte = \frac{qN_A}{\epsilon_{Si}} \frac{x_p^2}{2}$

$$V = \frac{qN_A}{\epsilon_{Si}} \left(\frac{x^2}{2} + x_p x + \frac{x_p^2}{2} \right) \Rightarrow$$

definindo V_1 para $x=0$

vem $V_1 = \frac{qN_A}{\epsilon_{Si}} \frac{x_p^2}{2}$

De uma forma equivalente deduz-se v_2

$$v_2 = \frac{q N_D x_n^2}{2 \epsilon_{si}}$$

logo o potencial através da junção,

$$V_R + \phi = v_1 + v_2 = \frac{1}{2 \epsilon_{si}} (N_A x_p^2 + N_D x_n^2)$$

Condutor de conservação da carga

$$q N_A x_p = q N_D x_n$$

$$= \frac{q x_p^2 N_A}{2 \epsilon_{si}} \left(1 + \frac{N_D x_n^2}{N_A x_p^2} \right)$$

$$= \frac{q x_p^2 N_A}{2 \epsilon_{si}} \left(1 + \frac{N_A}{N_D} \right)$$

$$x_p = \left[\frac{2 \epsilon_{si} (V_R + \phi)}{q N_A \left(1 + \frac{N_A}{N_D} \right)} \right]^{1/2}$$

$$x_n = \left[\frac{2 \epsilon_{si} (V_R + \phi)}{q N_D \left(1 + \frac{N_D}{N_A} \right)} \right]^{1/2}$$

Carga $Q = q N_A x_p A = q N_D x_n A$

$A = \text{área da junção}$

Definição de uma capacitância para pequenos sinais

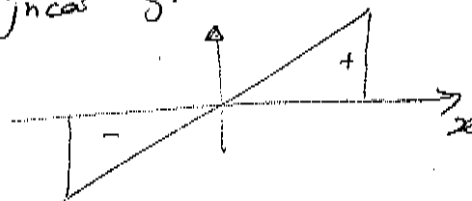
$$C_j = \frac{dQ}{dV_R} = \frac{A d}{dV_R} \left[\frac{2 q N_A \epsilon_{si} (V_R + \phi)}{\left(1 + \frac{N_A}{N_D} \right)} \right]^{1/2}$$

$$C_j = A \left[\frac{q N_A \epsilon_{si}}{2 \left(1 + \frac{N_A}{N_D} \right)} \right]^{1/2} \frac{1}{\sqrt{V_R + \phi}}$$

$$= A \left[\frac{q N_A \epsilon_{si}}{2 \phi \left(1 + \frac{N_A}{N_D} \right)} \right]^{1/2} \frac{1}{\sqrt{1 + \frac{V_R}{\phi}}}$$

$$C_j = \frac{C_{j0}}{\sqrt{1 + \frac{V_R}{\phi}}}$$

junção gradual



$$C_j = \frac{C_{j0}}{\sqrt{1 + \frac{V_R}{\phi}}}$$

Cálculo de capacidade média para grandes sinais

$$Q = A 2 \phi g_0 \sqrt{1 + \frac{v_R}{\phi}}$$

$$C_{AV} = \frac{Q_1 - Q_2}{v_1 - v_2}$$